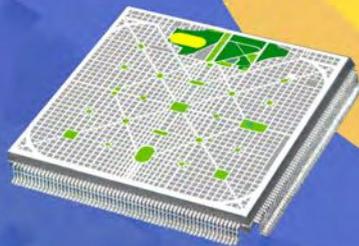


LA PLATA
FACULTAD DE INGENIERIA - UNLP
7-8-9 DE SEPTIEMBRE



II CONGRESO MICROELECTRONICA APLICADA 2011



Libro de Memorias

PUBLICADO CON APOYO DE LA FUNDACIÓN
ARGENTINA DE NANOTECNOLOGÍA



FUNDACION ARGENTINA DE
NANOTECNOLOGIA



CeTAD

Centro de Técnicas Analógico-Digitales



LIBRO DE MEMORIAS

**II CONGRESO DE
MICROELECTRÓNICA APLICADA
2011**

7 al 9 de Septiembre – La Plata, Provincia de Buenos Aires

Organizado por

Centro de Técnicas Analógico-Digitales (CeTAD)

Facultad de Ingeniería de la UNLP

Universidad Nacional de La Plata

PREFACIO

Este volumen contiene los trabajos presentados para el “**Segundo Congreso de Microelectrónica Aplicada (μEA 2011)**” que se ha de celebrar en la Ciudad de La Plata durante los días 7, 8 y 9 de Septiembre de 2011. Aspiramos a que este evento sea una digna continuación del camino iniciado muy brillantemente por el “Primer Congreso de Microelectrónica Aplicada (μEA 2010)” en San Justo (Provincia de Buenos Aires), con su organización a cargo del Departamento de Ingeniería e Investigaciones Tecnológicas de la Universidad Nacional de La Matanza (UNLaM), y de la Dirección de Electrónica de la Universidad Tecnológica Nacional, Facultad Regional Haedo (UTN-FRH).

El **Segundo Congreso** se traslada a la Ciudad de La Plata, capital de la Provincia de Buenos Aires; es una ciudad planificada, paradigma urbanístico de fines del Siglo XIX, y fue proyectada antes de construirse. siendo reconocida por su trazado, un cuadrado perfecto con el «Eje Histórico» conservado hasta hoy en forma intacta; al igual que el diseño sobresaliente de las diagonales que lo cruzan formando rombos dentro de su contorno, bosques y plazas colocadas con exactitud cada seis cuadas. Puntos destacados de la ciudad son la Municipalidad, la imponente Catedral de estilo neogótico, cuyas torres de 112 m, pudieron ser completadas recién en 1999, el Museo de Ciencias Naturales, el edificio de la Gobernación, la Legislatura Provincial, el nuevo Teatro Argentino y el Hipódromo. Muchos de estos edificios fueron construidos al mismo tiempo en la época de la fundación de la ciudad (1882), tras una convocatoria internacional de propuestas.

La Plata cuenta con una destacada tradición en la actividad universitaria de enseñanza e investigación a través de su **Universidad Nacional** siendo ésta una de las más importantes del país junto con la UBA y la UNC y posee dieciocho Unidades Académicas (con 107 carreras de grado y 157 títulos), con un total de 98.954 alumnos en el año 2009. Además cuenta con cinco colegios del sistema preuniversitario que en dicho año tenían 4.754 alumnos.

El ámbito de μEA 2011 es la **Facultad de Ingeniería**, con 12 carreras, 12 títulos y 6.693 alumnos en 2009. Su **Departamento de Electrotecnia** ofrece las carreras de grado en Ingeniería Eléctrica e Ingeniería Electrónica y posee nueve unidades de investigación y desarrollo entre las que se encuentra el **Centro de Técnicas Analógico-Digitales (CeTAD)**, al cual se le ha confiado la misión de Organización Local de μEA 2011 y la coordinación con otros núcleos argentinos de investigación y desarrollo que integran también el Comité de Organización de dicho Segundo Congreso, y dependen de Unidades Académicas de las Universidades Nacionales de La Plata, Buenos Aires, La Matanza, Rosario, Mar del Plata, Córdoba, San Luis, y Centro de la Provincia de Buenos Aires. Asimismo, la Universidad Tecnológica Nacional (Facultades Regionales de Haedo en Provincia de Buenos Aires y de Villa María en Córdoba), la Universidad FASTA de Mar del Plata, y el Instituto Nacional de Tecnología Industrial (INTI). De este modo se intenta lograr su amplia colaboración mediante ideas, sugerencias y conocimiento del dominio tecnológico al cual se refiere el congreso, como así también sus respectivas relaciones con los sectores académicos y empresarios.

Es indiscutible que este Segundo Congreso, cuyo nombre parece restringir su temática exclusivamente al campo de la Microelectrónica, tiene conceptualmente un carácter mas amplio, como ya se había manifestado en el Primer Congreso realizado el año anterior, y su dominio es el de las **Microtecnologías**, de las cuales la Microelectrónica es una parte que sigue teniendo una posición dominante, pero además los procesos tecnológicos que ella ha

puesto a punto, han permitido introducir los **MEMS** (Micro Electro Mechanical Systems) con los que se pueden construir estructuras mecánicas de pequeña dimensión (orden de micrómetros). Extendiendo estos conceptos a la aplicación de mayor número de tipos de variables no sólo eléctricas y mecánicas, sino también magnéticas, ópticas, químicas, biológicas, u otras, se llega al concepto más general de los **Microsistemas**.

Ciertamente, esta evolución es realmente trascendente para la sociedad al generar constantemente innovaciones notables en todos los campos de actividad, y muy especialmente en las **Tecnologías de la Información y las Comunicaciones**, a las que se refiere una parte importante de los trabajos presentados en **μEA 2011**. Y como el progreso científico es incesante, nos lleva hacia las **Nanotecnologías**, a una escala menor que un micrómetro, habitualmente en un rango de entre uno y cien nanómetros. En nuestro país este campo cuenta con importantes cultores, destacándose especialmente la **Fundación Argentina de Nanotecnología (FAN)**, que ha brindado su auspicio y apoyo económico a nuestro Congreso, y contribuirá también con una de las conferencias plenarias, sobre el desarrollo de esta disciplina en Argentina.

Continuando con la misma orientación que se había iniciado con el Primer Congreso de Microelectrónica Aplicada en 2010, **μEA 2011** tiene los siguientes objetivos:

- Constituirse en un foro de intercambio de experiencias entre los profesionales y estudiantes de todas las universidades en las áreas de Electrónica.
- Comunicar a la sociedad y en nuestro idioma, los logros y resultados obtenidos, en la actividad de investigación dedicada a las aplicaciones de las Micro y Nanotecnologías..
- Incrementar la cooperación entre los grupos industriales y académicos de la Argentina y Latinoamérica con la actividad en el campo de la Microelectrónica y sus Aplicaciones.

Para cumplir con los citados objetivos se ha elaborado el Programa del Segundo Congreso de Microelectrónica Aplicada que comprende un apreciable número de actividades que se desarrollarán en forma ajustada estrechamente al tiempo disponible en los tres días del evento. Como podrá verificarse en la publicación de dicho Programa, se van a ofrecer:

- Tres Sesiones Plenarias con conferencias a cargo de especialistas de primer nivel sobre temas avanzados del área.
- Sesiones Técnicas Simultáneas para exposición de 42 trabajos de exposición oral y 8 posters, todo ello sobre los siguientes temas:
 1. Microelectrónica
 2. Análisis para el Diseño de Hardware
 3. Diseño de Hardware FPGA
 4. Diseño de Soft SO y otros
 5. Matemática, simulación y control
 6. Diseño de sistemas de comunicaciones
 7. Nanotecnología y MEMS
 8. Diseño con microprocesadores e interfaces
 9. Educación

- Cinco Tutoriales sobre temas de importancia, principalmente en diseño microelectrónico, a cargo de representantes de los grupos universitarios e instituciones de investigación y desarrollo que forman parte del Comité de Organización del II Congreso y se han mencionado anteriormente.
- Dos Charlas informativas sobre actividades técnicas y/o comerciales realizadas por empresas que podrán instalar “stands” con tal objeto. A ellas se agregará un seminario técnico sobre diseño microelectrónico, también a cargo de una empresa.
- Una Mesa Redonda con la presencia de representantes de empresas y cámaras de las industrias vinculadas a las Tecnologías de la Información y Comunicaciones para exponer y discutir las principales actividades y problemas que las mismas encaran en la actualidad.
- Una Reunión plenaria de la Red de Universidades de Ingeniería Electrónica (Red UIE), que comenzó su organización con motivo del Primer Congreso μ EA 2010, y en μ EA 2011 procurará afianzar las relaciones entre sus instituciones integrantes a fin de lograr una fructífera colaboración entre las mismas.
- Una Cena de la Amistad que ha sido posible con el apoyo económico de la Comisión Nacional de Comunicaciones (CNC)

El Comité de Organización que tengo el honor de coordinar, desea expresar su agradecimiento a todas las entidades y personas que, con su esfuerzo y colaboración han hecho posible la realización del **Segundo Congreso de Microelectrónica Aplicada** (μ EA 2011). Especialmente agradecemos a la Universidad Nacional de La Plata y a sus Facultades de Ingeniería y de Informática por su auspicio y apoyo económico; a las demás Universidades y Unidades Académicas de todo el país que han formado parte del Comité de Organización y en muchos casos han brindado su auspicio formal; a las Instituciones públicas que han auspiciado y patrocinado el evento; a las Academias del Sector Científico y Tecnológico que con su auspicio han prestigiado a (μ EA 2011); a las empresas privadas que con su patrocinio han contribuido también a hacer frente a los considerables gastos que ha demandado el Congreso; a los integrantes del Comité de Organización Local; a los miembros del Comité de Programa, por su buen criterio y dedicación a la evaluación de las contribuciones recibidas; a los autores de las contribuciones que les han dado un elevado nivel científico y tecnológico.

A todos los académicos, investigadores, profesionales, empresarios y alumnos avanzados que nos acompañan les deseamos que puedan considerar este congreso como un verdadero éxito...

Prof. Ing. Antonio Adrián Quijano
 Coordinador General de la Organización de μ EA 2011

Organización

Coordinación General:

Ing. Antonio Adrian Quijano (CeTAD – UNLP)
Ing. José Antonio Rapallini (CeTAD – UNLP)
Ing. Andres Dmitruk (UNLaM)

Comité de Organización:

Dr. Nelson Acosta (UNICEN)	Ing. Daniel Crepaldo (UNR)
Dr. Ing. Carlos Arturo Gayoso (FI - UNMdP)	Ing. María I. Schiavón (UNR)
Ing. Alberto Dams (FIUBA)	Ing. Eduardo Romero (UTN-Córdoba)
Ing. Pablo Petrashin (UCC)	Ing. Claudio M. González (UNMdP)
Ing. Géry Bioul (FASTA)	Dra. Liliana Fraigi (INTI)
Ing. Héctor Gellon (UNSL)	Ing. Diego Brengi (INTI – UNLaM)
Ing. Carlos Sosa Páez (UNSL)	Ing. Daniel Lupi (FAN)
Ing. Carlos Marqués (FAMAF – UNC)	Ing. Alejandro de la Plaza (FIUBA)

Comité de Organización Local:

Dra. María Victoria Quijano (CeTAD – UNLP)	Ing. Sergio Barón (GEMyDE - CeTAD – UNLP)
Ing. Jorge Osio (CeTAD – UNLP)	Julián Marchueta (CeTAD – UNLP)
Ing. Leonardo Navarria (CeTAD – UNLP)	Matías Namiot (CeTAD – UNLP)
Ing. Jesús Matías F. Ocampo (CeTAD – UNLP)	Alejandro Mut (CeTAD – UNLP)
Ing. Walter Aróztegui (CeTAD – UNLP)	Luis Antonini (CeTAD – UNLP)
Ing. Martín Sisti (CeTAD – UNLP)	Mauro Escobar (CeTAD – UNLP)
Ing. Pablo Donato (CeTAD – UNLP)	Moisés I. Abraham (CeTAD – UNLP)
Ing. Ariel Cédola (GEMyDE – UNLP)	Leonardo M. Capossio (CeTAD – UNLP)

Comité de Programa:

Ing. Daniel A. Crepaldo (UNR) - Argentina	Dr. Nelson Acosta (UNICEN) – Argentina
Ing. María I. Schiavón (UNR) - Argentina	Ing. Salvador Tropea (INTI) – Argentina
Ing. Alejandro de la Plaza (FIUBA) - Argentina	Ing. Carlos F. Sosa Páez (UNSL) – Argentina
Ing. Fernando I. Szklanny (UNLaM) - Argentina	Ing. Gabriela Peretti (UTN) – Argentina
Ing. Carlos A. Gayoso (FI – UNMdP) - Argentina	Ing. Diego J. Brengi (INTI – UNLaM) – Argentina
Dr. Carlos Silva Cárdenas (PUCP) – Perú	Ing. José A. Rapallini (CeTAD – UNLP) – Argentina
Dr. Roberto S. Murphy (INAOE) – México	Ing. Antonio A. Quijano (CeTAD – UNLP) – Argentina
Ing. Carlos A. Marqués (FAMAF – UNC) – Argentina	Ing. Jorge R. Osio (CeTAD – UNLP) – Argentina
Ing. Andrés Dmitruk (UNLaM) – Argentina	Ing. Walter J. Aróztegui (CeTAD – UNLP) – Argentina
Ing. Claudio M. González (UNMdP) – Argentina	Ing. Leonardo Navarria (CeTAD – UNLP) – Argentina
Ing. Carlos A. González (UTN – FRH) – Argentina	Dr. Alfredo Arnaud (UCU) – Uruguay
Dr. Sergio N. Gwirc (INTI) – Argentina	Ing. Claudio Aciti (UNICEN) – Argentina
Ing. Géry Bioul (FASTA) – Argentina	Ing. Lucas Leiva (UNICEN) – Argentina

Patrocinadores:

- Fundación Argentina de Nanotecnología
- Comisión Nacional de Comunicaciones
- Secretaría de Políticas Universitarias (Ministerio de Educación de la Nación)
- Comisión de Investigaciones Científicas de la Provincia de Buenos Aires
- Universidad Nacional de La Plata
- Facultad de Ingeniería de la UNLP
- Telecom Argentina
- Telefónica
- Electrocomponentes S.A.
- Synopsys

Auspiciantes:

- IEEE
- Consejo Nacional de Investigaciones Científicas y Técnicas
- Facultad de ingeniería de la Universidad Nacional de Mar del Plata
- Universidad Nacional de Rosario
- Universidad Nacional de San Luis
- Facultad de Informática de la Universidad Nacional de La Plata
- Academia Nacional de Ingeniería de LA República Argentina
- Academia Nacional de Ciencias de Buenos Aires
- Academia de la Ingeniería de la Provincia de Buenos Aires
- Universidad Nacional de La Matanza
- Universidad Tecnológica Nacional – Facultad Regional Haedo
- Cámara Argentina de Industrias Electrónicas, Electromecánicas, Luminotécnicas, Informática y Control Automático (CADIEEL)
- Cámara de Informática y Comunicaciones de la República Argentina (CICOMRA)

Listado de Autores

Aguierre, Leandro	Fernandez, Javier	Marone, José
Alimenti, Omar	Ferrara, Fernando	Marqués, Carlos
Amiel, Frederic	Ferrari, Flavio Atilio	Márquez, Marcelo
Angarola, Lucas	Fuentes, Leandro Ariel	Martin, Raúl Lisandro
Antonini, Luis Alberto	Galleguillo, Juan	Martínez, Roberto
Arnone, Leonardo	Garaventta, Guillermo	Martínez, Eduardo
Aróztegui, Walter José	García Inza, Mariano	Medina, Sergio
Aurelio, Damian	García, Gerardo	Merletti, Gustavo
Banchieri, Miguel	Garro Martínez, Félix	Morales, Pablo
Belmonte, Javier	Garro, Ricardo J.	Murias, Gustavo
Bioul, Gery	Gastaldi, Raul	Namiot, Matias
Boggio, Norberto	Gayoso, Carlos Arturo	Navarria, Leonardo
Bonaparte, Juan	Gho, Edgardo	Nigri, Christian
Boyko, Cristian Ariel	Giandomenico, Enrique	Oliva, Rafael
Brenzi, Diego	Giovanardi, E.	Olmedo, Sergio
Busnardo, Marcela	Gomez Asoia, Adrian	Ordinez, Leo
Caballero, Gabriel	Gómez, Rodrigo	Ortiz, Guillermo
Campabadal, Francesca	Goncebat, Victor	Ortiz, Juan
Capossio, Leonardo	Gonzalez, Adrian	Osio, Jorge Rafael
Carbonetto, Sebastián	Guanuco, Luis	Oviedo Carrascal, Efraín
Chávez, Gabriel	Guarnieri, Fabio Ariel	Pacheco, Gonzalo
Cordero, María Cristina	Huy, Christian	Pacher, Federico
Cordoba, Maximiliano	Isaza Narvaez, Claudia	Paletta, Patricia
Cortez, Nestor	Larosa, Facundo Santiago	Palomeque, Matias
Corti, Rosa	Larrondo, Hilda Angela	Panozzo Zénere, Jonatán
Costa, Diego Esteban	Lasorsa, Carlos	Parra Visentin, Matias
Coulombie, Diego	Leiva, Lucas	Passoni, L.I.
Cozzolino, Ezequiel	Lell, Julian	Peretti, Gabriela
Crepaldo, Daniel	Lipovetzky, José	Perillo, Patricia
D'Agostino, Estela	Lipuma, Daniel	Quijano, Antonio Adrian
Dai Para, A. L.	López Montenegro, Hugo	Rabini, Miguel
De La Plaza, Alejandro	Lopez, Luis	Ramirez, Dardo
De Maria, Elio	Lovay, Mónica	Rapallini, José Antonio
De Micco, Luciana	Maidana, Carlos	Recanzone, Rodolfo
Faigón, Adrián	Mariño, Nestor	Redín, Eduardo Gabrie

Rivilli, Matias Fabián
Roca, Jose Luis
Rodriguez, Daniel
Romeo, Marcelo
Romero, Eduardo
Rubio, Agustín
Sacco, Antonio
Sambuco Salomone, Lucas
Santillán, Jorge

Schiavon, Maria Isabel
Sentoni, Guillermo
Sisti, Martin
Sosa Páez, Carlos Federico
Staiano, Miguel Angel
Szklnny, Fernando Ignacio
Tantignone, Hugo
Tenti, Matías
Todorovich, Elías

Tropea, Salvador
Vara, Matias Ezequiel
Vázquez, Martín
Veiga, Alejandro
Velásquez Rendón, Sergio
Yelpo, Víctor Antonio
Zaradnik, Ignacio
Zumarraga, Augusto

Conferencias Plenarias

“Millimeter-wave and terahertz CMOS design”

Ph.D Minoru Fujishima
University of Tokyo – Tokyo – Japón

Minoru Fujishima is received the B.E., M.E. and Ph.D degrees in Electronics Engineering from the University of Tokyo, Japan in 1988, 1990 and 1993, respectively. He joined faculty of the University of Tokyo in 1988 as a research associate, and was an associate profesor of the School of Frontier Sciences, University of Tokyo since 1999. He was a visiting professor at the ESAT-MICAS laboratory, Katholieke, Universiteit Leuven, Belgium, from 1998 to 2000. Since 2009, he has been a professor of the Graduate School of Advanced Sciences of Matter, Hiroshima University. He studied design and modeling of CMOS and BiCMOS circuits, nonlinear circuits, single-electron circuits, and quantum-computing circuits. His current research interests are in the designs of low-power millimeter- and short-millimeter-wave wireless CMOS circuits. He coauthored more than 40 journal papers and 100 conference papers, and a book entitled “Design and Modeling of Millimeter-Wave CMOS Circuits for Wireless Transceivers: Era of Sub-100nm Technology,” published by Springer, 2008. He is a member of IEICE, IEEE, and JSAP. He is currently serving as a technical committee member of several international conferences.

Abstract: Millimeter-wave and its higher-frequency part “terahertz” have attracted many attentions to open up new applications such as ultrahigh-speed wireless communication and noninvasive transparent image. Utilizing recent transistor performance in CMOS technology, those new applications are being realized by commercial CMOS process. Since base-band signal processors are indispensable in a system level, CMOS circuits for millimeter-wave and terahertz have advantage against compound-semiconductor circuits from viewpoint of high-volume production and low-power consumption. In this talk, we will discuss millimeter-wave and terahertz CMOS design by clarifying difference from conventional microwave design. Design examples from system level to building block for mobile high-speed communication are also discussed.

“La Nanotecnología en Argentina , su origen, desarrollo y desafíos”

Dr. Joaquín Valdés
Fundación Argentina de Nanotecnología – Buenos Aires – Argentina

Joaquín Valdés es Dr. en Ingeniería, Universidad de Braunschweig (Alemania), Lic. en Física UBA. Director del INTI para la Transferencia en Metrología, Micro y Nanotecnología y Nuevos Materiales. Gerente de Calidad y Ambiente. Miembro del Comité Internacional de Pesas y Medidas (CIPM). Presidente del Comité Consultivo de Acústica, Ultrasonido y Vibraciones del CIPM. DECANO del Instituto de la Calidad Industrial – Universidad Nacional de San Martín (UNSAM). Dirigió el desarrollo del primer Microscopio de Efecto Túnel de Latinoamérica con resolución atómica, con el que se iniciara hace 20 años el camino hacia la nanotecnología en el país.

Abstract: La irrupción del microscopio de efecto túnel mostrando un nuevo mundo de imágenes con resolución atómica, la manipulación del átomo y del electrón. La evolución del concepto de Nanotecnología. Los esfuerzos desarrollados en el país y su relación con las políticas de Ciencia y Tecnología. La Fundación Argentina de Nanotecnología. Las convocatorias a proyectos FONARSEC para establecer plataformas nanotecnológicas en el país.

“Aceleración de Algoritmos en FPGA – Aritmética Decimal”

Ing. Géry Bioul y Dr. Elías Todorovich

Universidad FASTA – Mar del Plata - Argentina

Universidad Nacional del Centro de la Provincia de Buenos Aires – Tandil – Argentina

Géry Bioul received his M.Sc. in Aerospace physics engineering from the National University of Liège, (Belgium 1969). He has been with the Philips Research Laboratory in Brussels for seven years. He has been professor at the National University of Congo, and in several European and South American Universities. He is currently titular professor at the Fasta University, CAECE University and UNCPBA University in Argentina. His research interests include computer arithmetic, computational and discrete mathematics, programmable logic. He has been part of numerous evaluation commissions in Argentina: CIC, SPU, National investigation agency, UBA. He is author of around 80 international publications. Géry Bioul also has experiences in transfer of technology international projects in developing countries: mainly in Congo, Algeria, Ivory Coast, Cabo verde, with Ingersoll Rand, GTE International, Chanic Belgium and others.

Elías Todorovich received a computer engineering degree from the “Universidad Nacional del Centro de la Provincia de Buenos Aires” (UNCPBA), Argentina, in 1997, and a Ph.D. degree in computer engineering from the “Universidad Autónoma de Madrid” (UAM), Spain, in 2006. From 2003 to 2009 he was an Assistant Professor in the Department of Computer Engineering, UAM and is currently an Associate Professor at the UNCPBA. His research interests include programmable logic, digital arithmetic, and functional verification. Dr. Todorovich is active in program committees of several conferences on programmable logic, including FPL, SPL, and ReConfig.

Abstract: Actualmente los problemas científicos, de ingeniería y de finanzas entre otros, alcanzaron una muy alta complejidad computacional. Esta complejidad incluye el tamaño de código, que además se está actualizando constantemente. Todo eso está llevando al límite al propio concepto de programa almacenado introducido por John Von Neumann en la década de 1940. La Aceleración Hardware (Hardware Acceleration) mediante lógica programable (Programmable Logic) se está conjugando con técnicas de síntesis de lenguajes de alto nivel (HLL, High Level Languages) para resolver de una nueva manera este tipo de problemas. En este seminario se presenta la tecnología, las tendencias y un caso de estudio en el que se requieren de manera intensiva operaciones aritméticas en punto flotante.

Índice

Tutoriales – Resúmenes

Desarrollo con FPGAs en GNU/Linux.....	1
Efectos de Radiación Ionizante en Dispositivos y Circuitos MOS.....	2
Introducción al diseño con VHDL.....	3
DSP con FPGA usando herramientas de conversión de modelos de simulación a HDL.....	4
Diseño de ASICs en Tecnología CMOS.....	5

Sesiones Temáticas

MICROELECTRÓNICA

Captura y liberación de carga en dispositivos MOS con dieléctricos de alto-K.....	6
Lucas Sambuco Salomone, Sebastián Horacio Carbonetto, Mariano Andrés García Inza, José Lipovetzky, Eduardo Gabriel Redín, Francesca Campabadal y Adrián Faigón	
Diseño de sensores diferenciales MOS con amplificación y su aplicación a dosimetría	11
Sebastián Carbonetto, Jose Lipovetzky, Mariano Andrés Garcia Inza, Lucas Sambuco Salomone, Eduardo Gabriel Redin y Adrian Faigon	
Circuito de alimentación y acondicionamiento de señal para sistema identificador de ganado	16
Maria Schiavon, Daniel Alberto Crepaldo, Raúl Lisandro Martin y Federico Pacher	
Modulador Sigma Delta Basado en Capacitores Conmutados con Amplificadores de Ganancia Unitaria	21
Mariano Garcia Inza, Luis Lopez y Alejandro De La Plaza	
Diseño, Simulación e Implementación de un circuito divisor de potencia con tecnología de microtiras	24
Gabriel Caballero, Raul Gastaldi y Javier Fernandez.	
Potenciostato Implantable Integrado en Tecnología CMOS	30
Fabio A. Guarnieri, Mariano Garcia Inza, José Lipovezky y Alejandro De La Plaza	

DISEÑO DE HARDWARE FPGA

Speckle Signal Processing through FPGA.....	33
Elías Todorovich, Martín Vázquez, Ezequiel Cozzolino, Fernando Ferrara, Gery Bioul, A. L. Dai Para y L.I. Passoni	

Sistema de control de luz a partir de comandos de voz usando RNA.....	39
Sergio Velásquez Rendón, Efraín Alberto Oviedo Carrascal y Claudia Victoria Isaza Narvaez	
Síntesis e implementación en FPGA de un mapa caótico con PDF Gaussiana.....	45
Luciana De Micco y Hilda Angela Larrondo	
Mapas Auto-Organizativos dentro de un FPGA.....	49
Matias Namiot, Leonardo Martin Capossio, José Antonio Rapallini y Antonio Adrian Quijano	
Invernadero Robotizado - Perspectiva de Diseño desde los Sistemas Ciber-Físicos.....	53
Ricardo J. Garro, Leo Ordínez y Omar Alimenti	
Desarrollo e Implementación de Síntesis Patrones de Radiación Sobre Plataforma FPGA.....	59
J. Fernandez, R. Gastaldi, G. Caballero, J. Galleguillo, M. Busnardo y S. Medina	
Desarrollo de modelos de fallas de sistemas electrónicos utilizando redes bayesianas.....	63
Jose Luis Roca	

DISEÑO CON MICROPROCESADORES E INTERFACES

Sistema Host USB para gestionar archivos entre dispositivos.....	69
Luis Alberto Antonini, Jorge Rafael Osio y Jose Rapallini	
Registrador Continuo para Medición de Temperaturas Utilizando Protocolo 1-Wire.....	74
Elio De Maria y Fernando Ignacio Szklanny	
Diseño de un sistema portable para la implementación de un Host USB.....	78
Jorge Rafael Osio, Matias Palomeque, José Rapallini y Antonio Adrian Quijano	
Aspectos de implementación en una interfaz I2C para controladores PSoC y AVR.....	84
Rafael Oliva y Nestor Cortez	

ANÁLISIS PARA EL DISEÑO DE HARDWARE

Modulo de leds para iluminación pública.....	89
Ignacio Zaradnik, Damian Aurelio, Pablo Morales, Hugo Tantignone y Gabriel Alejandro Chaves	
Soldadura, inspección y verificación, en laboratorio, de un prototipo con chip BGA.....	95
Diego Brengi, Salvador Tropea, Matías Parra Visentin y Christian Huy	

DISEÑO DE HARDWARE FPGA

Implementación de MODBUS en FPGA mediante VHDL – Capa de Enlace.....	101
Sergio Olmedo, Luis Guanuco, Jonatán Panozzo Zénere y Agustín Rubio	
Procesamiento de señales para aplicaciones y efectos de audio en tiempo real con FPGA.....	106
Diego Esteban Costa, Carlos Federico Sosa Páez y Félix Garro Martínez	
Arquitectura de un nodo sensor para aplicaciones de supervisión ambiental.	
Implementación de un prototipo reconfigurable	109
Rosa Corti, Roberto Martínez, Estela D'Agostino, Javier Belmonte y Enrique Giandomenico	
Instrumentación virtual en tiempo real con FPGA: Analizador de Espectros.....	115
Diego Esteban Costa, Carlos Federico Sosa Páez y Víctor Antonio Yelpo	

DISEÑO DE SOFT, SO Y OTROS

Diseño y caracterización de un núcleo orientado a aplicaciones dedicadas.....	120
Vara Matias Ezequiel y Veiga Alejandro	
Formulación de una Métrica en la evaluación de los Sistemas Operativos en Tiempo Real para sistemas embebidos.....	125
Marcelo Romeo, Eduardo Martínez, Rodolfo Recanzone y Frederic Amiel	

ANÁLISIS PARA EL DISEÑO DE HARDWARE

Fault tolerance in an amplifier system implemented in reconfigurable system on chip platform....	131
Mónica Lovay, Gabriela Peretti, Eduardo Romero y Carlos Marqués	
AHRS R-001: Actualización de Sistemas Inerciales de Navegación en Aeronaves Supersónicas....	137
Leandro Aguierre, Dardo Ramirez, Lucas Leiva, José Marone y Martín Vázquez	
Sistema Inalámbrico de Monitoreo de Temperaturas para seguimiento de cadena de frío en la Industria frigorífica.....	142
Adrian Gonzalez	

DISEÑO DE SISTEMAS DE COMUNICACIONES

Un Sistema de Conversión Para Monitoreo Remoto de Alarmas - Conversión PSTN a Internet mediante protocolo Contact-ID®.....	147
Edgardo Gho, Carlos Eduardo Maidana y Fernando Ignacio Szklanny	
Evaluación de Alternativas para telemedición.....	151
Leonardo Navarria	

Análisis de los Modelos de Propagación Outdoor para la Transmisión de datos entre Estaciones Meteorológicas Remotas.....156
E. Giovanardi y J. C. Galleguillo

PLL Digital Multiplicador de Frecuencia integrado en un proceso CMOS estándar.....160
Gonzalo Pacheco

Simplificación del método del corto circuito para la medición de la permitividad dieléctrica.....164
Daniel Lipuma, Raul Gastaldi, Sergio Medina y Marcela Busnardo

MATEMÁTICAS, SIMULACION Y CONTROL

Generador de Números Pseudoaleatorios Mediante el Sistema Numérico de Residuos, Estudio Estadístico.....168
Carlos Arturo Gayoso

Sistema de control para la autoestabilización de un vehículo aéreo trirotor no tripulado.....175
Gabriel Alejandro Chávez

Implementación de la Transformada Discreta Wavelet en un sistema embebido para el análisis de registros electronistagmográficos.....181
Lucas Angarola, Miguel Banchieri y Maximiliano Cordoba

Cicaré CH7-B Engine Governor.....186
Augusto Zumarraga y Guillermo Garaventa

Predicción de ataque epiléptico usando entropía espectral.....191
Diego Coulombie

Modelado de un canal de propagación basado en atenuación provocada por personas en ambiente cerrado.....195
Cristian Ariel Boyko, Matias Fabián Rivilli, Juan Galleguillo, Marcela Busnardo y Sergio Medina

EDUCACION

Competencia de sumo robot para la enseñanza de electrónica y robótica práctica.....200
Diego Brengi, Nestor Mariño, Christian Huy, Rodrigo Gómez, Gerardo García, Marcelo Márquez e Ignacio Zaradnik

StartStack.dev - Herramienta de desarrollo modular multiplataforma para sistemas embebidos..206
Gustavo Murias

Comunicador pictográfico.....209
José Antonio Rapallini, Miguel Angel Staiano, Flavio Atilio Ferrari, Antonio Sacco, María Cristina Cordero, Matías Tenti, Jorge Santillán y Patricia Paletta

Educación a distancia aplicada al desarrollo de Redes neuronales en FPGA.....	215
Leonardo Navarra, José Rapallini y Adrián Quijano	
Kit de desarrollo educativo LPC 2400.....	220
Luis Alberto Antonini, Jorge Rafael Osio y Jose Rapallini	
Kit de desarrollo para la Enseñanza de Circuitos Digitales y Sistemas Embebidos.....	225
Jorge Rafael Osio, José Antonio Rapallini, Victor Goncebat, Adrian Gomez Asoia, Walter Aróztegui y Martin Sisti	
 NANOTECNOLOGIA Y MEMS	
Fatiga en sistemas micro-electro mecánicos (MEMS) capacitivos.....	231
Hugo López Montenegro, Leonardo Arnone y Miguel Rabini	
Verification of Paschen curve and Peek's Law in Micro Glow-discharge.....	235
Juan Ortiz, Christian Nigri, Carlos Lasorsa, Guillermo Ortiz, Daniel Rodriguez, Patricia Perillo y Norberto Boggio	
Desplazador de fase reflectivo con tecnología MEMS.....	238
Facundo Santiago Larosa, Julian Lell y Leandro Ariel Fuentes	
Diseño y fabricación de microinductor planar para microválvula activa para el tratamiento de glaucoma utilizando tecnología MEMS.....	243
M.C. Perez, F. L. Sasseti y Fabio Ariel Guarnieri	
Medición y análisis estadístico para la caracterización de RF-MEMS.....	247
Juan Bonaparte, Guillermo Sentoni y Gustavo Merletti	

“Desarrollo con FPGAs en GNU/Linux”

Ing. Salvador E. Tropea, Ing. Diego J. Brengi, Ing. Rodrigo A. Melo,
Instituto Nacional de Tecnología Industrial
Centro de Electrónica e Informática
Laboratorio de Desarrollo Electrónico con Software Libre

I. RESUMEN.

GNU/Linux (la combinación del kernel Linux y herramientas del proyecto GNU) es uno de los ejemplos más prominentes de Software Libre. El Software Libre es la denominación del software que respeta la libertad de los usuarios. Una vez obtenido puede ser usado, copiado, estudiado, cambiado y redistribuido libremente. Las herramientas Libres que presentaremos para el desarrollo con FPGAs (Field Programmable Gate Array), están lo suficientemente maduras para su uso en ámbitos educativos y en proyectos de mediana envergadura. El uso de Software Libre y la utilización de estándares, promueve la independencia tecnológica, la portabilidad de lo desarrollado y la posibilidad de ser abordado por cualquiera con acceso a una PC sin la necesidad del pago de licencias.

II. CONTENIDOS

En este trabajo, se presenta el siguiente contenido temático:

- Presentación INTI y Laboratorio DESoL
- Motivos para usar *GNU/Linux (Software Libre)*
 - El *Software Libre*
 - Sistemas *GNU/Linux*
 - Ventajas del *Software Libre*
- El ciclo de trabajo con **FPGAs**
- Herramientas de *software* más relevantes
 - Sistema Operativo
 - Herramientas de propósitos generales
 - Edición: Setedit
 - Automatización: GNU Make
 - Simulación y testbench: GHDL
 - Análisis: GTKWave
 - ISE Webpack
 - Transferencia del bitstream
 - Ayudas: Xil Project
 - Hardware: Placa de desarrollo con **FPGA**
 - Circuitos Impresos: Kicad
 - Reportes y Documentación
- Demostración y consultas
 - Demostración de las herramientas
 - Ejemplo de cómo hacer titilar un led con una **FPGA**
 - Consultas

“Efectos de Radiación Ionizante en Dispositivos y Circuitos MOS”

José Lipovetzky, Miembro IEEE
Facultad de Ingeniería – Universidad de Buenos Aires
INTECIN - CONICET
Ciudad de Buenos Aires
Jose.lipovetzky@ieee.org

I. RESUMEN.

En este tutorial se hace una breve revisión de efectos de radiación en dispositivos y circuitos MOS. Se presentan en primer lugar efectos de dosis ionizante total, describiendo los efectos físicos que dan lugar a la modificación de características eléctricas de los dispositivos y como esa modificación puede afectar el comportamiento de circuitos en tecnologías modernas. Se presenta cómo las modificaciones eléctricas en los dispositivos pueden ser aprovechados para construir sensores en un dosímetro de radiación ionizante. Finalmente se presentan efectos puntuales en el funcionamiento de circuitos causados por el paso de una única partícula.

II. CONTENIDOS

Ya sea en aplicaciones espaciales, industria nuclear o aplicaciones médicas, muchos circuitos electrónicos están expuestos a radiación ionizante. La exposición de un circuito a radiación provoca efectos acumulativos debidos a la dosis ionizante total absorbida y efectos puntuales en el funcionamiento del circuito asociados a la generación de carga en nodos de los circuitos por el paso de partículas ionizantes. Este tutorial presenta un breve resumen de dichos efectos, formas de caracterización y mitigación.

Se hace en primer lugar una revisión de efectos de dosis ionizante total en tecnologías CMOS. Se describen los mecanismos físicos que originan la captura de carga en los óxidos aislantes y degradación de las interfaces que dan lugar a modificaciones en las características de los dispositivos MOS tales como corrimiento de la tensión umbral, variación en la transconductancia, aumento de corrientes de fuga. Se muestra la dependencia con condiciones de polarización y respuesta a largo plazo. Se discute la influencia de estos efectos en circuitos CMOS fabricados en tecnologías modernas con óxidos delgados, silicio sobre aislante, u óxidos de alta constante dieléctrica. Se presentan algunas técnicas de mitigación de efectos de radiación, y el método para caracterización 1019.4 para efectos de dosis total del estándar MIL-STD-883.

Como aplicación de efectos de dosis total en dispositivos MOS, se presenta el uso de transistores MOS como dosímetros de radiación ionizante, aplicaciones, límites de resolución, y formas de reutilización de los sensores.

Final mente, se hace una breve descripción de efectos puntuales de un único evento provocados por el paso de una única partícula, y se presentan algunas técnicas utilizadas para mitigar los efectos puntuales en circuitos CMOS y circuitos programables.

“Introducción al diseño con VHDL”

Ing. Fernando I. Szklanny

Grupo de Investigación en Lógica Programable, Departamento de Ingeniería e Investigaciones Tecnológicas,
Universidad Nacional de La Matanza, San Justo, Argentina
gilp@unlam.edu.ar

I. RESUMEN.

Con el objeto de lograr un aprendizaje adecuado de las técnicas de diseño con circuitos lógicos programables, se propone un curso básico que permita al estudiante comenzar a entender la estructura de un lenguaje de programación de alto nivel, tal como VHDL, y la forma de utilizar dicho lenguaje para diseñar sistemas digitales basados en circuitos lógicos programables, y la simulación de su comportamiento. La presencia del docente, y las clases teóricas, de las cuales este tutorial ofrece solamente una muestra, se complementan con la utilización de una herramienta práctica, basada en una placa de desarrollo, simple de usar, simple de interconectar, que fuera desarrollada por nuestro grupo de investigación sobre la base de un circuito lógico programable sencillo y económico como herramienta introductoria, a ser utilizada por los estudiantes antes de requerir el uso de las poderosas herramientas de diseño y equipos de desarrollo que hoy ofrecen los fabricantes de este tipo de dispositivos.

II. CONTENIDOS

A continuación se enumeran los temas a tratar en este tutorial.

- Introducción a los circuitos lógicos programables.
- Lenguajes descriptores de Hardware. VHDL.
- Por qué usar VHDL?
- Flujo del diseño
- Descripción del diseño VHDL
- Entidades, puertos, modos y tipos.
- Declaración de entidad.
- La arquitectura. Estilos diferenciados:
- Sentencias concurrentes y secuenciales.
- Procesos: Señales vs. Variables.
- Operadores: extensión, inferencia.
- Identificadores
- Un ejemplo de arquitectura.
- Lógica de tres estados. Estados redundantes
- Agregados y Subíndices.
- Registros, Latches y memoria implícita.
- Máquinas de estado y codificación de estados.
- Jerarquías de diseño
- Componentes, paquetes, bibliotecas.

“ DSP con FPGA usando herramientas de conversión de modelos de simulación a HDL ”

Víctor Yelpo; Diego Costa

Laboratorio de Electrónica, Investigación y Servicios
Facultad de Ciencias Físico, Matemáticas y Naturales / Universidad Nacional de San Luis
San Luis, Argentina
e-mail: {vayelpo, dec}@unsl.edu.ar

I. RESUMEN.

Los dispositivos de lógica programable permiten realizar diseños de circuitos digitales con gran flexibilidad en la definición de los sistemas, relativa alta velocidad de funcionamiento, rapidez en el desarrollo entre el prototipado y la implementación final, versatilidad para el re-uso de estructuras ya diseñadas, etc. Estas ventajas, respecto a implementaciones en software o con hardware dedicado, hacen de la lógica programable una opción creciente para el procesamiento digital de señales.

El paralelismo inherente a los arreglos mencionados es de vital importancia para la implementación de algoritmos de sumas y multiplicaciones en paralelo, como los requeridos en filtrado, análisis espectral, etc., sacando ventaja apreciable a las realizaciones en software, particularmente las que requieren gran densidad de cálculos como el caso del vídeo. Asimismo, la flexibilidad en la definición del ancho de palabra para el procesamiento de datos permite optimizar los recursos utilizados ya que el hardware se puede definir adaptándose a los requerimientos de precisión finita solicitados en las especificaciones.

Por último, cabe señalar que los nuevos dispositivos, entre sus bloques y celdas, incorporan DSPs como primitivas, brindando la posibilidad de implementar en un mismo sistema, bloques diseñados en HDL con códigos de programas que corran en los DSPs realizados en forma tradicional.

El diseño de sistemas de procesamiento de señales, control y comunicaciones, entre otros, utiliza en forma creciente las herramientas computacionales de cálculo, modelado y simulación. La aparición de nuevas herramientas que permiten obtener un código de descripción de hardware a partir de un modelo de simulación, ha permitido dar un salto en el desarrollo de los sistemas mencionados, integrando todos los pasos de diseño en una sola línea de trabajo, y acortando la brecha que había entre el modelo en bloques para simulación en punto flotante, y el código de descripción de hardware final que implementa el diseño, normalmente en punto fijo.

II. CONTENIDOS

Se propone la realización de un tutorial introductorio a la temática, abordando los siguientes tópicos:

- Diseño mediante conversión de modelos de simulación a HDL: Metodología de diseño. Modelado, simulación en alto nivel con punto flotante y simulación en alto nivel con punto fijo. Conversión a HDL y simulación lógica. Síntesis y simulación post-síntesis. Ubicación y ruteo, y simulación post-layout. Programación. Reporte de recursos, consumo y temporización. Herramientas de software.
- Aplicación: Diagrama en bloques, algoritmos y descripción del diseño de un ejemplo de aplicación (por ejemplo, un bloque de cálculo de la DFT o un filtro). Ensamble y configuración de los bloques. Configuración para la simulación. Simulación, evaluación del algoritmo del diseño y evaluación de los efectos de cuantización. Generación del código en HDL. Configuración para la síntesis y la simulación, y realización de los pasos habituales de diseño hasta la programación en el FPGA. Verificación y especificaciones.

"Diseño de ASICs en Tecnología CMOS"

Ing. Daniel Crepaldo
Laboratorio de Microelectrónica
Facultad de Ciencias Exactas, Ingeniería y Agrimensura
Universidad Nacional de Rosario
Rosario, Argentina

I. CONTENIDOS

Tecnología y diseño de los CI :

- Etapas generales del proceso de diseño.
- Procesos tecnológicos.
- Ensamblado y encapsulado, función y tipos de encapsulado.

Tecnología CMOS:

- Proceso de fabricación.
- Reglas de diseño.
- Características eléctricas.
- Elementos parásitos en los circuitos CMOS.
- Circuitos digitales.
- Circuitos analógicos.
- Diseño para matching.

Herramientas de diseño:

- Herramientas de CAD (simuladores, editores de layout, verificador de reglas, extractor de circuitos).
- Diseño jerárquico.
- Generación de layout, ejemplos de layout de transistores, resistencias, condensadores, pads, etc.
- Bibliotecas de celdas.
- Verificación del diseño. Simulación eléctrica.

Posibilidades de fabricación:

- Costos.
- Accesibilidad.
- Prototipado.
- Proyectos multiusuario

Captura y liberación de carga en dispositivos MOS con dieléctricos de alto-K

L. Sambuco Salomone¹, S. H. Carbonetto^{1,3}, M. A. García Inza^{1,3}, J. Lipovetzky^{1,3}, E. G. Redín^{1,3}, F. Campabadal⁴, A. Faigón^{1,2,3}

¹Laboratorio de Física de Dispositivos – Microelectrónica
Universidad de Buenos Aires, Facultad de Ingeniería

²Consejo Nacional de Investigaciones Científicas y Técnicas (CONICET)

³Instituto de Ciencias de la Ingeniería (INTECIN)

⁴Instituto de Microelectrónica de Barcelona – Centro Nacional de Microelectrónica – Consejo Superior de Investigaciones Científicas (CSIC)
email: lsambuco@fi.uba.ar

Abstract—Los procesos de captura y liberación de carga en dispositivos MOS con Al_2O_3 crecido por Atomic Layer Deposition (ALD) como aislante de puerta son estudiados y caracterizados eléctricamente en relación a su dependencia con la tensión aplicada y el tiempo, mediante diferentes experimentos. Un modelo físico basado en un frente de túnel es propuesto con el fin de explicar los resultados obtenidos y poder extraer los parámetros físicos asociados, como la densidad y distribución energética de las trampas responsables de dichos fenómenos de captura.

MOS devices; High-K gate dielectrics; Electron traps.

I. INTRODUCCIÓN

El aumento en la complejidad de los circuitos electrónicos ha llevado a un aumento en el nivel de integración de los dispositivos, que se traduce en una reducción de las dimensiones de los mismos. En el caso particular de la estructura MOS (Metal-Oxide-Semiconductor), esta reducción en sus dimensiones ha llevado a los procesos de fabricación a un límite crítico. A medida que el espesor de la capa aislante se reduce por debajo de un valor de aproximadamente 2 nm, los niveles de rendimiento y confiabilidad se ven afectados [1].

Uno de los temas más investigados durante la primera década de este siglo en el área de la fabricación de dispositivos semiconductores, ha sido la posible utilización de nuevos materiales en reemplazo del SiO_2 como capa aislante en las mencionadas estructuras MOS. Dichos materiales, se caracterizan por poseer una constante dieléctrica significativamente mayor a 3.9 del SiO_2 . Este aumento en la constante dieléctrica, permite construir dispositivos MOS que mantengan los niveles de capacidad, y en consecuencia, de acoplamiento puerta-canal, sin la necesidad de reducir el espesor de la capa aislante más allá de lo considerado como límite crítico por la magnitud de las corrientes de túnel.

En particular, la Alúmina (Al_2O_3) se encuentra entre los principales candidatos para formar parte de las estructuras MOS como capa aislante. Entre las aplicaciones tratadas recientemente en la literatura, pueden mencionarse la posibilidad de incorporar Al_2O_3 como interpoly dielectric (IPD) en memorias flash de puerta flotante [2-8], como parte de la

capa aislante en Ion-Sensitive Field Effect Transistors (ISFET) [9], o su utilización en dosímetros MOS [10].

A pesar de los beneficios asociados con el aumento en la constante dieléctrica, numerosos problemas han surgido al tratar de utilizar dichos materiales como capa aislante, principalmente vinculados con la presencia de un gran número de defectos en su estructura, los cuales pueden comportarse como centros de captura de carga, causando algunas dificultades, incluso en condiciones normales de operación [11-12]:

- Inestabilidades en la tensión de umbral, causadas por la dependencia temporal de la carga atrapada.
- Reducción de la movilidad en el canal debido a scattering Coulombiano con la carga atrapada.
- Aumento en la corriente a través del aislante, debido a que los defectos mencionados favorecen la conducción.

Desde el punto de vista de la caracterización eléctrica, la captura de carga en los defectos mencionados genera una histéresis en las típicas características C-V (Capacitance-Voltage) o I-V (Current-Voltage) del dispositivo. Alternativamente, también puede observarse una dependencia temporal en el valor de capacidad medida a una tensión fija [13].

Se encuentra relativamente aceptado en la literatura que la captura de carga mencionada se debe a transiciones de túnel entre el semiconductor y las trampas presentes en el dieléctrico [8, 14-15].

En este trabajo se presenta una caracterización sistemática de dichos procesos de captura, desde el punto de vista de su dependencia con la tensión aplicada y su evolución temporal, junto con un modelo físico, propuesto con el fin de explicar los resultados obtenidos y poder caracterizar físicamente los defectos presentes en el material.

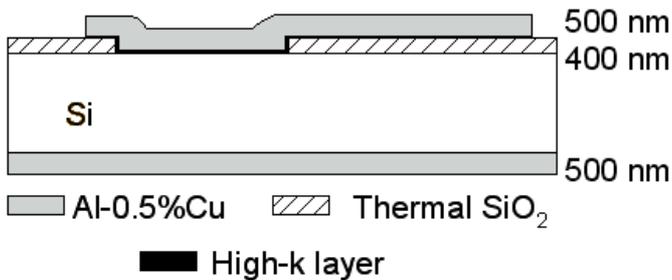


Figura 1. Esquema de las estructuras fabricadas.

II. DETALLES EXPERIMENTALES

A. Descripción de las muestras

Los capacitores MOS utilizados en el presente trabajo fueron fabricados utilizando la técnica de Atomic Layer Deposition (ALD) en el Instituto de Microelectrónica de Barcelona (IMB) – Centro Nacional de Microelectrónica (CNM).

La capa de Al₂O₃ fue depositada sobre un sustrato de silicio tipo n con una resistividad de 1-12 Ωcm, que se corresponde con un nivel de dopaje de 4×10^{14} - 5×10^{15} at/cm³.

Inicialmente, se depositó una capa de 400 nm de SiO₂ por oxidación térmica, luego de lo cual, se abrieron por litografía y grabado húmedo las ventanas para la deposición de las capas dieléctricas. Luego, las muestras fueron limpiadas con H₂O₂/H₂SO₄ durante 10 minutos y con HF durante 10 segundos. El proceso de ALD fue llevado a cabo en 95 ciclos a una temperatura constante de 200 °C, resultando en un espesor físico de 11.7 nm. Finalmente, ambas caras fueron metalizadas con 0.5 μm de Al – 0.5% Cu. La figura 1 muestra un esquema de la estructura obtenida.

Las muestras fueron caracterizadas utilizando TEM (Transmission Electron Microscopy). El EOT (Equivalent Oxide Thickness) medido fue de 5.8-6.3 nm, resultando en un valor de constante dieléctrica (K) entre 7.2 y 7.9.

B. Experimentos

A fin de caracterizar las inestabilidades eléctricas, se realizaron mediciones de ciclos de capacidad-tensión (C-V) del dispositivo, utilizando el medidor vectorial de impedancias HP 4277A, comandado por una computadora a través de un software diseñado para tal tarea. La frecuencia de medición fue de 1 MHz.

Cada ciclo de medición consta de dos barridos consecutivos, el primero iniciando en inversión y finalizando en acumulación, y el segundo en el sentido opuesto. La presencia de trampas dentro del material, capaces de capturar carga genera un desplazamiento en tensión entre los dos barridos de un mismo ciclo de medición. La figura 2 muestra el resultado obtenido al medir un ciclo de curvas C-V entre una tensión mínima de -0.5 V y una tensión máxima de 1 V. Como puede apreciarse en el recuadro de la figura, el valor de la histéresis, V_H, alcanza un valor máximo de aproximadamente 150 mV, en el rango 25-55 pF.

Para obtener una caracterización más completa de los procesos de captura y liberación de carga en el aislante, se diseñó un experimento donde se registran evoluciones temporales. El experimento consiste en tres etapas, en la primera, se lleva a cabo la medición de una curva C-V comenzando en algún valor de tensión determinado y finalizando cuando la capacidad alcanza un valor dado, que denominaremos V_C, en la segunda etapa, que comienza inmediatamente después de la primera, se sigue la evolución de la tensión V_G que debe aplicarse sobre el dispositivo para mantener constante el valor de capacidad alcanzado al final de la primera etapa de la medición; finalmente, luego de un tiempo de seguimiento dado, se continúa el barrido iniciado en la primer etapa hasta alcanzar un valor de tensión final.

La figura 3 muestra los resultados del registro temporal de ΔV_C en 4 tipos de condiciones diferentes, cada una de las cuales está caracterizada por su tensión inicial del barrido, -0.5 V (Figura 3a) y 1 V (Figura 3b), y por su historia previa, diferenciando el caso en que el dispositivo estuvo algunas horas en reposo, de aquel en el cual el experimento es llevado a cabo inmediatamente después de terminar otro similar. Respecto a la dependencia de la dinámica con la tensión inicial del barrido, puede observarse que, para el caso en el que la tensión inicial de la medición es -0.5 V (inversión), la dinámica inicial genera un desplazamiento de V_C positivo, mientras que en el caso de una tensión inicial de 1 V (acumulación), dicho desplazamiento de V_C es negativo. Este tipo de comportamiento es consistente con la captura y liberación de carga en el aislante durante la medición. Respecto a la dependencia con la historia previa del dispositivo, puede notarse para ambas tensiones iniciales, que la dinámica varía para tiempos mayores a aproximadamente 500 segundos. En ambos casos, la realización del experimento con el dispositivo en reposo agrega un desplazamiento positivo de V_C para dicha región temporal, respecto del caso en que el experimento se realice apenas terminado otro similar.

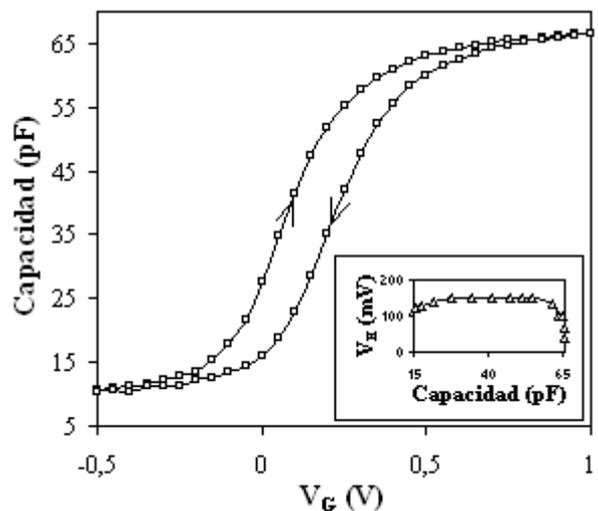


Figura 2. Curvas C-V experimentales sobre capacitores MOS con Al₂O₃ como aislante de puerta. El recuadro de la figura muestra el valor de la histéresis en función de la capacidad.

Por todo lo antes dicho, puede concluirse que el comportamiento de ΔV_C con el tiempo está formado por la combinación de dos dinámicas independientes: Una dinámica rápida, que depende exclusivamente de la tensión inicial del barrido, domina el comportamiento general para tiempos cortos ($t < 500$ s); otra dinámica más lenta que la anterior, depende exclusivamente de la historia previa del dispositivo y domina el comportamiento general para tiempos largos ($t > 500$ s).

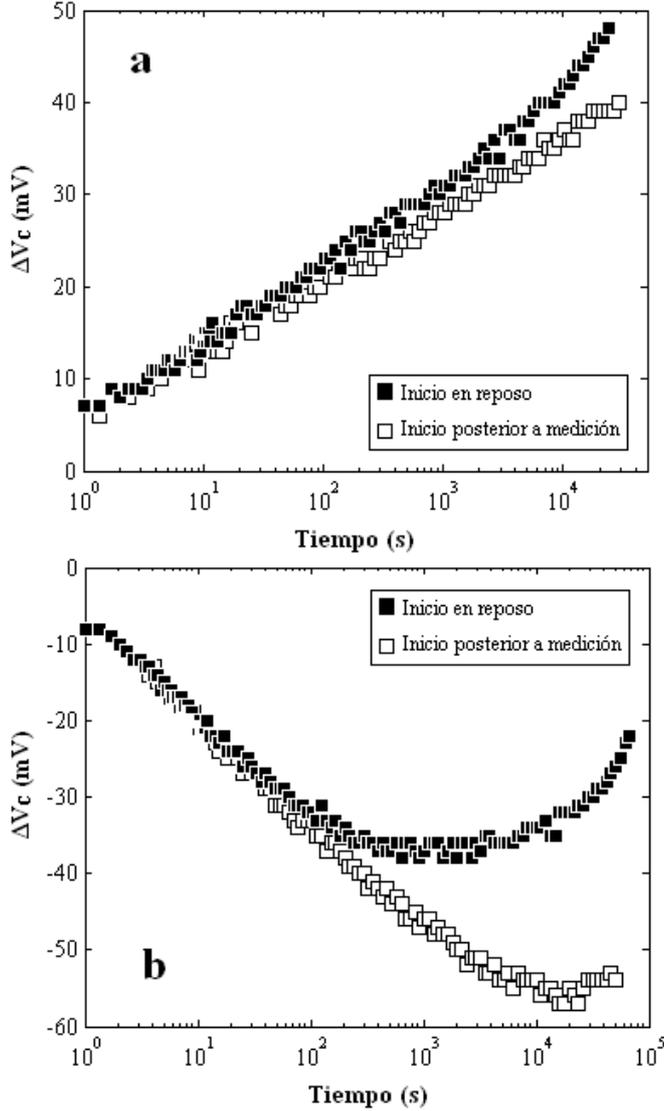


Figura 3. Seguimientos de la tensión para una capacidad constante, V_C , a partir de barridos iniciando en -0.5 V (a), o 1 V (b).

III. MODELO FÍSICO PARA LA CAPTURA DE CARGA

A fin de explicar cuantitativamente los resultados obtenidos, se propone un modelo físico conocido como frente de túnel [16-18], basado en la hipótesis de que la carga y descarga de trampas de electrones se deben a transiciones de túnel desde y hacia el sustrato.

El desplazamiento en V_C medido, ΔV_C , está relacionado con la densidad de carga capturada a través de la siguiente ecuación.

$$\Delta V_C(t) = \frac{q}{C_{OX}} \int_0^{t_{ox}} n_t(x,t) \left(1 - \frac{x}{t_{ox}}\right) dx \quad (1)$$

donde n_t es la densidad de electrones capturados, C_{OX} es la capacidad por unidad de área y t_{ox} es el espesor de la capa dieléctrica.

De acuerdo al modelo del frente de túnel, n_t tiene un valor constante, N_t , desde la interfaz hasta una distancia $x_m(t)$, y cero para valores mayores de x . La dependencia de $x_m(t)$ es dada por

$$x_m(t) = \frac{1}{2K} \ln\left(\frac{t}{\tau_0}\right) \quad (2)$$

donde τ_0 y K son constantes asociadas al proceso de túnel. Reemplazando, de acuerdo a lo descrito, n_t en (1), obtenemos

$$\Delta V_C(t) = \frac{qN_t}{C_{OX}} \left[\frac{1}{2K} \ln\left(\frac{t}{\tau_0}\right) - \frac{1}{8K^2 t_{ox}} \ln^2\left(\frac{t}{\tau_0}\right) \right] \quad (3)$$

lo cual es válido desde $t=\tau_0$ hasta $t=t_f$, el tiempo que tarda el frente de túnel en alcanzar una distancia x_f , correspondiente con las trampas más lejanas.

En el presente caso, para poder dar cuenta de las dos dinámicas observadas, hará falta considerar dos tipos de trampas diferentes, unas responsables del comportamiento inicial de $\Delta V_C(t)$, que denominaremos “rápidas”, y otras responsables del comportamiento para tiempos largos ($t > 500$ s), que denominaremos “lentas”. La dinámica de carga y descarga en ambos tipos de trampas responderá a un modelo como el presentado, resultando la dinámica general, la combinación de ambas dinámicas independientes. En relación con lo anterior, la diferencia entre las dinámicas que sólo difieren en la historia previa del dispositivo puede ser explicada, asumiendo que en aquellas mediciones llevadas a cabo inmediatamente luego de otra medición similar, aquellas trampas con una dinámica lenta aún permanecen cargadas, por lo cual no contribuirán al comportamiento de $\Delta V_C(t)$, siendo en tales casos posible explicar el comportamiento general considerando sólo la dinámica de las trampas rápidas.

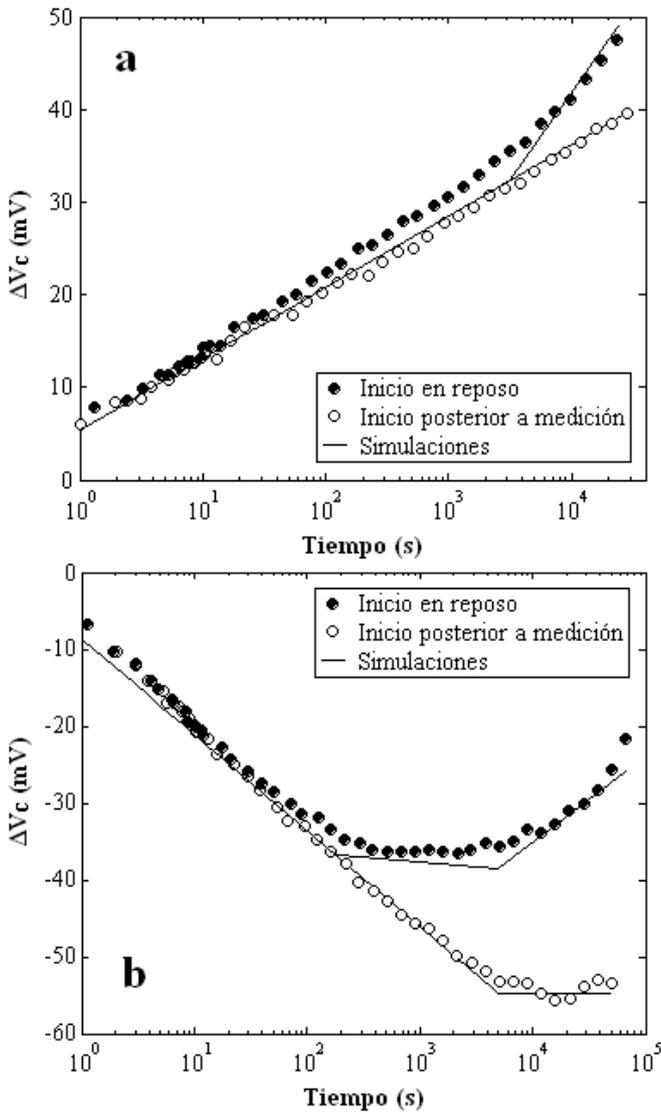


Figura 4. Comparación entre los experimentos y las simulaciones realizadas de acuerdo al modelo propuesto para el caso de barridos iniciando en -0.5 V (a), o 1 V (b).

Las curvas resultantes del modelo propuesto para el comportamiento general de $\Delta V_c(t)$ son mostradas en la figura 4, junto con las curvas experimentales. Asimismo, en la figura 5 se muestran, para ambas tensiones iniciales de barrido (-0.5 V y 1 V), la diferencia entre la curva que se inicia en reposo y aquella que se inicia luego de realizada una medición similar. Teniendo en cuenta la consideración antes mencionada de que dicha diferencia sería el resultado de la contribución de trampas con una dinámica lenta, en la misma figura 5, se muestra el resultado del modelo cuando sólo se considera la contribución de dichas trampas. Como puede observarse en ambas figuras, el modelo propuesto reproduce satisfactoriamente las mediciones realizadas.

Usando los datos $C_{OX} = 5.71 \times 10^{-7}$ F/cm² y $t_{OX} = 11.7$ nm, pueden obtenerse los valores de los parámetros τ_0 y N_t/K asociados al modelo, los cuales se resumen en la Tabla I para cada caso analizado.

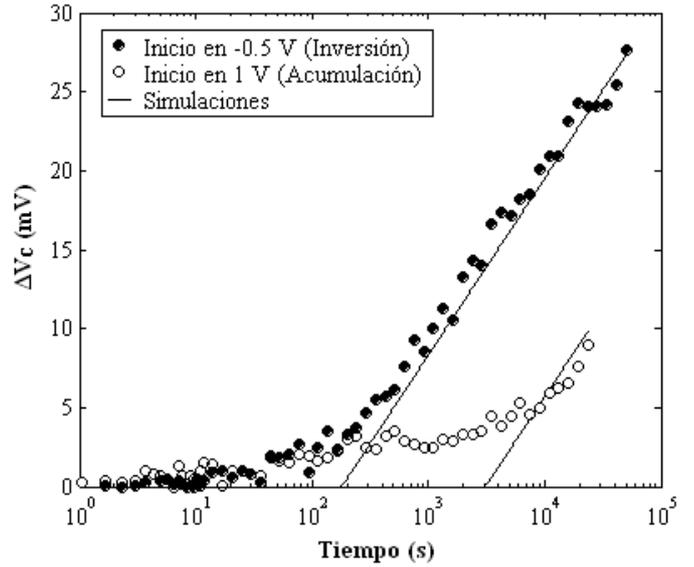


Figura 5. Comparación entre los experimentos y las simulaciones realizadas de acuerdo al modelo propuesto para el caso de las curvas que resultan de restar los comportamientos de $\Delta V_c(t)$ durante mediciones iniciadas con el dispositivo en reposo y luego de finalizada otra similar, para barridos iniciados en -0.5 V y 1 V, respectivamente.

TABLA I. VALORES OBTENIDOS PARA LOS PARÁMETROS DE AJUSTE.

Dinámica	Inicio	N_t/K (cm ⁻²)	τ_0 (s)	τ_f (s)
Rápida	-0.5 V	2.38×10^8	2×10^{-1}	-
	1 V	3.86×10^8		5×10^3
Lenta	-0.5 V	3.46×10^8	3.1×10^3	-
	1 V		1.8×10^2	-

IV. DISCUSIÓN

Un importante punto de discusión acerca del modelo propuesto es la validez de los parámetros físicos obtenidos. A partir de (3), puede observarse que el comportamiento de la dinámica asociada a cada tipo de trampas, tendrá una dependencia lineal con $\log(t)$ siempre que el segundo término en dicha ecuación sea notablemente menor que el primero, lo cual es una suposición razonable en la mayoría de los casos. Lo anterior explica satisfactoriamente la dependencia lineal con $\log(t)$ de las curvas experimentales $\Delta V_c(t)$, para tiempos muy cortos y muy largos, en los cuales, cada una de las dinámicas domina el comportamiento general de la curva.

Teniendo en cuenta lo anterior, tendremos para cada dinámica, 4 parámetros físicos, τ_0 , τ_f , N_t y K , cuyos valores resultan del proceso de ajuste entre las curvas simuladas y el comportamiento general de $\Delta V_c(t)$ para ambas regiones de tiempo. Sin embargo, a partir de las curvas experimentales, sólo 3 parámetros pueden ser extraídos para cada región temporal, el tiempo inicial, el tiempo final y la pendiente de la curva. Los tiempos inicial y final están representados por los

parámetros físicos τ_0 y τ_f , mientras que la pendiente está representada por la relación N_t/K , la cual es proporcional a la relación $N_t/\sqrt{E_t}$, debido a la siguiente expresión para K.

$$K = \left(\frac{2m_{\text{eff}}E_t}{\hbar^2} \right)^{1/2} \quad (4)$$

donde E_t es el nivel energético de la trampa medido respecto de la banda de conducción del dieléctrico, m_{eff} es la masa efectiva del electrón en Al_2O_3 , la cual toma un valor de 0.35 veces la masa del electrón libre [7], y \hbar es la constante reducida de Planck.

Como criterio, se decidió fijar el valor correspondiente al nivel energético E_t de ambos tipos de trampas (rápidas y lentas) en 2.6 eV y 3.4 eV, respectivamente, de acuerdo a lo reportado en la literatura [6], obteniendo así $N_t = 1.94 \times 10^{18} \text{ cm}^{-3}$ para el caso de las trampas lentas.

La constante N_t representa la densidad de trampas involucradas en el proceso de carga o de descarga. Si bien depende del posicionamiento energético de las trampas respecto del nivel de Fermi; los valores de N_t para trampas rápidas encontrados para cada proceso resultan proporcionales a los corrimientos de V_C durante los mismos. Esto permite estimar su densidad total en los procesos de carga y descarga que dan lugar a la histéresis. A partir del valor de la histéresis, V_H , en un ciclo C-V entre una tensión mínima de -0.5 V y una tensión máxima de 1 V, se obtiene $N_t \approx 5 \times 10^{19} \text{ cm}^{-3}$ para las trampas rápidas.

Con respecto al tiempo final, a partir de la figura 4b, puede obtenerse un valor $\tau_f = 5000 \text{ s}$ para las trampas rápidas, en el caso de comportamientos $\Delta V_C(t)$ precedidos por barridos iniciados en una tensión de 1 V. Para el rango de tiempos considerados en los experimentos, no resulta posible obtener el valor del parámetro t_f para el resto de los procesos.

En lo que se refiere a la validez de la hipótesis de que las dinámicas observadas se deben a la presencia de trampas con diferentes niveles energéticos, es importante destacar que la presencia de más de un tipo de trampas en Al_2O_3 , diferenciadas por su nivel energético, ya ha sido observada previamente por otros grupos mediante diferentes métodos experimentales [5-8, 19]. En este sentido, la técnica experimental utilizada en el presente trabajo, basada en el seguimiento de la tensión a una capacidad constante, resulta complementaria de las otras técnicas utilizadas, y aporta a la discriminación de diferentes tipos de defectos dentro del material.

V. CONCLUSIONES

Se presentó una caracterización sistemática del fenómeno de captura y liberación de carga en estructuras MOS con Al_2O_3 como aislante de puerta, a partir del seguimiento de la tensión a una capacidad constante, V_C , en función del tiempo.

Se presentó un modelo físico, basado en la teoría del frente de túnel que explica satisfactoriamente los resultados experimentales. De la aplicación del modelo resulta que dos tipos de trampas son responsables de la captura de carga en el dieléctrico: una con una energía de 2.6 eV por debajo de la banda de conducción del dieléctrico, que domina el

comportamiento de V_C para tiempos cortos ($t < 500 \text{ s}$), y otra más profunda ($E_t = 3.4 \text{ eV}$) que domina el comportamiento de V_C para tiempos largos ($t > 500 \text{ s}$).

REFERENCIAS

- [1] Gusev et al. "Ultrathin high-k metal oxides on silicon: processing, characterization and integration issues", *Microelectronic Engineering* vol. 51 pp 341-349, 2001.
- [2] B. Govoreanu, R. Degraeve, J. Van Houdt, and M. Jurczak, "Statistical Investigation of the Floating Gate Memory Cell Leakage through High-k Interpolary Dielectrics and Its Impact on Scalability and Reliability," *IEEE International Electron Devices Meeting*, 2008.
- [3] X.F. Zheng, W.D. Zhang, B. Govoreanu, J.F. Zhang, and J. Van Houdt, "A discharge-based multi-pulse technique (DMP) for probing electron trap energy distribution in high-k materials for Flash memory application," *IEEE International Electron Devices Meeting*, 2009.
- [4] X.F. Zheng, W.D. Zhang, B. Govoreanu, J.F. Zhang, and J. Van Houdt, "Impact of PDA temperature on electron trap energy and spatial distributions in $\text{SiO}_2/\text{Al}_2\text{O}_3$ stack as the IPD in Flash memory cells," *Microelectronic Engineering*, 2009.
- [5] X.F. Zheng, W.D. Zhang, B. Govoreanu, D. Ruiz Aguado, J.F. Zhang, and J. Van Houdt, "Energy and Spatial Distributions of Electron Traps Throughout $\text{SiO}_2/\text{Al}_2\text{O}_3$ Stacks as the IPD in Flash Memory Application," *IEEE Transactions on Electron Devices*, vol. 57, no. 1, 2010.
- [6] X.F. Zheng, W.D. Zhang, B. Govoreanu, J.F. Zhang, and J. Van Houdt, "A New Multipulse Technique for Probing Electron Trap Energy Distribution in High-K Materials for Flash memory Application," *IEEE Transactions on Electron Devices*, vol. 57, no. 10, 2010.
- [7] D. Ruiz Aguado, B. Govoreanu, W.D. Zhang, M. Jurczak, K. De Meyer, and J. Van Houdt, "A Novel Trapping/De-trapping Model for Defect Profiling in High-k Materials Using the Two-Pulse Capacitance-Voltage Technique," *IEEE Transactions on Electron Devices*, vol. 57, no. 10, 2010.
- [8] M.B. Zahid, D. Ruiz Aguado, R. Degraeve, W.C. Wang, B. Govoreanu, M. Toledano-Luque, V.V. Afanas'ev, and J. Van Houdt, "Applying Complementary Trap Characterization Technique to Crystalline γ -Phase- Al_2O_3 for Improved Understanding of Nonvolatile Memory Operation and Reliability," *IEEE Transactions on Electron Devices*, vol. 57, no. 11, 2010.
- [9] H.-J. Jang, and W.-J. Cho, "High performance silicon-on-insulator based ion-sensitive field-effect transistor using high-k stacked oxide sensing membrane," *Applied Physics Letters*, vol. 99, 2011.
- [10] E. Yilmaz, I. Dogan, and R. Turan, "Use of Al_2O_3 layer as dielectric in MOS based radiation sensors fabricated on a Si substrate," *Nuclear Instruments and Methods in Physics Research B*, vol. 266, 2008.
- [11] J. Robertson, "High dielectric constant oxides," *Eur. Phys. J. Appl. Phys.*, vol. 28, pp. 265-291, 2004.
- [12] N. A. Chowdhury and D. Misra, "Charge Trapping at Deep States in Hf-Silicate Based High-K Gate Dielectrics," *Journal of The Electrochemical Society*, 154(2)G, pp. 30-37, 2007.
- [13] A. Kerber, E. Cartier, L. Pantisano, R. Degraeve, T. Kauerauf, Y. Kim, A. Hou, G. Groeseneken, H. E. Maes, and U. Schwalke, "Origin of the Threshold Voltage Instability in $\text{SiO}_2/\text{HfO}_2$ Dual Layer Gate Dielectrics," *IEEE Electron Device Letters*, vol. 24, no. 2, 2003.
- [14] G. Puzzilli, B. Govoreanu, F. Irrera, M. Rosmeulen, and J. Van Houdt, "Characterization of charge trapping in $\text{SiO}_2/\text{Al}_2\text{O}_3$ dielectric stacks by pulsed C-V technique," *Microelectronic Reliability*, vol. 47, 2007.
- [15] M. Cho, R. Degraeve, P. Roussel, B. Govoreanu, B. Kaczer, M. B. Zahid, E. Simoen, A. Arreghini, M. Jurczak, J. Van Houdt, and G. Groeseneken, "A consistent model for oxide trap profiling with the Trap Spectroscopy by Charge Injection and Sensing (TSCIS) technique," *Solid-State Electronics*, vol. 54, 2010.
- [16] P. J. McWhorter, S. L. Miller, and W. M. Miller, "Modeling the anneal of radiation-induced trapped holes in a varying thermal environment," *IEEE Transactions on Nuclear Science*, vol. 37, no. 6, 1990.

Diseño de sensores diferenciales MOS con amplificación y su aplicación a dosimetría

S. H. Carbonetto^{1,2}, J. Lipovetzky^{1,2}, M. García Inza^{1,2}, L. Sambuco¹, E. G. Redín^{1,2}, A. Faigón^{1,2,3}

¹Laboratorio de Física de Dispositivos-Microelectrónica, Departamento de Física
Facultad de Ingeniería, Universidad de Buenos Aires
Buenos Aires, Argentina

²Instituto de Ciencias de la Ingeniería (INTECIN)

³Consejo Nacional de Investigaciones Científicas y Técnicas (CONICET)
Buenos Aires, Argentina
scarbonetto@fi.uba.ar

Abstract— Se reporta el desarrollo del diseño y simulación de amplificadores diferenciales para sensores MOS, particularizando en una realización para sensores MOS de radiación. Además de la amplificación, con los circuitos propuestos se persigue esencialmente la compensación frente a variaciones de temperatura y mitigación de similares inestabilidades de distintos orígenes que afectan la lectura en sensores individuales. Los resultados muestran una amplificación considerable de la señal útil y una atenuación de los efectos de la temperatura, disminuyendo los errores inducidos por éstos.

I. INTRODUCCIÓN

Los sensores MOS se utilizan para medir una gran variedad de magnitudes físicas y químicas tan variadas como la presión [1], pH [2] y dosis de radiación ionizante [3], entre otras. Está en la base del funcionamiento de todos ellos la variación de la tensión umbral (V_T) del transistor sensor como resultado de la variación de la magnitud a medir. La lectura de la tensión umbral y su traducción a unidades de la magnitud sensada es el objeto de la electrónica que acompaña al sensor para hacer de ello un instrumento. Los sensores MOS presentan la ventaja de su pequeño tamaño y consumo, como también su posibilidad de integración con la electrónica de lectura en las tecnologías de fabricación corrientes de circuitos integrados.

Dos problemas comunes a la familia de sensores MOS son la baja señal proveniente del sensor y las derivas de la tensión umbral con origen extraño a la magnitud a medir, como por ejemplo las que derivan de la variación de temperatura [4] [5].

En el presente trabajo se describe el diseño y simulación de un amplificador diferencial integrado a sensores MOS. Las ventajas de la integración microelectrónica de sensores y circuitos tiene un reconocimiento de larga data [6]. En particular, la integración con sensores MOS tiene la potencial ventaja de conseguir compensación de temperatura *on-chip*, mejora en la *relación señal-ruido*, posibilita el multiplexado de arreglo de sensores sobre el chip, y reduce al mínimo la necesidad de cableado, al extremo de la posible comunicación inalámbrica, para aplicaciones *in-vivo*. Además, en este trabajo se presenta la implementación particular de la mencionada integración para sensores MOS de radiación, la cual presenta la complejidad adicional de requerir una configuración de

polarización diferente de la que tienen al momento de medir. Dos sensores idénticos (apareados) pero con distinta sensibilidad inducida por la distinta polarización [7] [8], están integrados en la etapa de entrada diferencial de un circuito con amplificación, cuya salida, entonces, rechaza variaciones de modo común inducidas por agentes externos, inestabilidades y derivas en la tensión umbral que se presentan en los sensores individuales.

Los circuitos se han desarrollado para ser implementados en tecnología CMOS debido a:

- i) su bajo consumo;
- ii) que la provisión de pares complementarios provee circuitos de procesamiento más simples y de mejor rendimiento;
- iii) que es hoy la tecnología corriente y más accesible para la fabricación de CIs.

En la sección II se muestran las ideas que guían el desarrollo así como los circuitos resultantes, seguidas en la sección III por las simulaciones correspondientes. Finalmente en la sección IV se resumen los resultados.

II. DISEÑO DEL CIRCUITO SENSOR

A. Evolución del sensor

Una forma típica de hacer un relevamiento de la tensión umbral en un sensor MOS consiste en conectar al dispositivo en configuración de diodo, es decir con los terminales de Gate y Drain cortocircuitados, y forzar la circulación de una corriente a través del mismo, como se muestra en la figura 1.a. De esta manera, la tensión que se manifiesta entre los terminales de Gate y Source es una magnitud relacionada con la tensión umbral

$$V_{GS} = V_T + \sqrt{\frac{I_D}{k}} \quad (1)$$

donde $k = \mu C_{ox} / 2 W / L$. Asumiendo que tanto la corriente de referencia como los otros parámetros antes mencionados se

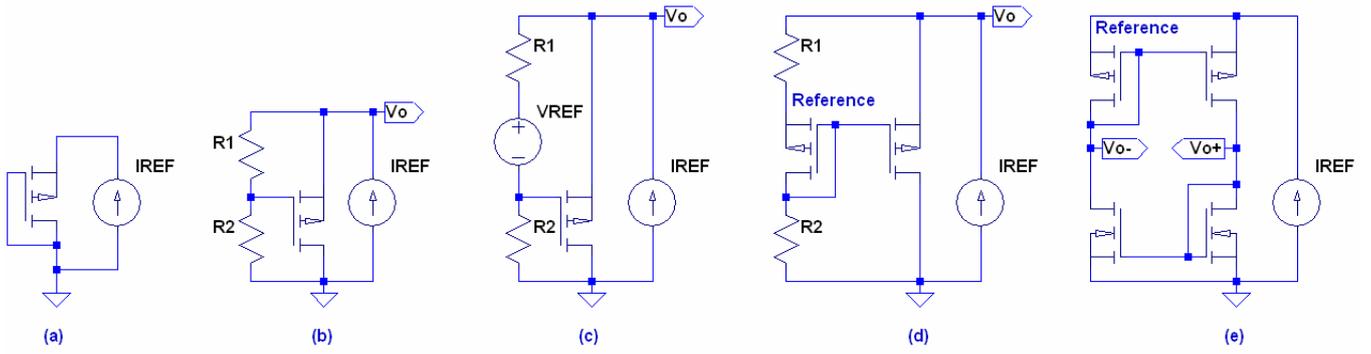


Figure 1. Circuitos esquemáticos de distintas etapas de la evolución de sensores MOS desde (a) circuito estándar hasta (e) propuesta diferencial amplificada.

mantiene constantes en un contexto de medición, los cambios en V_{GS} revelan las variaciones en V_T

$$\Delta V_{GS} = \Delta V_T \quad (2)$$

La ecuación (1) deja en evidencia los problemas de este esquema de medición, cualquier cambio indeseado en V_T , así como en los otros parámetros del sensor, se traduce en un error de medición. También queda de manifiesto en (2) que si los cambios en V_T son pequeños, la señal medida será también pequeña.

El circuito de la figura 1.b muestra una primera modificación al esquema estándar de medición. En lugar de conectar al transistor MOS en configuración de diodo, se agrega una resistencia entre Gate y Drain, y una segunda entre Gate y Source. Esta configuración aprovecha el aislamiento eléctrico en la compuerta del dispositivo MOS, generando un divisor resistivo tal que

$$V_O = \frac{R_1 + R_2}{R_1} V_{GS}(I_D) = A_V V_{GS}(I_D) \quad (3)$$

$$\Delta V_O = A_V \Delta V_{GS}(I_D) = A_V \Delta V_T \quad (4)$$

La ecuación (4) muestra que una amplificación en la sensibilidad del circuito sensor es lograda con el agregado de estas resistencias. Sin embargo esta configuración, a pesar de su simplicidad, presenta algunos inconvenientes. El principal de ellos, es que no sólo la sensibilidad es amplificada, sino que también el valor absoluto de la señal, limitando la ganancia del sensor al rango dinámico del instrumento de medición.

Para salvar esta dificultad, se propone una nueva modificación al circuito incorporando una referencia de tensión (figura 1.c) tal que

$$V_O = V_{REF} + A_V (V_{GS}(I_D) - V_{REF}) \quad (5)$$

donde si V_{REF} es aproximadamente V_{GS} , la señal de salida se mantiene aproximadamente en V_{REF} . Además, si la referencia

de tensión se mantiene constante durante la medición, la sensibilidad del sensor responde a (4).

Una posible implementación de la tensión de referencia se muestra en la figura 1.d donde un transistor MOS de iguales características al sensor es usado como referencia. Esta implementación dista de ser una referencia de tensión de características ideales, sin embargo, un análisis del circuito permite entender cómo se comporta frente a desviaciones de la tensión umbral del transistor sensor. Al variar V_T del transistor sensor, se produce un desbalance de las corrientes que circulan por cada rama del circuito, que alteran las tensiones en todos los nodos internos, no sólo en V_O . Este comportamiento es similar a aquél de un amplificador diferencial, donde las variaciones en las tensiones v_{gs} producen un desbalance en las corrientes de cada rama, y así la amplificación diferencial estaba directamente relacionada con la transconductancia de los dispositivos [9] [10]. Con esta idea en mente, se propone una última modificación al circuito, intercambiando las cargas resistivas por cargas activas, y cambiando el nodo de salida del sensor por la salida diferencial.

Este último sensor se muestra en la figura 1.e. Al mantener las tensiones V_{GS} del sensor y la referencia iguales, las variaciones en V_T del sensor hacen las veces de la señal de entrada. Esta variación altera la distribución de las corrientes de cada rama, que por la realimentación de la carga activa intentan mantenerse iguales, alterando la tensión en los nodos V_{o+} y V_{o-} . De manera similar, si se produce una variación conjunta en las tensiones umbrales del sensor y la referencia, la variación diferencial de los nodos de salida debe mantenerse nula.

En un análisis de pequeña señal de primer orden, una variación en V_T produce una variación en la corriente de rama:

$$\Delta I_D^{(sensor)} = g_{m1} \Delta V_T \quad (6)$$

Esta corriente es sensada por la copia de corriente (los transistores nMOS en el esquemático de la figura 1.e), que si se encuentran apareados, sus transconductancias son iguales (g_{m2}).

$$V_o^+ = \frac{\Delta I_D^{(sensor)}}{g_{m2}} \quad (7)$$

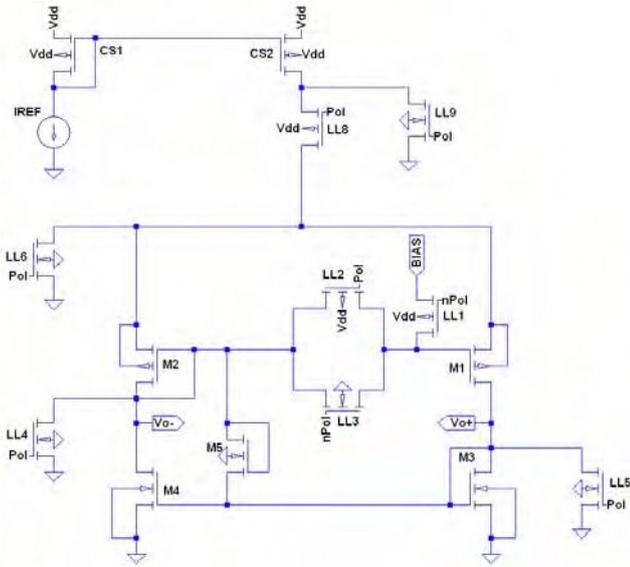


Figure 3. Circuito esquemático completo del sensor diseñado, incluyendo llaves para la conmutación de modo de operación y fuente de corriente externa.

$$\Delta I_D^{(referencia)} = \Delta I_D^{(sensor)} \quad (8)$$

La copia de corriente circula entonces por la resistencia de salida y por la conductancia del transistor de referencia, manifestando una variación en la tensión V_o^- .

$$V_o^- = \Delta I_D^{(referencia)} (r_{o2} // g_{m1}^{-1}) \quad (9)$$

$$V_o^+ - V_o^- = g_{m1} (g_{m2}^{-1} - (r_{o2} // g_{m1}^{-1})) \Delta V_T = A_V \Delta V_T \quad (10)$$

La ecuación (10) indica que para obtener una elevada ganancia de sensibilidad, es necesario maximizar la transconductancia en los transistores sensor y referencia, la resistencia de salida de la carga activa, y minimizar también la transconductancia de la carga activa. En este análisis se contempló despreciable la resistencia de salida de los transistores sensor y referencia.

B. Aplicación a dosimetría

El último circuito presentado en la sección anterior basa su funcionamiento en la diferencia en las desviaciones de las tensiones umbrales del transistor sensor y el transistor referencia. Es sabido que la sensibilidad de la tensión umbral de los transistores MOS frente a la radiación ionizante depende del campo eléctrico aplicado en el óxido de compuerta, es decir, de la tensión aplicada entre la compuerta y el resto de los terminales [3] [4] [7]. Por esta razón, el circuito completo debe permitir una conmutación entre “modo de medición” y “modo polarización”, en donde todos los nodos del circuito se conectan a tierra salvo la compuerta del transistor sensor, que debe conectarse a la tensión de polarización. Para esto, también

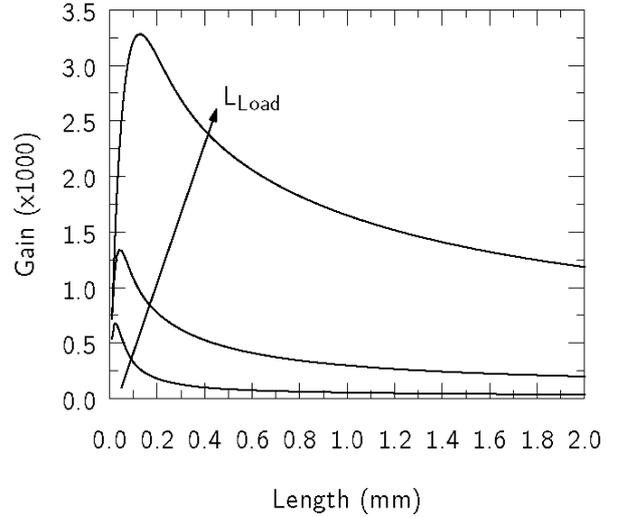


Figure 2. Ganancia del circuito sensor en función del largo de canal del transistor sensor. El largo del canal de los transistores que funcionan como carga activa fue parámetro de simulación. Se observa un tamaño óptimo para $L = 125 \mu\text{m}$ y $L_{Load} = 1 \text{ mm}$

es necesario desacoplar los terminales de compuerta del sensor y la referencia.

La figura 2 muestra el circuito esquemático completo del sensor. En la parte superior de la figura, se muestra una copia de corriente (CS1 y CS2) con llaves de activación (LL8 y LL9) que es externa al sensor. M1 es el dispositivo sensor, M2 la referencia, M3 y M4 la carga activa y M5 es un transistor agregado para facilitar el encendido (*start-up*) del circuito. Los transistores LL1-LL6 son las llaves necesarias para realizar la conmutación entre el modo medición y modo polarización mediante las señales Pol y nPol.

III. RESULTADOS DE LAS SIMULACIONES

Un primer prototipo del sensor será fabricado en un proceso CMOS estándar de 0.5 micrones. Para validar el circuito se realizaron una serie de simulaciones. En primer lugar, se buscaron las dimensiones óptimas de los dispositivos en cuanto a la ganancia de sensibilidad. El parámetro de simulación fue el área de silicio disponible para el diseño, que se mantuvo constante, dejando una relación inversamente proporcional entre el ancho y largo de los transistores. Según lo analizado en la sección anterior, la relación W/L del sensor y la referencia debe ser máxima para maximizar la transconductancia, aunque simultáneamente debe mantenerse un L también máximo para poder considerar despreciable la resistencia de salida. Por otro lado, los transistores que forman la carga activa deben tener un L máximo para simultáneamente maximizar su resistencia de salida y minimizar su transconductancia. Esto fue corroborado por simulaciones según muestra la figura 3.

Elegidas las dimensiones de los transistores, se realizó una simulación para ver cómo el circuito responde a las variaciones de V_T del transistor sensor. La figura 4 muestra que el circuito sensor tiene una respuesta aproximadamente lineal, con una ganancia de 3300 veces hasta aproximadamente 280 μV de corrimiento de V_T . Esta saturación se debe esencialmente a que

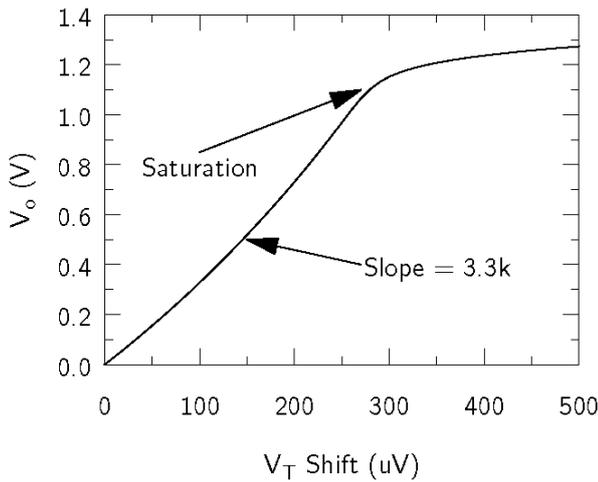


Figure 6. Respuesta del circuito sensor (con las dimensiones analizadas en la Fig. 3) a variaciones de V_T . Se observa una gran amplificación de la señal y una saturación de la respuesta.

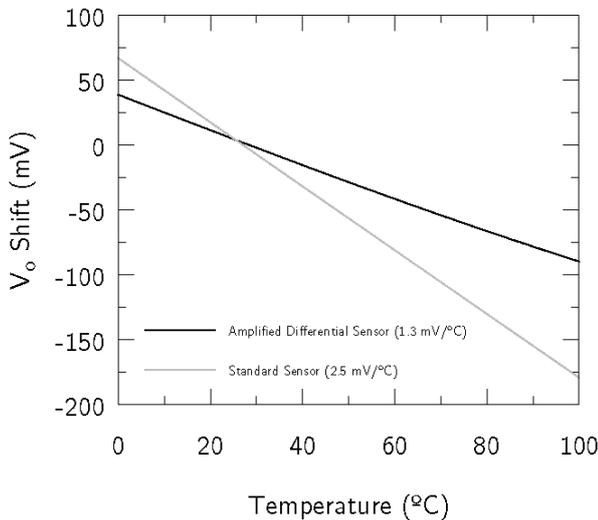


Figure 4. Comparación de la respuesta del sensor MOS estándar y el circuito propuesto a la temperatura para una variación de V_T de 100μ V. Se observa una disminución del 50% de la sensibilidad a la temperatura por parte del circuito propuesto.

el nodo de Source del sensor y referencia eleva su tensión sacando de régimen a la fuente de corriente. El valor de saturación puede aumentarse sacrificando amplificación de la sensibilidad.

Con una ganancia de sensibilidad más que aceptable, el paso siguiente fue corroborar la compensación frente a variaciones de temperatura. La figura 5 muestra la respuesta a la temperatura del sensor diseñado y del sensor tradicional para un corrimiento de V_T de -100μ V. Se observa que la sensibilidad a la temperatura disminuye aproximadamente a la señal, mejorando notablemente la relación entre amplificación de señal deseada y atenuación de señal indeseada.

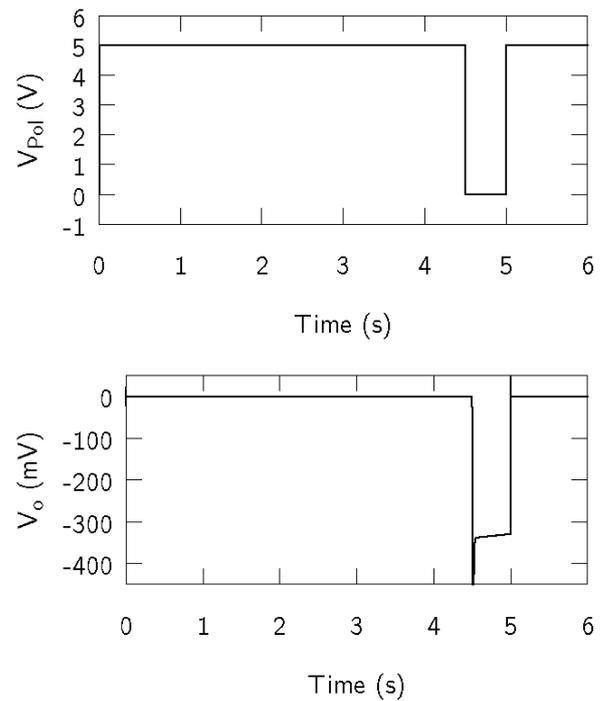


Figure 5. Simulación temporal de un período de medición donde el circuito se encuentra mayormente en modo de polarización. Arriba, la señal de control. A los 4,5 s el circuito pasa al modo medición por 0,5 s. Abajo, la señal de salida para una variación de la tensión umbral de -100μ V. Se observa que pasado un transitorio inicial, la señal permanece estable y mantiene la amplificación de 3300 veces.

Finalmente, se realizó una simulación en el dominio temporal de la conmutación entre los modos de funcionamiento. El primer gráfico de la figura 6 muestra la señal de control que conmuta entre el modo de polarización en la mayor parte del tiempo, y el modo de medición por 500 ms. En el segundo gráfico se ve como en el modo polarización, la señal de salida es nula, mientras que en modo medición la señal de salida es estable en -330 mV, corroborando la amplificación de 3300 veces ya que la variación en V_T simulada fue de -100μ V.

IV. DISCUSIÓN Y RESUMEN

En el presente trabajo se propuso un circuito alternativo al uso de transistores MOS como sensores. En particular, se analizó un circuito para ser usado como sensor de radiación ionizante donde es necesaria una conmutación de la topología del circuito para dos modos de operación: Modo de Polarización y Modo de Medición.

Cabe destacar que el circuito es aplicable a otros sensores MOS, no sólo los sensores de radiación ionizante, pero que el mismo basa su funcionamiento en la variación diferenciada de la tensión umbral entre el transistor sensor y el transistor referencia. Por esta razón, es necesario poder lograr una sensibilidad diferenciada para cada transistor, que en el caso de la aplicación de este trabajo se logra mediante una polarización diferente.

Los resultados mostrados en este trabajo muestran una respuesta ideal, donde la variación de V_T se manifiesta únicamente en el transistor sensor, sin embargo, en la realidad todos los transistores sufrirán corrimiento de la tensión umbral, empeorando el rendimiento del circuito.

Las simulaciones muestran también una atenuación de la respuesta del sensor a la temperatura, cumpliendo el segundo de los objetivos de este trabajo.

Se encuentra en proceso el diseño físico a nivel de Layout del circuito para su futura fabricación y medición, así como también el análisis a nivel esquemático de circuitos alternativos que presenten mayor amplificación y la posibilidad de estabilización mediante un lazo de realimentación. La contraparte de estos nuevos diseños es que precisan una circuitería periférica más compleja para la conmutación de modos de operación.

REFERENCIAS

- [1] H. Tanigawa, T. Ishihara, M. Hirata, K. Suzuki, "MOS Integrated silicon pressure sensor", IEEE Trans. Electron Devices, Vol. 32, Issue 7, pp. 1191-1195, Agosto 2005.
- [2] Yuan-Lung Chin, Jung-Chuan Chou, "A novel SnO₂/Al discrete gate ISFET pH sensor with CMOS standard process", Sensors and Actuators B: Chemical, Vol. 75, Issues 1-2, pp. 36-42, Abril 2001.
- [3] A. G. Holmes, "The space-charge dosimeter: General principles of a new method of radiation detection", Nuclear Instrumentation and Methods, Vol. 121, Issue 1, pp. 169-179, 1974.
- [4] G. Sarabayrouse, S. Siskos, "Temperature effects and accuracy of MOS radiation dosimeters", 7th WSEAS International Conference on Microelectronics, Nanoelectronics, Optoelectronics, pp. 26-30, Mayo 2008.
- [5] J. Lipovetzky, E. G. Redín, M. A. García Inza, S. H. Carbonetto, A. Faigón, "Reducing measurements uncertainties using bias controlled cycled measurements in MOS dosimetry at different temperatures", IEEE Trans. On Nuclear Science, Vol. 57, No. 2, pp. 848-853, Abril 2010.
- [6] R. Howe, "Panel discussions", in IEDM Tech. Dig., pp. 529, 1987.
- [7] A. G. Holmes-Siedle, F. Ravotti, M. Glaser, "The dosimetric performance of RADFETs in radiation test beams", IEEE Radiation Effects Data Workshop, pp. 42-57, Julio 2007.
- [8] M. Soubra, J. Cygler, G. Mackay, "Evaluation of a dual bias dual metal-oxide-silicon semiconductor field effect transistor detector as radiation dosimeter", Med. Phys., Vol. 21, No. 4, pp. 257-272, Abril 1994.
- [9] R. J. Baker, "CMOS. Circuit design, layout and simulation", Ed. John Wiley & Sons, 2da edición, 2005.
- [10] B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw Hill, 1ra edición, 2000.

Circuito de alimentación y acondicionamiento de señal para sistema identificador de ganado

María Isabel Schiavon

Laboratorio de Microelectrónica - FCEIA - UNR
Av. Pellegrini 250 – (2000) Rosario. Argentina.
TE: 54 341 4802649 int. 119 FAX: 54 341 4802654
E-mail: bambi@fceia.unr.edu.ar

Raúl Lisandro Martín

Laboratorio de Microelectrónica - FCEIA - UNR
Av. Pellegrini 250 – (2000) Rosario. Argentina.
TE: 54 341 4802649 int. 119 FAX: 54 341 4802654
rlmartin@fceia.unr.edu.ar

Daniel Crepaldo

Laboratorio de Microelectrónica - FCEIA - UNR
Av. Pellegrini 250 – (2000) Rosario. Argentina.
TE: 54 341 4802649 int. 119 FAX: 54 341 4802654
crepaldo@fceia.unr.edu.ar

Federico Pacher

Laboratorio de Microelectrónica - FCEIA - UNR
Av. Pellegrini 250 – (2000) Rosario. Argentina.
TE: 54 341 4802649 int. 119 FAX: 54 341 4802654
fpacher@fceia.unr.edu.ar

Resumen: Se presentan las topologías circuitales y el diseño y dimensionamiento de los componentes del circuito de alimentación y del modulador de señal que forman parte de un subsistema monochip pasivo diseñado en tecnología CMOS de 0,5 micrones. El subsistema y una antena conforman el dispositivo pasivo o tag de un sistema de identificación de ganado. El identificador, que será insertado a nivel subcutáneo, se encapsulará en un material biocompatible no poroso o cristal y su consumo debe ser mínimo.

Palabras claves; CMOS; radio frecuencia; identificador pasivo;

I. FUNDAMENTOS.

El sistema de detección e identificación de ganado por radio frecuencia, cuyo diagrama genérico se muestra en la figura 1, consta de un dispositivo pasivo, identificador, “tag” o “transponder”, que insertado a nivel subcutáneo permite realizar el seguimiento e identificación del ganado en campo y de un “transreceptor” o “transceiver” que es la unidad fija que activa el identificador y entrega los datos a almacenar o recibe los datos almacenados en el tag.

El sistema responde a requerimientos que contemplan funcionamiento pasivo del identificador, lectura de datos en movimiento a una distancia no mayor a 80cm en un ambiente sin interferencias, niveles de radiación electromagnética que garanticen condiciones de seguridad biológica, codificación de señales para gestión automática de datos por ordenador, baja incidencia de errores de identificación y fallos de lectura, resistencia a las condiciones ambientales y de uso en los animales durante toda su vida productiva, y costo asumible por la cadena productiva [1].

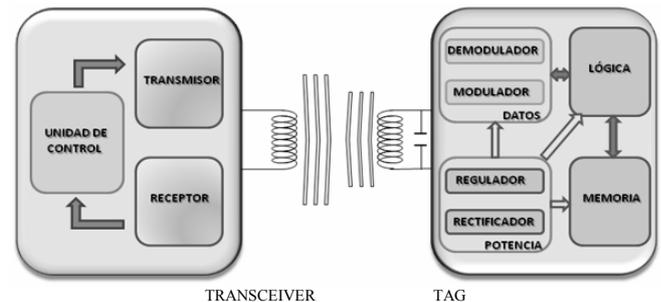


Figura 1. Diagrama en bloques del sistema

El transceptor consta de un módulo de radio-frecuencia encargado de la emisión, recepción e interpretación de la señal electromagnética, una antena, una fuente de energía que permita alimentación con baterías o conexión a la red, un procesador o unidad de control para el tratamiento y/o almacenamiento de la información recibida, una pantalla para visualizar los datos recibidos y una salida de señal para conexión a un ordenador o equipo que actúa en función de la información recibida.

El identificador está formado por un conjunto inductancia-capacitor resonante a la frecuencia de trabajo a través de la cual se recibe la energía necesaria para el funcionamiento y los datos a almacenar en una operación de escritura o se transmiten los datos almacenados en una operación de lectura y por un subsistema monochip de aplicación específica (ASIC) diseñado en tecnología CMOS. El conjunto, encapsulado en un material biocompatible no poroso o cristal, se insertará a nivel subcutáneo en el animal.

El subsistema monochip esta formado por un bloque de alimentación, un subsistema de acondicionamiento de señal, un subsistema de control, una memoria no volátil, y una antena formada por un conjunto inductancia-capacitor resonante a la frecuencia de trabajo que recepciona la energía necesaria para el funcionamiento y los datos a almacenar en una operación de escritura o emite los datos almacenados en una operación de lectura.

Se presentan las topologías circuitales y el diseño y dimensionamiento, para tecnología CMOS 0,5µm disponible en el programa MOSIS, de los componentes del circuito de alimentación y del modulador de señal que forman parte del sistema monochip.

II. SUBSISTEMA DE POTENCIA

El subsistema de potencia, cuyo diagrama en bloques se muestra en la figura 2, es una fuente regulada CMOS embebida que rectifica y regula en tensión la potencia recibida en el conjunto resonante que funciona como antena para generar una tensión de salida sustancialmente constante (V_{reg}). Está compuesto por un rectificador CMOS de onda completa, un filtro a capacitor [2] y un regulador.

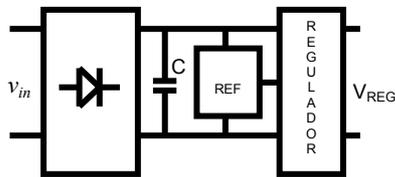


Figura 2. Diagrama en bloques del subsistema de potencia

En la figura 3 se muestra el esquema del circuito rectificador que está formado por dos transistores NMOS (M1 y M2) y seis PMOS (M3, M4, M5, M6, M7 Y M8) y el capacitor de filtro C1.

Los transistores NMOS (M1-M2) y los transistores PMOS M3 y M4 conforman las ramas del rectificador. La corriente circula alternativamente por la rama conformada por los transistores M1-M4 o la rama conformada por el par de transistores M2-M3. Los otros cuatro transistores PMOS (M5, M6, M7, M8) fijan en forma dinámica los potenciales de los pozos sobre los que se fabrican M3 y M4, su tamaño relativo no tiene mayor influencia en el funcionamiento, por lo cual se diseñan de tamaño mínimo.

Los transistores canal P pueden funcionar exclusivamente en zona de corriente constante y su potencial puerta-fuente o drenaje-fuente queda fijado por la corriente de carga.

La tensión de entrada fija la tensión puerta-fuente de los transistores canal N y como trabajan en zona resistiva su corriente queda fijada por la carga siendo su tensión drenaje-fuente la variable de ajuste. Esto hace que su tamaño tenga menor influencia en la tensión de salida.

Los transistores se dimensionaron para una corriente de carga de 20µA tratando de maximizar la tensión media de salida y de minimizar corrientes de fuga y el área utilizada.

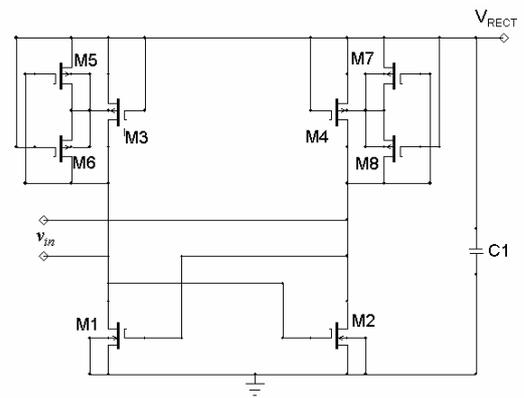


Figura 3. Esquema circuitual del rectificador

La presencia de C1 provoca picos de corriente de corta duración a la entrada del circuito con una relación casi lineal con el valor medio de la corriente de salida, pero al mismo tiempo su valor es determinante del ripple a la salida del rectificador, para minimizar el ripple y mantener el área acotada su valor se fijó en 200pF.

La tensión máxima de salida queda determinada por:

$$V_{oMAX} = V_{iMAX} - V_{DS_N} - V_{DS_P} \quad (1)$$

La tensión de salida es dependiente de la relación entre el ancho (W) y el largo (L) del canal de los transistores, de manera que a mayor relación W/L mayor tensión de salida. Maximizar la tensión de salida implica aumentar la relación de los transistores, y en consecuencia, aumentar el área necesaria.

Si se pretende minimizar las corrientes de fuga es necesario minimizar el efecto de las capacidades parásitas contra sustrato, o sea minimizar el producto WL (área de canal) en cada transistor.

La tensión de salida tiene alta sensibilidad con la tensión drenaje fuente de los transistores P-MOS de la rama principal (M3 y M4). En una primera aproximación, si L es el largo del canal, W es el ancho del canal, K es el parámetro de transconductancia y V_T es la tensión de arranque, esta tensión queda determinada por:

$$\left[|V_{DS}| = |V_{GS}| = \sqrt{\frac{I_D L}{KW}} + |V_T| \right]_{M3 \text{ y } M4} \quad (2)$$

o lo que es lo mismo:

$$W_{3,4} = \frac{I_D L}{K (V_{GS} - V_T)^2} \quad (3)$$

Fijando el largo del canal de todos los transistores en el mínimo ($L=0,6$ micras), el ancho de los transistores M5, M6, M7 y M8 se fijó en un valor mínimo de 2μ dado que sus dimensiones no producen efecto en la tensión de salida, y considerando en todos los casos máxima corriente media de salida ($20\mu A$), se realizaron simulaciones para determinar la relación tensión de salida versus ancho de canal en los cuatro transistores que conforman las ramas de circulación de corriente de carga del rectificador ($M1\equiv M2$, $M3\equiv M4$). Se realizaron simulaciones para distintos tamaños relativos de los transistores P variando el ancho del canal de los transistores N, verificando la poca influencia del tamaño de estos últimos.

En la figura 4 se muestra la gráfica tensión de salida versus ancho del canal de los transistores P para transistores N con un tamaño lo suficientemente grande como para que su influencia sobre la salida sea totalmente despreciable ($W_{1,2}=80$ micras). Se puede observar que a partir de un determinado ancho de canal de los transistores P la tensión tiende a estabilizarse no justificando un mayor aumento de área. El ancho del canal de los transistores P se fijó en 50μ ($W_{3,4}=50\mu$).

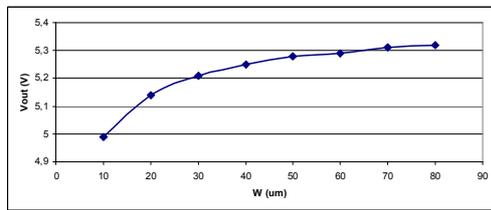


Figura 4. Efecto tamaño transistores P

En la figura 5 se muestran los resultados obtenidos para distintos anchos de canal para los transistores N con transistores P con ancho de canal de 50 micras.

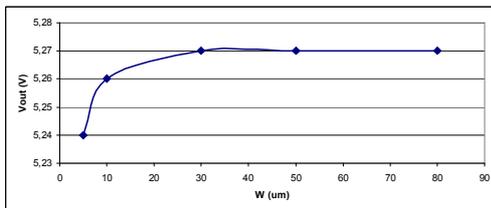


Figura 5. Efecto tamaño transistores N

Las gráficas muestran la mayor dependencia de la tensión de salida con el ancho del canal de los transistores P, y la escasa influencia en la tensión de salida del tamaño de los transistores N. El ancho de los transistores del rectificador se adoptó en función de un compromiso entre independencia y área. En la tabla I se resumen los tamaños adoptados.

TABLA I. TAMAÑO TRANSISTORES RECTIFICADOR

TRANSISTOR	TIPO	L (µm)	W (µm)
M1 ≡ M2	N	0,6	10
M3 ≡ M4	P	0,6	50
M5 ≡ M6 ≡ M7 ≡ M8	P	0,6	2

En la figura 6 se muestra la topología del circuito regulador de tensión.

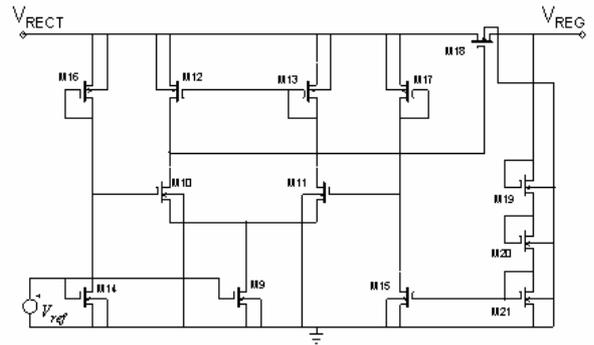


Figura 6. Circuito regulador

Es un regulador serie cuyo transistor de paso (M18) es excitado por la salida de un amplificador diferencial conformado por los transistores M9, M10, M11, M12 y M13 que compara una proporción de la tensión de salida con una tensión de referencia, V_{ref} .

La tensión de referencia es ligeramente menor que la V_T de los MOS, por lo tanto los transistores M9, M10 y M11 funcionan en inversión débil. Para minimizar el consumo del amplificador de error frente al de la carga, el transistor M9 se dimensiona para que fije una corriente de $0,1 \mu A$.

En inversión débil la corriente queda determinada por:

$$I_D = I_{D0} \frac{W}{L} e^{\frac{V_{GS} - V_{th}}{V_T}} \quad (4)$$

Teniendo en cuenta las especificaciones y los parámetros tecnológicos, la relación ancho sobre largo del canal para el transistor M9 resulta aproximadamente igual a 11.

$$\left(\frac{W}{L}\right)_9 = 11 \quad (5)$$

Para disminuir el error en la tensión de salida la ganancia del amplificador debe ser como mínimo 100:

$$A_v = \frac{g_{m_{Q3}}}{i} \frac{V_{AP} V_{AN}}{V_{AP} + V_{AN}} \geq 100 \quad (6)$$

Cuando el transistor trabaja en inversión débil el cociente g_m/i depende exclusivamente de la tecnología y es independiente de las dimensiones del transistor. Las tensiones de Early son proporcionales al largo de canal de los transistores.

Experimentalmente se obtuvo la relación entre L y V_A y se estimó el largo mínimo del canal de los transistores para el diferencial, para los transistores NMOS el largo mínimo se fijó en $4\mu m$ mientras que para los P resulta $1\mu m$. Para asegurar mejores condiciones de apareamiento, se adoptan largos mayores y, en consecuencia, se obtiene una mayor ganancia en el amplificador.

Los tamaños definitivos fueron ajustados por simulación y se especifican en la tabla II.

TABLA II. TAMAÑO TRANSISTORES REGULADOR

TRANSISTOR	TIPO	L (μm)	W (μm)
M9	N	2	22
M10 ≡ M11	N	2	12
M12 ≡ M13	P	6	6
M14 ≡ M15	N	2	6
M16 ≡ M17	P	6	2
M18	N	0,6	60
M19 ≡ M20	N	15	2
M21	N	1	12

En la figura 7 se presenta el circuito que se utiliza para obtener la tensión de referencia (V_{ref}) para el circuito regulador. Si bien la mayoría de los circuitos obtienen la referencia de tensión a partir del transistor bipolar vertical disponible en tecnología CMOS [2], la falta de datos acerca de su disponibilidad y características en la tecnología elegida llevó a diseñar un circuito íntegramente compuesto por transistores MOS, cuyo adecuado diseño permite obtener una tensión de referencia de valor próximo a la tensión umbral (V_T) de los transistores NMOS.

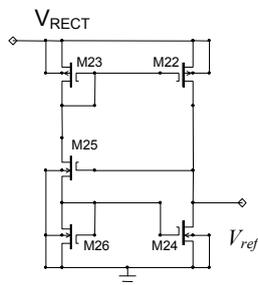


Figura 7. Esquema circuital para referencia de tensión

Para la tecnología adoptada, la tensión drenaje fuente del transistor M24 se estabiliza en un valor que depende de las dimensiones relativas de los transistores y es prácticamente independiente de la tensión de alimentación. Todos los transistores deben trabajar en inversión débil en zona de saturación del canal. Los transistores PMOS (M22≡M23) deben estar apareados ya que son los responsables de asegurar la igualdad de corriente en ambas ramas que permite la estabilidad del circuito. De esta manera, la tensión de referencia queda fijada por la tensión puerta-fuente de M25 y la tensión drenaje-fuente de M26, ambas dependientes de las dimensiones relativas de los transistores, en un valor próximo a la tensión umbral de los transistores NMOS.

$$V_{DS26} + V_{GS25} = V_{DS24} = V_{ref} \quad (7)$$

Los tamaños relativos de los transistores se ajustaron por simulación de manera de obtener valores de corriente compatibles con la referencia deseada, en la tabla siguiente se dan las dimensiones adoptadas.

En estas condiciones, para una tensión a la salida del rectificador de $5,7V \pm 10\%$, la tensión de referencia se estabiliza en $735mV$ con una variación menor al 3%.

TABLA III. TAMAÑO TRANSISTORES REFERENCIA

TRANSISTOR	TIPO	L (μm)	W (μm)
M22 ≡ M23	P	2	5
M24	N	2	20
M25	N	2	2
M26	N	10	2

La modulación se realiza a través de un MOS canal N cuya puerta está controlada por el bit leído, conectado según se muestra en la figura 8. El transistor trabaja en corte o en zona de corriente constante, y está diseñado para que en este último caso su consumo provoque una duplicación de la corriente que debe entregar el rectificador, este efecto es reportado a través del enlace de radiofrecuencia, y el transceptor detecta los datos bit a bit.

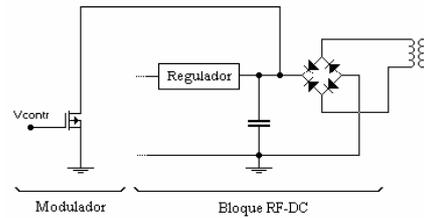


Figura 8. Esquema del modulador.

III. RESULTADOS

En la figura 9 se muestran las tensiones a la salida del rectificador (gráfica 1), a la salida del regulador (gráfica 2), y en la tensión de referencia (gráfica 3) para condiciones de carga normal (transistor de modulación cortado). En la figura 10 se muestra en la gráfica superior el efecto de la modulación sobre las tensiones a la salida del rectificador, en la del medio el efecto a la salida del regulador, y en la inferior la corriente que circula por el circuito rectificador donde se pueden apreciar los picos debidos a la presencia del filtro.

En ambas gráficas, la escala de tensión es de un 1V por división y la de corriente de $200\mu A$ por división, medidas respecto al eje de tiempo cuya escala es de $20 \mu seg.$ por división.

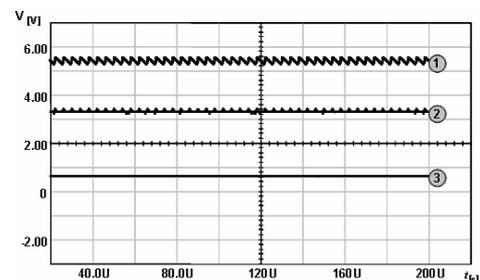


Figura 9. Graficas de salida
 (1) Tensión en la salida del rectificador
 (2) Tensión en la salida del regulador
 (3) Tensión de referencia

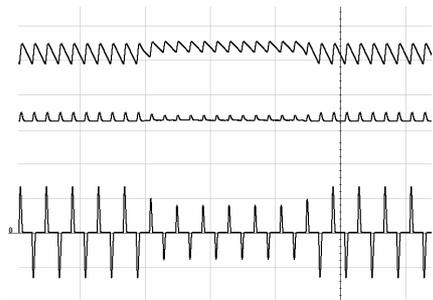


Figura 10. Figura 10: Graficas de salida modulada
 Gráfica superior: Tensión en la salida del rectificador
 Gráfica del medio: Tensión en la salida del regulador
 Gráfica inferior: Corriente en el rectificador

Comparando las gráficas de ambas figuras, se aprecia un aumento del ripple tanto en la salida del rectificador como en la del regulador. La tensión se regula en 3,2V con picos positivos debido al ripple, el cual aún en el peor de los casos no supera los 250 mV fijados como especificación.

En las gráficas de la figura 11 se pone en evidencia el efecto de la modulación. La gráfica superior muestra el efecto de modulación que el cambio de estado del transistor produce en la energía recibida en la antena del identificador (la escala de tensión es de 5V por división) mientras que la inferior muestra el efecto en la corriente del circuito emisor en el transreceptor (escala 200 μ A por división), ambas gráficas están centradas en cero y les corresponde una escala de tiempo de 150 μ seg. por división.

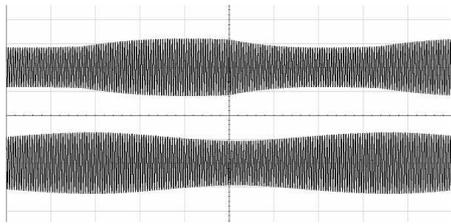


Figura 11. Tensión a la entrada del rectificador (gráfica superior)
 Corriente en el circuito del transreceptor (gráfica inferior).

IV. CONCLUSIONES

Se presentaron las topologías circuitales y el diseño y dimensionamiento de los componentes del circuito de alimentación y del modulador de señal que forman parte del sistema monochip de aplicación específica. El circuito de alimentación consta de un rectificador puente, un capacitor de filtro y un regulador cuya referencia de tensión se obtiene de la tensión V_T correspondiente a los transistores NMOS. Se presentaron resultados que muestran su funcionamiento y el efecto que se produce en el transreceptor cuando se produce una identificación.

Como se carece de datos específicos respecto al nivel de ruido asociado con la tecnología, una vez terminado el layout se evaluó su posible influencia, en especial del ruido $1/f$, y los resultados obtenidos con los datos disponibles acotan los valores en magnitudes varios órdenes menores que el ripple dando validez a la suposición de que éste último enmascarará cualquier posible efecto de ruido [3]. No obstante, la comprobación final queda pendiente hasta que se disponga de los prototipos para su ensayo. Se obtuvo un circuito de bajo consumo que en el peor de los casos no alcanza los 40 μ A y que ocupa un área de silicio máxima de 160x60 μ m².

V. BIBLIOGRAFÍA

- [1] D. Crepaldo, E. Prina, M. I. Schiavon, *Implementación de un Conversor RF-DC como parte de un sistema de modulación por absorción*, Anales IX Workshop IBERCHIP, La Habana, Cuba, 2003.
- [2] M. I. Schiavon; D. Crepaldo, R. L. Martín. *Referencia de tensión independiente de la alimentación*. Anales X Workshop IBERCHIP, Cartagena de Indias, Colombia, 2004.
- [3] Weidong Liu y otros *BSIM3v3.2.2 MOSFET Model Users' Manual*. Department of Electrical Engineering and Computer Sciences University of California, Berkeley.

Modulador Sigma Delta Basado en Capacitores Conmutados con Amplificadores de Ganancia Unitaria

Mariano Garcia Inza, Luis Lopez, Alejandro de la Plaza
 Facultad de Ingeniería
 Universidad de Buenos Aires, Argentina
magarcia@fi.uba.ar, aplaza@fi.uba.ar

Resumen—El diseño de moduladores sigma delta orientados a operar en altas frecuencias depende de la habilidad de los dispositivos de las nuevas tecnologías de operar a dichas frecuencias. El precio a pagar incluye limitaciones impuestas por la delgada litografía respecto de la máxima tensión de alimentación: tensiones de operación por debajo de 1 V son actualmente una nueva regla. El uso de cualquier forma de sobre tensión impacta negativamente la confiabilidad, además de que el uso de otros circuitos con este fin no es práctico debido a la frecuencia de operación exigida. La conmutación de capacitores a alta velocidad impone un límite a la máxima tensión sobre los mismos respecto de tierra, y esto repercute en las posibles implementaciones circuitales. Circuitos pasivos fueron presentados como posibles alternativas para superar estas dificultades pero la técnica tiene limitaciones en términos de ruido debido a la atenuación que sufre la señal y en el tipo de filtros que pueden ser utilizados. La técnica presentada en este trabajo utiliza integradores de muestreo de baja pérdida implementados con buffers de ganancia unitaria como elementos activos, y hace uso de las técnicas de correlated double sampling en todas las etapas para reducir el ruido.

I. INTRODUCCIÓN

Moduladores sigma-delta basados en capacitores conmutados representan una alternativa de diseño muy atractiva porque su operación depende de relaciones entre capacitores permitiendo buena predicción del desempeño aún en nuevas tecnologías [1],[2]. Para este tipo de circuitos la velocidad está limitada por los tiempos de carga de los capacitores y de establecimiento de los amplificadores, ambos finalmente dependientes del tamaño mínimo del capacitor que puede ser usado compatible con los requerimientos de ruido. En el caso de necesitar grandes relaciones entre capacitores, las capacidades parásitas de las placas inferiores de los capacitores de realimentación también pueden afectar el tiempo de establecimiento de los amplificadores. La habilidad de una llave MOS para transportar carga hacia y desde un capacitor depende de la tensión aplicada al gate del transistor. El muestreo de la salida de un amplificador que usualmente se encuentra en reposo a la mitad la tensión de la fuente de alimentación, representa la cuestión mas desafiante del diseño orientado a alta velocidad de operación. La solución mas común es alimentar las compuertas de las llaves MOS y los circuitos de control relacionados con una línea de sobre

tensión. Esto trae la desventaja de que la confiabilidad de los dispositivos puede verse afectada cuando se fuerzan tensiones cercanas a dicho límite. Técnicas mas elaboradas usan un circuito de elevación de tensión por cada llave para lograr una tensión gate-source constante, pero la complejidad del circuito resultante limita la técnica a aplicaciones de baja frecuencia.

Diferentes formas de amplificadores conmutados han sido reportados, pero todas ellas están restringidas a operar bajas frecuencias [3]-[6].

Recientemente se han presentado filtros de lazo pasivos con capacitores conmutados [7]-[10]. La tensión de reposo de todos los nodos a ser conmutados es 0 volt, y limitando la señal a amplitudes de fracción de la tensión de alimentación, la técnica permite gran velocidad de conmutación.

La dependencia solo en elementos pasivos para implementar filtros limita la complejidad de la función transferencia que se puede lograr y la atenuación de la señal provoca que la configuración sea sensible al ruido.

El circuito propuesto en el presente trabajo utiliza integradores con capacitores conmutados basados en amplificadores de ganancia unitaria [11]. Es importante destacar que el integrador resultante tiene la habilidad de amplificar la señal de entrada siendo la función de transferencia obtenida idéntica a la de un circuito de capacitores conmutados convencional basado en amplificadores de tensión.

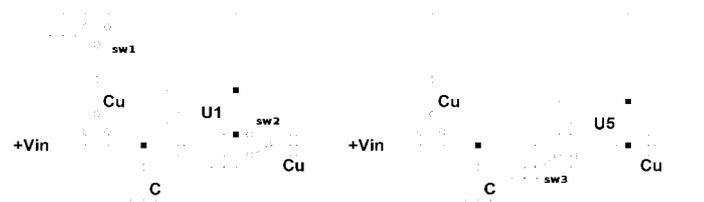


Fig. 1. Integradores con capacitores conmutados usando amplificadores de ganancia unitaria: (a) de salida conmutada, (b) de entada conmutada

II. DESCRIPCIÓN DEL CICUITO

La configuración básica del integrador se muestra en la Fig. 1(a). En la fase de muestreo, el capacitor C_u se carga a la tensión de entrada V_{in} . En la siguiente fase la carga total $C_u \cdot V_{in}$

se transfiere al capacitor de integración C , el cual cuenta con uno de sus terminales a tierra.

El amplificador de ganancia unitaria fuerza la relación de tensiones de entrada-salida a través del intercambio de carga a tener una función transferencia:

$$\frac{V_{out}}{V_{in}}[z] = \frac{C_u}{C} \frac{z^{-1}}{1-z^{-1}} \quad (1)$$

Siendo esta ecuación idéntica a la de un integrador con capacitores conmutados convencional, se concluye que es posible usar amplificadores unitarios para obtener integradores con ganancia mayor a uno en la banda de paso.

El circuito de la Fig. 1.(a) presenta sin embargo la desventaja de que las llaves $sw1$ y $sw2$ operan sobre la salida del amplificador. Esto reduce la tensión de control de las llaves MOS, ya que el valor de reposo de la salida del amplificador debe ser al menos el valor pico de la señal de entrada.

Es posible utilizar una topología circuital en conjunto con una secuencia de fases de reloj que no requiera llaves muestreando de forma directa la salida del amplificador. Un ejemplo se muestra en la Fig. 1(b). Durante la primer fase del reloj, la llave $sw3$ conecta la entrada del amplificador a tierra, forzando el nodo de salida a la tensión de reposo del amplificador (offset). Siendo que el capacitor de realimentación se encuentra en ese instante muestreando la señal de entrada, la carga que acumula será $C_u(V_{in}-V_{off})$. En la siguiente fase, tanto la entrada el amplificador como el capacitor de muestreo se conectan al capacitor de integración, forzando una tensión $-V_{off}$ sobre el capacitor de realimentación y generando la transferencia de carga $C_u V_{in}$ hacia el capacitor de acumulación.

Como ejemplo se muestra en la Fig. 2 un amplificador construido con un transistor de canal-p en configuración seguidor (source follower) que puede operar con cero volt en su entrada. En este caso la señal de salida es, en términos prácticos, una tensión constante ligeramente superior a la tensión umbral (V_{th}) del dispositivo. Esta tensión de offset es adecuada para el correcto funcionamiento del integrador.

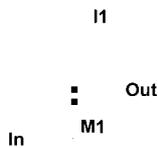


Fig. 2. Amplificador unitario de topología Drain común o Source follower.

En la Fig. 3 se muestra el diagrama en bloques de un modulador sigma-delta de segundo orden. Para implementarlo se requiere diseñar un integrador de dos entradas, que permita integrar la diferencia entre dos señales. En la Fig. 4 se presenta una solución que además cumple con los requerimientos discutidos en los párrafos anteriores. Se puede mostrar que a partir de la función transferencia del circuito, la tensión para cada entrada es

$$V_{out}[z] = \frac{C_u}{C} \left(\frac{C_1}{C_u + C_1} \right) \frac{z^{-1}}{1-z^{-1}} \cdot V_1 + -\frac{C_u}{C} \left(\frac{C_2}{C_u + C_2} \right) \frac{z^{-1}}{1-z^{-1}} \cdot V_2 \quad (2)$$

Definiendo $C_i = C_u$ el integrador tiene una ganancia de 0.5 como es requerido por razones de estabilidad cuando se utiliza en lazos sigma-delta de segundo orden [12].

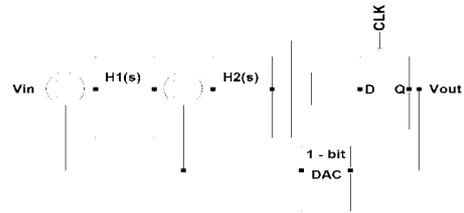


Fig. 3. Diagrama en bloques de un modulador sigma-delta de segundo orden.

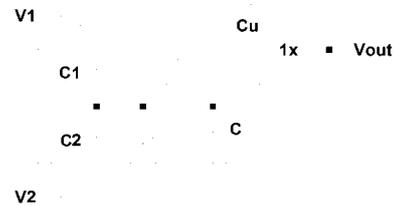


Fig. 4. Implementación de un integrador de dos entradas.

Conectando los integradores de dos entradas de forma adecuada se obtiene el esquemático completo del modulador sigma-delta que se muestra en la Fig. 5. En el mismo todas las llaves operan entre tierra y el pico de la amplitud de señal haciendo razonable esperar un buen desempeño en altas frecuencias, similar a un circuito de capacitores conmutados completamente pasivo.

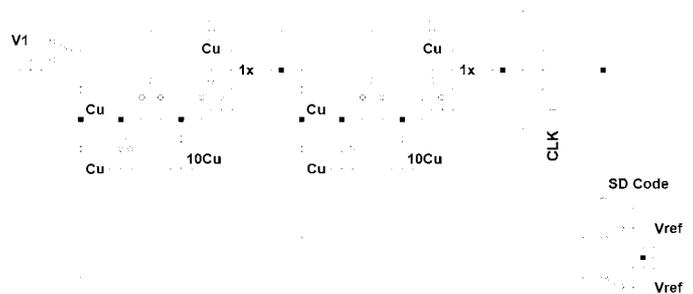


Fig. 5. Implementación del modulador sigma-delta con capacitores conmutados y amplificadores de ganancia unitaria.

El lazo de realimentación del circuito de la Fig. 5 se cierra a través del conversor digital-analógico de 1-bit conectado a las entradas inversoras de de ambos integradores. El circuito como se muestra puede producir tensiones negativas si se utiliza una tensión positiva como referencia (V_{ref} en el esquemático). El ancho de banda para todos los integradores se ajusta a la máxima frecuencia de la señal de entrada para optimizar el ruido de quantización. Una ventaja adicional de esta configuración, en la cual el capacitor de integración tiene

la placa inferior conectada a tierra, es que hace posible el uso de grandes relaciones entre capacidades sin degradación de la máxima frecuencia de operación alcanzable. Las capacidades parásitas de la placa inferior de un capacitor pueden degradar la performance en alta frecuencia de circuitos basados en integradores convencionales cuando la relación de capacidades es grande.

El resto del circuito incluye un comparador de señal, latches y la lógica necesaria para operar el conversor digital-analógico de 1-bit que cierra el lazo sigma-delta.

III. SIMULACIÓN

El circuito completo es evaluado simulando en Spice con modelos de dispositivos de una tecnología consolidada (TSMC .18 μ m). La frecuencia de muestreo utilizada es de 250MHz con una señal de entrada de 1MHz. El resultado de la simulación mostrado en la Fig. 6 sugiere que el circuito propuesto puede operar a dicha frecuencia sin aparente degradación en su desempeño. El consumo de potencia simulado es bajo incluso al compararlo con circuitos reportados que operan a menores frecuencias, resultado esperado considerando la simplicidad del circuito amplificador.

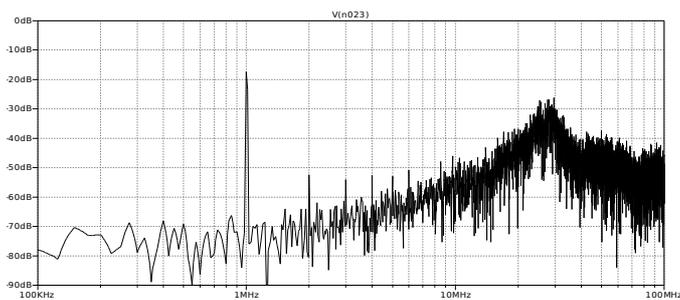


Fig. 6. Resultado de la simulación con Spice para $V_{in} = 150\text{mV}$ y $V_{ref} = 300\text{mV}$

IV. CONCLUSIÓN

Los circuitos con capacitores conmutados demuestran ser la mejor alternativa al compararlos con otras técnicas en circuitos integrados analógicos fundamentalmente debido a su desempeño predecible en términos de dispersiones y dependencia con la temperatura de los valores de sus componentes. Una nueva forma de circuito modulador sigma-delta usando amplificadores de ganancia unitaria sugiere que es posible alcanzar mayores frecuencias de operación en comparación con las técnicas tradicionales. Además muestra ventajas al ser comparado con circuitos de capacitores conmutados pasivos en términos de: libertad de implementar funciones transferencia más complejas, desempeño frente al ruido y consumo de potencia.

REFERENCIAS

- [1] Hodges, David A.; Gray, Paul R.; Brodersen, Robert W.; Potential of MOS Technologies for Analog Integrated Circuits IEEE Solid State Circuits Conference, 1977.
- [2] Temes, G.; Candy, J., Oversampling Delta-Sigma Data Converters: Theory, Design, and Simulation, Wiley-IEEE Press, 1991.
- [3] Crols, J.; Steyaert, M., Switched-opamp: an approach to realize full CMOS switched-capacitor circuits at very low power supply voltages IEEE Journal of Solid-State Circuits, Volume: 29, Issue: 8, 1994
- [4] Peluso, V.; Steyaert, M.S.J.; Sansen, W., A 1.5V 100 μ W sigma-delta modulator with 12-b dynamic range using the switched-opamp technique IEEE Journal of Solid-State Circuits, Volume: 32, Issue: 7, 1997
- [5] Sauerbrey, J.; Tille, T.; Schmitt-Landsiedel, D.; Thewes, R. A 0.7-V MOSFET-only switched-opamp modulator in standard digital CMOS technology IEEE Journal of Solid State Circuits Volume: 37, Issue: 12, 2002
- [6] Keskin, M.; Un-Ku Moon; Temes, G.C., A 1-V 10-MHz clock-rate 13-bit CMOS sigma-delta modulator using unity-gain-reset op amps IEEE Journal of Solid-State Circuits, Volume: 37, Issue: 7 JSSC.2002
- [7] Feng Chen, Bosco Leung, A 0.25-mW Low-Pass Passive Sigma-Delta Modulator with Built-In Mixer for a 10-MHz IF Input, IEEE Journal of Solid-State Circuits, VOL. 32, NO. 6, June 1997
- [8] Toru Sai; Sugimoto, Y., Design of a 1-V operational passive sigma-delta modulator, European Conference on Digital Object Identifier, 2009.
- [9] Guessab, S.; Benabes, P.; Kielbasa, R., A passive delta-sigma modulator for low-power applications, MWSCAS '04. The 2004 47th Midwest Symposium on Circuit and Systems
- [10] Feng Chen; Ramaswamy, S.; Bakkaloglu, B., A 1.5V 1mA 80dB passive Sigma Delta ADC in 0.13 μ m digital CMOS process, ISSCC IEEE Solid-State Circuits Conference, 2003.
- [11] Kunsagi, L.; Temes, G.C. Buffer-based switched-capacitor gain stages Electronics Letters Vol 24,5 1988.
- [12] Candy, J., A Use of Double Integration in Sigma Delta Modulation IEEE Transactions on Communications, Volume: 33, Issue: 3, 1985.

Diseño, Simulación e Implementación de un circuito divisor de potencia con tecnología de microtiras

Gabriel R. Caballero. Mariano A. Gennaro. Augusto N. Ayub. Raul A. Gastaldi. Javier F. Fernandez. Juan Galleguillo. Marcela B. Busnardo. Sergio A. Medina.

Departamento Electrónica y Telecomunicaciones, Área I+D.
Instituto Universitario Aeronáutico
Córdoba, Argentina

Email: [gcaballero](mailto:gcaballero@iua.edu.ar), [rgastaldi](mailto:rgastaldi@iua.edu.ar), [jfernandez](mailto:jfernandez@iua.edu.ar), [jgalleguillo](mailto:jgalleguillo@iua.edu.ar), [mbbusnardo](mailto:mbbusnardo@iua.edu.ar), smedina@iua.edu.ar

Resumen—El presente artículo, describe el diseño e implementación de un circuito divisor de potencia para una frecuencia de 2GHz de gran ancho de banda. El objetivo principal del circuito, es lograr dividir la potencia de una fuente o generador de radiofrecuencia con las mínimas pérdidas de inserción y retorno y la máxima aislación entre puertos.

Palabras Claves—Divisor de potencia, ancho de banda, aislación, retorno, inserción.

Introducción

El diseño de circuitos en Radio Frecuencia, como disciplina en sí misma, combina diferentes aspectos de teoría de circuitos y campos electromagnéticos. La descripción y caracterización de un circuito de Radio frecuencia como cuadripolo se representa mediante los parámetros "S" del mismo, dando origen a la matriz de dispersión del circuito. Estos parámetros, permiten modelar los circuitos de Radio frecuencia, debido a la imposibilidad de hacerlo con parámetros A,B,C,D "Z" o "H" originada por el comportamiento del circuito cuando es excitado a diferentes frecuencias. El diseño de un divisor de potencia para radio frecuencia, con frecuencia central 2GHz y de gran ancho de banda, comienza caracterizando el mismo por su matriz de dispersión, a continuación se calculan las impedancias que componen el circuito y se elige el dieléctrico que se utilizará en la implementación. A partir de las características físicas (Dimensiones) y Eléctricas (Constante de permitividad, eléctrica y magnética, conductividad, tangente de pérdidas) del dieléctrico, se diseña el circuito divisor de potencia con tecnología de micro tiras. Las características de impedancia de una micro tira están en relación directa con las propiedades del dieléctrico y sus dimensiones.

Los cálculos obtenidos de la fase de diseño, son contrastados con software de simulación, que permite además obtener el circuito impreso que constituye el divisor de potencia.

Una vez fabricado el circuito, es ensayado en laboratorio con un analizador de redes, que permite obtener los parámetros "S" del mismo

En las siguientes secciones se describen las características conceptuales de una micro tira como así también cada una de las etapas que componen el diseño.

I. CARACTERÍSTICAS DE LAS MICROTIRAS

El desarrollo de dispositivos y sistemas de microondas de estado sólido ha dado lugar a generalizar el uso de un tipo de líneas de transmisión de placas paralelas llamadas líneas de microtiras o simplemente microtiras. Una microtira consiste en un sustrato dieléctrico de espesor "h", sobre un plano conductor puesto a tierra, con una fina tira de metal de ancho "w" y espesor "t" colocada sobre el sustrato Fig. 1.

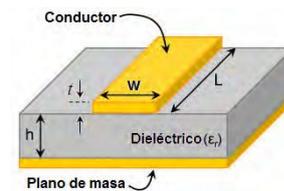


Figura 1. Corte transversal de una línea de microtiras

En una línea de microtira, el campo electromagnético existe parte en el aire sobre el sustrato dieléctrico y parte dentro del sustrato. En general, la constante dieléctrica relativa del sustrato (ϵ_r) será mayor que la del aire, por lo tanto la onda se desplaza en un medio no homogéneo. Como consecuencia la velocidad de propagación será un valor medio entre la velocidad de la onda en el sustrato y la velocidad de la onda en el aire. Para describir este comportamiento se define la permitividad relativa efectiva (ϵ_{eff}) de la microtira, siendo ésta la constante dieléctrica de un medio homogéneo equivalente, que define así, una única velocidad de propagación.

Debido a esto, las líneas de microtira no soportan propagación en modo TEM (Transversal Electro-Magnético) puro, sino que los campos eléctrico y magnético poseen componentes longitudinales a la dirección de propagación, lo que se conoce como modo híbrido. Sin embargo, dichas componentes longitudinales son pequeñas por lo que el modo dominante es llamado cuasi-TEM.

II. ANÁLISIS Y SÍNTESIS DE CAPACIDAD E IMPEDANCIA EN UNA MICROTIRA

Existen diversos métodos de análisis con diferente grado de complejidad para el cálculo de capacidad de una microtira. En

el presente trabajo se utiliza el método de las sub-áreas [1] para obtener la capacidad y así poder calcular la impedancia característica de una microtira.

Consideraremos una línea de transmisión de dos conductores con un ancho w , separados $2h$ e infinitamente largos en el espacio libre. La superficie de los conductores puede ser subdividida en un número determinado de áreas $i=1..n$, no necesariamente de igual tamaño. Cada sub-área puede ser representada con un largo ds_i , con centro en (x_i, y_i) . La densidad de carga en ds_i , $\rho(x_i, y_i)$, se considera constante y puede ser representada como carga puntual en el centro del elemento tal que $q_i = \rho \cdot ds_i$, Fig. 2.

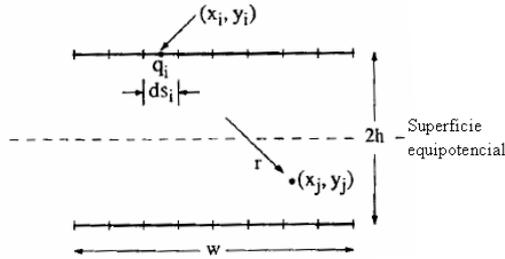


Figura 2. Geometría de una línea, método de sub-áreas.

El potencial $V(x_j, y_j)$ en cualquier punto (x_j, y_j) debido a cada carga superficial q_i será evaluado asumiendo que la distancia desde la superficie es medida desde (x_j, y_j) . Entonces:

$$V(x_j, y_j) = - \int_{\infty}^r E_r \cdot dr = - \frac{q_i}{2\pi\epsilon_0} \int_{\infty}^r \frac{dr}{r} = - \frac{q_i}{2\pi\epsilon_0} \ln(r) \quad (1)$$

El potencial en cualquier punto debido a una fuente lineal de carga es evaluado determinando la intensidad de campo eléctrico E_r como función de la distancia radial desde la fuente e integrando desde infinito hasta el punto que se encuentra a una distancia r . Considerando n cargas puntuales, resulta:

$$V(x_j, y_j) = - \frac{1}{2\pi\epsilon_0} \sum_{i=1}^n \ln \left[\sqrt{(x_i - x_j)^2 + (y_i - y_j)^2} \right] \cdot q_i \quad (2)$$

A. El manejo de potencial propio

En cada diferencial de área, aunque se toma una carga puntual en el centro de la sub-área lo que existe realmente es una distribución de carga. Por lo tanto al calcular el potencial en el centro de una sub-área se superponen las contribuciones de potencial que ofrece cada carga puntual del resto de las sub-áreas, pero además, debe contemplarse la contribución de la distribución de carga en la sub-área que se está evaluando.

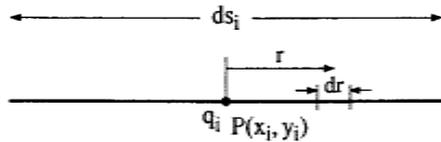


Figura 3. Geometría de una sub-área

Si se trata de una distribución uniforme de carga en una sub-área con ancho ds_i y carga q_i , como se observa en Fig. 3, entonces el potencial en el centro debido a un elemento de longitud dr a una distancia r es:

$$V(x_i, y_i) = - \frac{1}{2\pi\epsilon_0} \cdot \frac{q_i}{ds_i} \cdot \ln(r) \cdot dr \quad (3)$$

Si se integra la mitad derecha del elemento se obtiene:

$$V(x_i, y_i) = - \frac{q_i}{2\pi\epsilon_0 ds_i} \int_0^{ds_i/2} \ln(r) \cdot dr \quad (4)$$

Siendo que $\int \ln(r) \cdot dr = r \cdot (\ln(r) - 1)$ y duplicando para tomar el elemento completo, el potencial propio de una sub-área es:

$$V(x_i, y_i) = - \frac{q_i}{2\pi\epsilon_0} \left\{ \ln \left[\frac{ds_i}{2} \right] - 1 \right\} \quad (5)$$

B. Aplicación del método de las sub-áreas

Para calcular la capacidad de una microtira con parámetros de diseño w/h , se representa la misma por cuatro cargas puntuales "q" definiendo cuatro sub-áreas, Fig. 4. Además de la microtira, se representa su imagen ("q") para lograr una superficie equipotencial de potencial cero entre la microtira y su imagen.

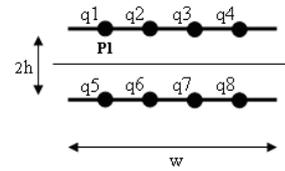


Figura 4. Cuatro cargas puntuales de una microtira

El primer paso es calcular el potencial $V(\bar{P}_1)$, que genera cada carga puntual en un mismo punto sobre la microtira. Para ello se debe considerar el potencial generado por la carga en ese punto y la contribución de las cargas adyacentes, resultando:

$$V(\bar{P}_1) = - \frac{q}{2\pi\epsilon_0} \left(\ln(w/8) - 1 + \ln(w/4) + \ln(w/2) + \ln(3/4 w) - \ln(2h) - \ln(\sqrt{(2h)^2 + (w/4)^2}) - \ln(\sqrt{(2h)^2 + (w/2)^2}) - \ln(\sqrt{(2h)^2 + (3/4 w)^2}) \right) \quad (6)$$

Calculado el potencial en el punto 1, $V(\bar{P}_1)$ resta dividir por la carga total de cada conductor y así obtener la capacidad de la línea:

$$C = \frac{Q}{V} = \frac{4q}{V} \quad (7)$$

Expresamos la capacidad calculada en función de w/h ya que es el parámetro de diseño dado, obteniendo:

$$C = \frac{8\pi\epsilon_0}{8,219154 - 4 \ln(w/h) + \frac{1}{2} \ln \left(1 + \left(\frac{w}{8h} \right)^2 \right) + \frac{1}{2} \ln \left(1 + \left(\frac{w}{4h} \right)^2 \right) + \frac{1}{2} \ln \left(1 + \left(\frac{3w}{8h} \right)^2 \right)} \quad (8)$$

La impedancia característica de una microtira (Z_0) con núcleo de aire ($\epsilon_{r=1}$), puede conocerse a partir de su capacidad (C), la velocidad de propagación de una onda electromagnética en el espacio libre (c) y la constante de permitividad dieléctrica relativa del sustrato (ϵ_r) [2].

$$Z_0 = \frac{\sqrt{\epsilon_r}}{cC} \quad (9)$$

En presencia de un sustrato dieléctrico $\epsilon_r \neq 1$ se analiza la impedancia característica mediante la siguiente expresión:

$$Z_0 = \frac{\sqrt{\epsilon_{eff}}}{cC_d} \quad (10)$$

Donde (C_d) es la capacidad de una microtira con sustrato dieléctrico, la cual está en función de ϵ_{eff} y de capacidad de la microtira con núcleo de aire (C_0).

$$C_d = \epsilon_{eff} C_0 \quad (11)$$

B. Síntesis de Impedancia de una microtira con espesor $t=0$

En esta sección, se analiza la síntesis de impedancia de una microtira considerando que el espesor de la misma es despreciable ($t=0$) y que el dieléctrico es aire ($\epsilon_r=1$), se obtiene así (C_0). Definiendo $A = \frac{w}{h}$ y expresando (8) en función de A , se obtiene:

$$C_0 = \frac{8\pi\epsilon_0}{8,219154 + \frac{1}{2} \ln \left[\frac{9}{65536 \cdot A^2} + \frac{49}{4096 \cdot A^4} + \frac{7}{32 \cdot A^6} + \frac{1}{A^8} \right]} \quad (12)$$

C. Análisis del Filling Fraction (Fracción de Llenado)

Está relacionado con la porción de energía electrostática almacenada en la región del sustrato, adopta valores entre $0,5 < q < 1$ y está en función de w/h y en menor medida depende de ϵ_r . Dado que $\epsilon_{eff} = 1 + q(\epsilon_r - 1)$, el filling fraction de una microtira es:

$$q = \frac{\epsilon_{eff} - 1}{\epsilon_r - 1} \quad (13)$$

Dada una impedancia característica Z_0 , con una permitividad en el sustrato ϵ_r , el filling fraction efectivo esta dado por:

$$q = \sum_{i=0}^6 \sum_{j=0}^3 R_{ij} x^i y^j \quad \text{con } x = \left\{ \ln \left(\sqrt{\epsilon_r} Z_0 \right) - 4 \right\}; \quad y = 1 - \frac{1}{\epsilon_r} \quad (14)$$

D. Síntesis de Impedancia de una microtira con espesor finito

Los conductores de microtiras tienen un espesor finito (t), que debe ser tenido en cuenta a la hora de realizar cálculos precisos destinados al diseño de las mismas. Para ello se establece una equivalencia entre una microtira con parámetros (w, h, t) y una con espesor cero ($w', h, t=0$). Donde $w' = w + \Delta w$. Estos parámetros se ilustran en Fig. 5.

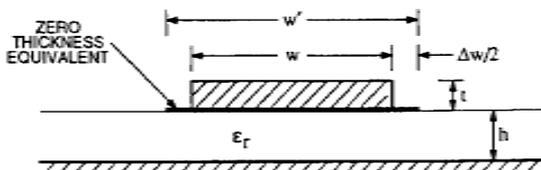


Figura 5 Comparación entre microtira ideal ($t=0$) y con espesor finito

Los parámetros impedancia (Z_0) y constante de propagación (γ) de cualquier línea de transmisión sin pérdidas con propagación en modo TEM, están expresados en términos de L y C (Inductancia y Capacidad). Entonces es necesario conocer la influencia de un espesor finito (t) en los parámetros

L y C para así deducir su efecto en Z_0 y, a través de ϵ_{eff} en γ .

Capacidad e impedancia de una microtira con espesor finito, se sintetizan con las expresiones (10), (11) y (12), redefiniendo $A = w/h$. Se realiza entonces una equivalencia llevando la microtira real a una ideal. Se analizan dos casos:

$$\frac{w'}{h} = \frac{w}{h} + \frac{1,25t}{\pi h} \cdot \left(1 + \ln \left(\frac{4\pi w}{t} \right) \right) \quad \frac{w}{h} \leq \frac{1}{2\pi} \quad (15)$$

$$\frac{w'}{h} = \frac{w}{h} + \frac{1,25t}{\pi h} \cdot \left(1 + \ln \left(\frac{2h}{t} \right) \right) \quad \frac{w}{h} \geq \frac{1}{2\pi} \quad (16)$$

El equivalente del coeficiente de permitividad efectiva es:

$$\epsilon'_{eff} = \epsilon_{eff} - \frac{\epsilon_r - 1}{4,6} \cdot \frac{t/h}{\sqrt{w/h}} \quad (17)$$

Existen limitaciones para (15), (16) y (17), sólo se aplican para $t/h \leq 0,2$, $0,1 \leq w/h \leq 20$ y $\epsilon_r \leq 16$.

Sabiendo que $w' = w + \Delta w$, Δw se expresa a continuación:

$$\Delta w = \frac{t}{\pi} \left[(1 + \ln 4) - \frac{1}{2} \ln \left(\left(\frac{t}{h} \right)^2 + \left(\frac{1}{\pi \xi} \right)^2 \right) \right] \quad \text{con } \epsilon_r = 1 \quad (18)$$

Dependiendo si se dispone del espesor (t) o del equivalente de espesor cero, se utilizará $\xi = w/h + 1,10$ o $\xi = w'/h - 0,26$, en (18).

Considerando una microtira con sustrato dieléctrico $\epsilon_r \neq 1$, el término de corrección Δw , se modifica según la expresión:

$$\Delta w' = \frac{1 + (1/\epsilon_r)}{2} \Delta w \quad (19)$$

Sabiendo que:

$$\epsilon'_{eff} = \left(\frac{Z_{0(\text{aire})}}{Z_{0(\text{con sustrato})}} \right)^2 \quad (20)$$

A partir de (20) y considerando el espesor finito (t) de la tira:

$$\epsilon'_{eff} = \left(\frac{Z_{0(w'=w+\Delta w, \epsilon_r=1)}}{Z_{0(w'=w+\Delta w', \epsilon_r)}} \right)^2 \quad (21)$$

La expresión (21) permite conocer el valor de corrección para ϵ_{eff} a partir de Z_0 , considerando la modificación por espesor finito y un sustrato dieléctrico.

III. DIVISOR DE POTENCIA DE WILKINSON

El divisor de potencia Wilkinson, es una red que no posee pérdidas cuando los puertos de salida están adaptados, esto significa que sólo la potencia incidente es disipada. Es necesario aislar los brazos del divisor, para lo cual se utiliza una resistencia R , debido a que la tensión en ambos brazos es igual, no circulará corriente a través de la resistencia, por ende no se pierde energía y ambos brazos quedan aislados. La existencia de dos ramas con distintas impedancias características implica una diferencia de fase entre las señales de salida. Se utiliza $R_2 = kZ_0$ y $R_3 = \frac{Z_0}{k}$ para obtener idénticas características de fase en los transformadores de salida, Fig. 6.

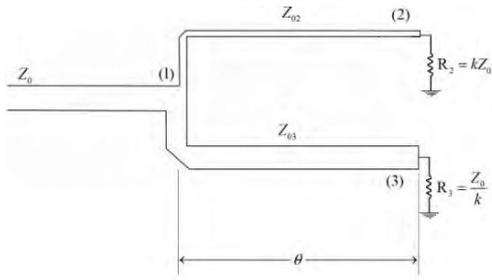


Figura 6 Divisor Wilkinson con resistencias de aislamiento

IV. DIVISOR DE POTENCIA DE WILKINSON DE GRAN ANCHO DE BANDA

El divisor de Wilkinson puede ser modificado para mejorar la relación de voltaje de onda estacionaria (VSWR, por sus siglas en inglés Voltage Standing Wave Ratio), de entrada, agregando un transformador de $\lambda/4$ de impedancia característica Z_{01} , además, esta modificación mejora el aislamiento entre los puertos e incrementa el ancho de banda del divisor [3] Fig. 7.

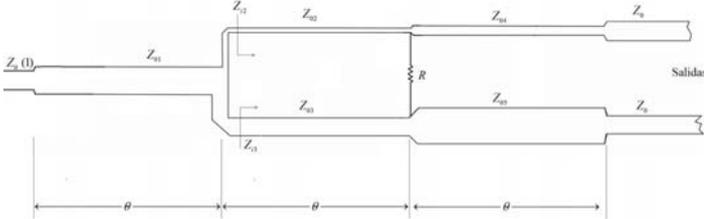


Figura 7 Divisor Wilkinson de gran ancho de banda

PARÁMETROS “S” DEL CIRCUITO DIVISOR DE WILKINSON

El divisor de potencia analizado en la sección anterior se replica en cada puerto de salida, para obtener la división por 4. Debido a que el circuito analizado consta de cinco puertos, la matriz de dispersión es de dimensión 5x5, contando con veinticinco parámetros “s”.

$$[S] = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} & S_{15} \\ S_{21} & S_{22} & S_{23} & S_{24} & S_{25} \\ S_{31} & S_{32} & S_{33} & S_{34} & S_{35} \\ S_{41} & S_{42} & S_{43} & S_{44} & S_{45} \\ S_{51} & S_{52} & S_{53} & S_{54} & S_{55} \end{bmatrix} \quad (22)$$

Por definición de parámetros de dispersión, cada elemento de la matriz [S] está dado, en términos de tensiones incidentes y reflejadas:

$$S_{mn} = \left. \frac{V_m^-}{V_n^+} \right|_{V_n^+ = 0} \quad (23)$$

Donde V_n^+ y V_m^- son las tensiones incidente en el puerto n y reflejada en el puerto m respectivamente.

A. Pérdida de inserción

Dado que en la salida la potencia se divide en cuatro, para calcular la pérdida de inserción deben ser tenidos en cuenta los 6dB correspondientes a la división.

$$IL = 6 - 20 \log |S_{21}| = 6 - 20 \log |S_{31}| = 6 - 20 \log |S_{41}| = 6 - 20 \log |S_{51}| \quad (24)$$

B. Pérdida de retorno

$$RL = -\lim_{S_{11} \rightarrow 0} (20 \log |S_{11}|) = \infty \quad (25)$$

C. Aislamiento

$$I = -\lim_{S_{34} \rightarrow 0} (20 \log |S_{34}|) = \infty \quad (26)$$

V. DISEÑO DEL DIVISOR DE POTENCIA DE WILKINSON

En primer lugar se calculan las impedancias de cada transformador de $\lambda/4$, siendo que la potencia se divide igual en cada rama, se tiene un $k=1$. Esto implica que las impedancias Z_{04} y Z_{05} tengan igual valor que la impedancia característica de la línea $Z_0 = 50 \Omega$. Para el divisor de potencia de Wilkinson se cumple la relación de potencias $\frac{P_3}{P_2} = k^2 = 1$

La matriz resultante de parámetros S del divisor de potencia desarrollado en el presente trabajo se presenta a continuación:

$$[S] = \begin{bmatrix} 0 & -\frac{1}{2} & -\frac{1}{2} & -\frac{1}{2} & -\frac{1}{2} \\ -\frac{1}{2} & 0 & 0 & 0 & 0 \\ -\frac{1}{2} & 0 & 0 & 0 & 0 \\ -\frac{1}{2} & 0 & 0 & 0 & 0 \\ -\frac{1}{2} & 0 & 0 & 0 & 0 \end{bmatrix} \quad (27)$$

A. Cálculo de Impedancias

Se adopta para el diseño FR4 como sustrato dieléctrico cuya constante dieléctrica (ϵ_r) adopta un valor de 4.3 @ $f > 1$ GHz.

Se calculan a continuación, todas las impedancias del divisor de potencias, de acuerdo con sus ecuaciones de diseño [4].

$$Z_0 = 50 \Omega$$

$$Z_{01} = Z_0 \sqrt{\frac{k}{1+k^2}} = 42,045 \Omega \quad \epsilon_r = 4,3 \quad \epsilon_{eff} = 3,35 \quad q = 0,712$$

$$Z_{02} = Z_0 k^{3/4} (1+k^2)^{1/4} = 59,46 \Omega \quad \epsilon_r = 4,3 \quad \epsilon_{eff} = 3,188 \quad q = 0,663$$

$$Z_{03} = Z_0 \frac{(1+k^2)^{1/4}}{k^{5/4}} = 59,46 \Omega \quad \epsilon_r = 4,3 \quad \epsilon_{eff} = 3,188 \quad q = 0,663$$

$$Z_{04} = Z_0 \sqrt{k} = 50 \Omega \quad \epsilon_r = 4,3 \quad \epsilon_{eff} = 3,268 \quad q = 0,687$$

$$Z_{05} = \frac{Z_0}{\sqrt{k}} = 50 \Omega \quad \epsilon_r = 4,3 \quad \epsilon_{eff} = 3,268 \quad q = 0,687$$

$$R = Z_0 \frac{1+k^2}{k} = 100 \Omega$$

Para cada tramo de impedancia característica Z_{0x} , se calcula el factor ‘q’, utilizando (14) y se obtiene el $\epsilon_{eff} = 1 + q(\epsilon_r - 1)$.

Las longitudes físicas de las líneas serán calculadas individualmente para cada línea ya que dependen del valor de ϵ_{eff} correspondiente a cada tramo de transformador.

B. Cálculo de w/h

Se utiliza el método de las cuatro cargas desarrollado en el apartado II para calcular el valor de w/h de cada transformador de $\lambda/4$ del divisor de potencia. A partir de (10), (11) y (12), tomando como referencia los valores de Z_{0x} , se calcula el valor de $A=w'/h$, para obtener finalmente W'_{0x} , el ancho de cada microtira que constituye el divisor de potencia.

Como $z_0 = z_{04} = z_{05}$, entonces $w'_0 = w'_{04} = w'_{05}$. De (12) se obtiene:

$$A^8 - \frac{9}{65536k} A^6 - \frac{49}{4096k} A^4 - \frac{7}{32k} A^2 - \frac{1}{k} = 0$$

Donde $k = \left(\frac{e^{8\pi\epsilon_0 c Z_0 \sqrt{\epsilon_{eff}}}}{e^{8,22}} \right)^2$ con $Z_0=50\Omega$ y $\epsilon_{eff}=3,268$ entonces

$K=0,0126$ y $A=1,8747$, por lo tanto $w'_0=w'_{04}=w'_{05}=2,999[\text{mm}]$

Realizando la misma secuencia de cálculos anterior, para cada valor de impedancia a sintetizar, se encuentran los valores de w restantes, los cuales se presentan a continuación:

- $Z_{01}=42,045\Omega$ $A=2,4565$ $w'_{01}=3,9304[\text{mm}]$
- $Z_{02}=Z_{03}=59,46\Omega$ $A=1,3925$ $w'_{02}=w'_{03}=2,228[\text{mm}]$

C. Cálculo de longitudes

El divisor de potencia de Wilkinson se diseña para una frecuencia (f) central de trabajo de 2GHz que determina la longitud de la onda EM (Electro Magnética) en el sustrato (λ_0), a partir de λ del vacío y el ϵ_{eff} de cada microtira. Definiendo la longitud de cada tramo de impedancia característica Z_{0x} , como l_{0x} , se presenta a continuación el cálculo de las longitudes de cada microtira del divisor de potencia.

$$l_0 = l_{04} = l_{05} = \frac{\lambda_0}{4} = \frac{\lambda}{4 \cdot \sqrt{\epsilon_{eff}}} = \frac{c}{4f \cdot \sqrt{\epsilon_{eff}}}$$

$$l_0 = l_{04} = l_{05} = 20,74 \text{ mm}$$

De la misma manera se encuentra los demás valores de longitud, obteniendo para este diseño:

- $l_{01}=20,488[\text{mm}]$
- $l_{02}=l_{03}=21[\text{mm}]$

Cabe destacar que aunque la longitud de cada tramo del divisor de potencia es de $\lambda/4$, los valores de uno a otro difieren debido al efecto del medio no homogéneo (Aire/sustrato) que se rige por la constante de permitividad eléctrica relativa ϵ_{eff} ...

D. Corrección de espesor (t)

Se adopta un espesor $t = 35\mu\text{m}$ equivalente a 1[oz] de cobre para la microtira y $h = 1,6\text{mm}$ para el sustrato dieléctrico, FR4. Utilizando (16) con los valores de t y h de diseño, se obtiene el w/h real de cada tramo del divisor.

$$\frac{w'}{h} = \frac{w}{h} + \frac{1,25t}{\pi h} \left[1 + \ln \left(\frac{2h}{t} \right) \right] = \frac{w}{h} + 0,048$$

Para $Z_0 = Z_{04} = Z_{05} = 50 \Omega$

$$\frac{w'}{h} = 1,8747 \rightarrow \frac{w}{h} = 1,8267 \quad w_0 = w_{04} = w_{05} = 2,9227[\text{mm}]$$

Para $Z_{01} = 42,045 \Omega$ se obtiene $w_{01}=3,8536[\text{mm}]$

Para $Z_{02} = Z_{03} = 59,46 \Omega$ se obtiene $w_{02}=w_{03}=2,1512[\text{mm}]$

VI. SIMULACIÓN DEL DIVISOR DE POTENCIA DE WILKINSON

En esta sección se sintetizan con software de simulación las impedancias características que conforman el circuito esquemático eléctrico del divisor de potencia bajo análisis. Considerando los anchos de cada microtira (w) y su longitud (l), ambos obtenidos en el apartado anterior, se diseña el circuito eléctrico y se realizan simulaciones para obtener los valores de los parámetros S del divisor de potencia.

A. Diagrama esquemático

En Fig. 8. se puede apreciar la primera etapa del divisor de potencia de Wilkinson, con sus impedancias características y la resistencia de aislación. Esta etapa se repite en cada rama del divisor, es decir: a continuación de TL5 y de TL6.

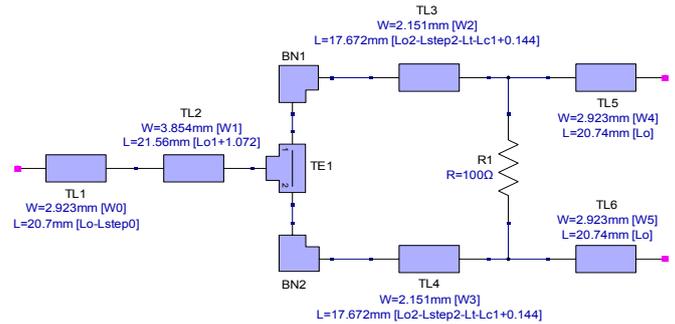


Figura 8 Diagrama esquemático de divisor Wilkinson de dos salidas

El software de simulación entrega a partir del circuito esquemático los archivos necesarios para la posterior fabricación del circuito impreso.

B. Simulación de parámetros S en función de la frecuencia

Con la herramienta de simulación, se realiza un barrido en frecuencia de 0GHz a 5GHz obteniendo las curvas de parámetros S_{11} , S_{12} , S_{13} , S_{14} y S_{15} mostradas en Fig. 9.

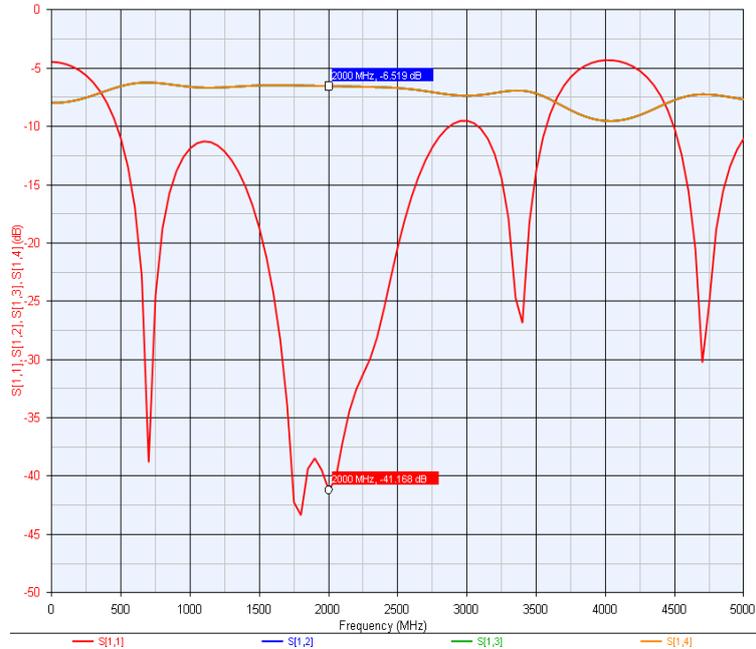


Figura 9 Gráfico de parámetros S

Para el diseño del divisor de potencia, el puerto de entrada es el número 1 y los cuatro restantes, son puertos de salida. Debido a que $K=1$, la potencia se divide en cuatro (-6dB) entre la entrada (Puerto 1) y cualquiera de las cuatro salidas (Puertos del 2 al 5). Por tratarse de una estructura simétrica, se cumple $S_{12} = S_{21}$, $S_{13} = S_{31}$, $S_{14} = S_{41}$, $S_{15} = S_{51}$.

Para el circuito implementado deben considerarse además las pérdidas de inserción propias del divisor (24) y pérdidas en cables y conectores inherentes al esquema de medición.

VII. IMPLEMENTACIÓN DEL DIVISOR DE POTENCIA

La implementación del circuito divisor de potencia, se lleva a cabo en una placa de FR4 de $h=1.6\text{mm}$ y $\epsilon_r=4.3$, con un espesor de microtira $t=35\mu\text{m}$ equivalente a 1[oz] de cobre. La placa de cobre recibe un baño de Níquel despreciable para el análisis. Fig. 10.

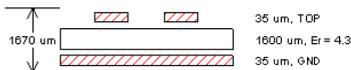


Figura 10 Corte transversal de una línea de transmisión de microtiras.

Se utilizan conectores SMA de 50Ω para la realización del divisor y resistencias de montaje superficial de 100Ω Fig. 11.

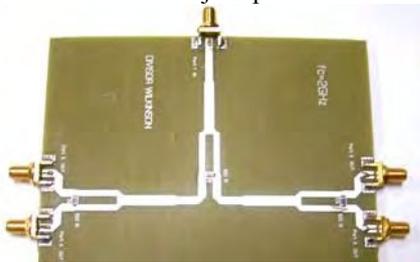


Figura 11 Divisor de Potencia de Wilkinson Implementado

VIII. MEDICIONES DEL DIVISOR WILKINSON

Para efectuar las mediciones se dispone de un analizador vectorial de redes de 2GHz de frecuencia máxima y 50Ω de impedancia. Se realiza un barrido de 500MHz a 2000MHz obteniendo los parámetros S_{11} , S_{21} , S_{31} , S_{41} y S_{51} Fig. 12.

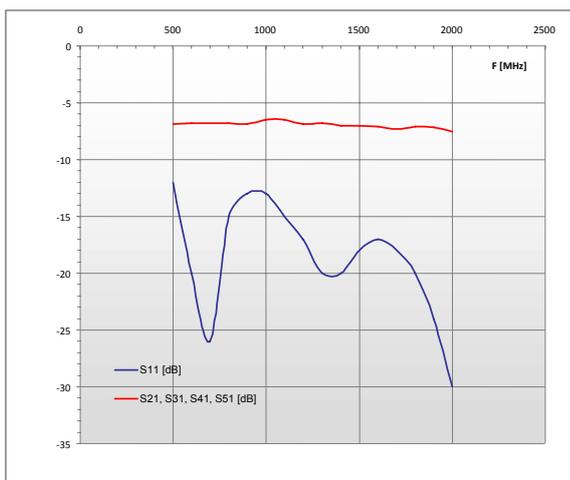


Figura 12 Parámetros S_{11} , S_{21} , S_{31} , S_{41} , S_{51} en función de la frecuencia.

Para $f=2000\text{MHz}$, $S_{11}=-30\text{dB}$ entonces $V_1^- = 0$ lo que indica que existe adaptación de impedancia. S_{11} está directamente relacionado con las pérdidas de retorno del circuito (25), entonces, puede obtenerse el valor de VSWR a 2000MHz:

$$S_{11} = -30\text{dB} = 20 \log \left(\frac{V_1^-}{V_1^+} \right) \therefore \frac{V_1^-}{V_1^+} = 0,031 = \Gamma \therefore VSWR = \frac{1+|\Gamma|}{1-|\Gamma|} = 1,064$$

Para $f=2000\text{MHz}$, $S_{21} = -7,5\text{dB}$. Este valor contempla las pérdidas de potencia (-6dB) y las pérdidas de inserción I (24) propias del circuito (-1,5dB). TABLA 1 muestra una comparación entre los distintos valores de los parámetros “S”, obtenidos a largo del desarrollo del presente trabajo.

TABLA 1
PARÁMETROS S CALCULADOS, SIMULADOS Y MEDIDOS

Parámetro	Valor Teórico [dB]	Valor Simulación [dB]	Valor Medido [dB]
S_{11}	0 [veces]	-41,168	-30
S_{21}	-6	-6,15	-7,5
S_{31}	-6	-6,15	-7,4
S_{41}	-6	-6,15	-7,2
S_{51}	-6	-6,15	-7,3

Los parámetros S_{31} , S_{41} y S_{51} siguen en el mismo comportamiento en frecuencia que S_{21} . Los valores de aislación del circuito (26) están determinados por los parámetros S_{23} , S_{24} , S_{25} , S_{32} , S_{34} , S_{35} , S_{42} , S_{43} , S_{45} , S_{52} , S_{53} , a $f=2000\text{MHz}$, $I=-30\text{dB}$. Fijando como límite $S_{11} = -20\text{dB}$, de Fig. 12 el ancho de banda resulta 400MHz. La diferencia de 11,68db entre los valores simulado y medido del parámetro S_{11} , se debe a que el analizador de redes utilizado, por su tecnología, tiene -30dB como parámetro de fondo de escala.

IX. CONCLUSIÓN

En el presente trabajo se ha desarrollado el método de las sub-áreas para sintetizar impedancias características de circuitos de microtiras. Se ha llevado a cabo el diseño, y posterior simulación de un circuito divisor de potencia con tecnología de microtiras, considerando una frecuencia central de diseño de 2GHz. Partiendo de las ecuaciones de diseño del divisor de potencia, se ha implementado el circuito en un sustrato dieléctrico FR4. Las mediciones se han realizado con un analizador de redes. El proceso de diseño, simulación e implementación de circuitos de radio frecuencia con microtiras ha quedado plasmado en este trabajo.

X. REFERENCIAS

- [1] Dr. Fooks, E. H., Dr. Zakarevicius R. A. (1990). “Microwave Engineering Using Microstrip Circuits”. Prentice Hall
- [2] Gupta, K. C., Garg, R. (1996). “Microstrip Lines and Slotlines” 2nd Ed. Artech House.
- [3] Pozar, D. M., (2005). “Microwave Engineering” 3rd Ed. John Wiley and Sons.
- [4] Parad, L. I., Moynihan, R. L., “Split-Tee Power Divider”. IEEE Trans. Microwave Theory and Techniques, Vol MTT-13, No 1, Enero 1965, pp. 91-5.

Potenciostato Implantable Integrado en Tecnología CMOS

Fabio A. Guarnieri *, Mariano Garcia Inza †, Jos Lipovezky †, Alejandro de la Plaza †

* Universidad de Entre Ros

† Universidad de Buenos Aires

Abstract—Se describe la integración en tecnología CMOS de un circuito de potenciostato a ser implantado como parte de un dispositivo utilizado en el control de la presión interior del globo ocular. El potenciostato es un esquema circuital que permite el control y monitoreo de procesos electroquímicos, posibilitando el ajuste de la tensión aplicada a los electrodos, as como la medición de la corriente galvánica resultante.

I. INTRODUCCIÓN

El uso de tres electrodos para el control y supervisión de un proceso electro-químico asegura la independencia de las tensiones aplicadas respecto a potenciales electroquímicos y caídas de tensión óhmicas en la interfase electrodo-electrolito.

La configuración circuital denominada it potenciostato, incluye un electrodo denominado de referencia cuya corriente es nula, asegurándose de este modo que dicho electrodo no participa del proceso electroquímico, mientras es utilizado como referencia de tensión.

La figura muestra un ejemplo de aplicación, donde se muestra una cuba conteniendo la solución electrolítica, y los tres electrodos en una conexión muy utilizada:

- *ET*: Electrodo de trabajo
- *EC*: Electrodo de control o contra-electrodo
- *ER*: Electrodo de referencia

El lazo de realimentación establecido con el amplificador operacional A_1 fuerza la tensión entre los electrodos *ET* y *ER* ser igual a V_{ctl} , la tensión de entrada del circuito. La elevada impedancia de la entrada no inversora de A_1 asegura que la corriente en el electrodo *ER* de referencia es nula. La tensión de salida de A_1 es aplicada al contra-electrodo *EC*, estableciendo la ya descrita tensión de polarización en la cuba. El amplificador A_2 es utilizado para medir la corriente de la reacción, utilizando la resistencia R para convertir valores de corriente a valores de tensión, al mismo tiempo que el lazo de realimentación fuerza el potencial del electrodo *ET* a masa.

En el caso particular de esta aplicación, donde el proceso electrolítico se realiza en una membrana sólida parte de una estructura MEMS a ser implantada en el globo ocular, es necesario permitir una gran flexibilidad en términos de valor y signo de la tensión aplicada.

II. DESCRIPCIÓN DEL CIRCUITO

Para minimizar el consumo de corriente de un circuito complejo es conveniente reducir la cantidad de estructuras circuitales mediante la re-utilización de algunas de ellas. En este caso, es posible reducir la cantidad de amplificadores

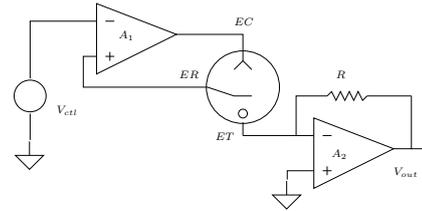


Fig. 1. Potenciostato y cuba electrolítica

mediante el uso de un amplificador completamente diferencial que puede describirse mediante la ecuación:

$$V_{+out} - V_{-out} = (V_{+in} - V_{-in}) \cdot A \quad (1)$$

donde A es la ganancia diferencial del amplificador.

La Fig. muestra un amplificador completamente diferencial utilizado como potenciostato: la tensión de control V_{ctl} es aplicada a la entrada, y el lazo de realimentación diferencial fuerza que una tensión igual sea aplicada al electrodo *ET*.

$$V_{ET} = V_{ctl} \quad (2)$$

En un amplificador completamente-diferencial el circuito de realimentación solo puede controlar la diferencia de tensiones de salida. La tensión de modo comn de salida $V_{+out} + V_{-out}$ debe ser prefijada por un circuito de polarización independiente. Esto se mecaniza mediante un lazo de realimentación que incluye un circuito sensor de dicha tensión de salida de modo-comn. En la Fig. esta función la realiza el electrodo *ER*, conectado a los otros dos electrodos a travs de las resistencias internas del electrolito. El amplificador A_{mc} compara la tensión del electrodo *ER* con masa y cierra el lazo de realimentación. De esta manera, la tensión de modo comn se ajusta de manera tal que el electrodo *ER* adquiere el potencial de masa.

$$V_{ER} = 1/2(V_{ET} + V_{EC}) = 0 \quad (3)$$

Esta disposición permite invertir la tensión aplicada a los electrodos maximizando el rango posible con un cierto valor de voltaje de alimentación.

III. DISEÑO DEL AMPLIFICADOR DIFERENCIAL-DIFERENCIAL

La Fig. muestra un esquema simplificado del amplificador completamente diferencial. Los transistores M_1M_2 forman el

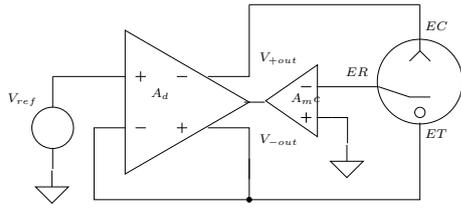


Fig. 2. Potenciostato completamente diferencial

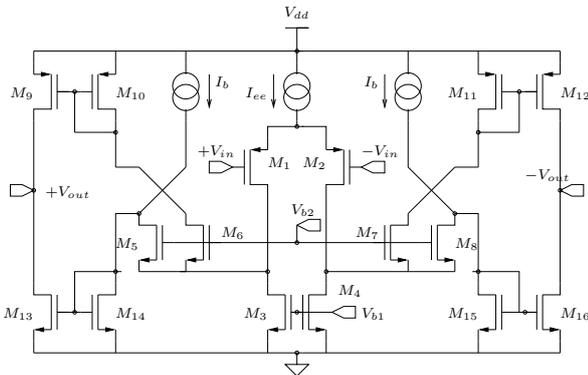


Fig. 3. Circuito CMOS simplificado

par diferencial. M_5 , M_6 , M_7 y M_8 en la configuración de gate común reflejan la corriente de señal, para maximizar la excursión de la etapa de salida, implementada en este caso por cuatro espejos de corriente en configuración puente. Un ajuste de las tensiones de polarización V_{b1} y V_{b2} permite variar el valor de tensión de modo común de los terminales de salida. La ganancia del amplificador simplificado esta determinada por la transconductancia del par diferencial y la resistencia equivalente de entrada a los espejos de corriente:

$$g_m = \sqrt{I_{ee} k_p (w/l)} \quad (4)$$

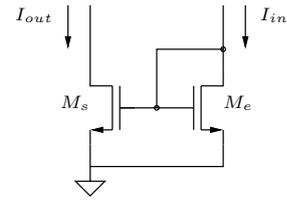
donde k_p es igual a $\mu_p \cdot C_o$, siendo μ_p es la movilidad de los portadores en el canal de un transistor de canal p y C_o es la capacidad intrínseca del canal. I_{ee} es la corriente de polarización del par diferencial. La ganancia es entonces:

$$G = \frac{g_{md}}{g_{me}} \quad (5)$$

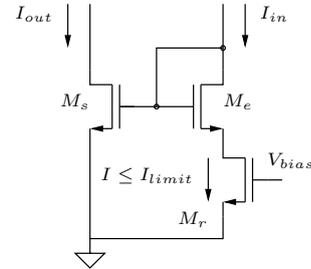
donde g_{md} y g_{me} son las transconductancias del par diferencial y el transistor de entrada al espejo de corriente respectivamente. Suponiendo que ambos transistores tienen la misma corriente de reposo:

$$G = \sqrt{\frac{(w/l)_d}{(w/l)_e}} \quad (6)$$

un valor relativamente pequeño dado el límite en el valor máximo de $(w/l)_d$ para que los transistores del par diferencial continúen operando en la región de inversión fuerte. En este caso, se adoptaron $(w/l)_d = 100$ y $(w/l)_e = 1/10$ por lo que se obtiene una ganancia para la etapa de aproximadamente



(a) Clase A



(b) Clase B

Fig. 4. Amplificadores de corriente

30. Para incrementar la ganancia e incrementar la máxima corriente de señal en la etapa de salida, se reemplazaron los espejos de corriente simples (Fig.) que se muestran en el circuito simplificado por una etapa que opera en clase B. Este circuito se puede observar en la Fig. . Se agrega una fuente de corriente formada por un transistor en *source común*, que limita la corriente del transistor en la configuración diodo. De esta manera, cuando la corriente de entrada es menor a la que determina la polarización de la fuente de corriente, la tensión de dicha fuente colapsa a prácticamente un valor cero, y el espejo opera como el circuito simple, con una ganancia de corriente igual a la relación de forma (w/l) :

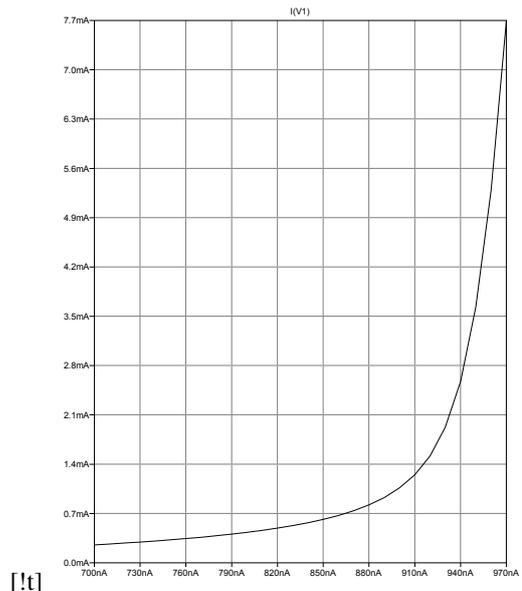


Fig. 5. Espejo de corriente clase B: ganancia de corriente

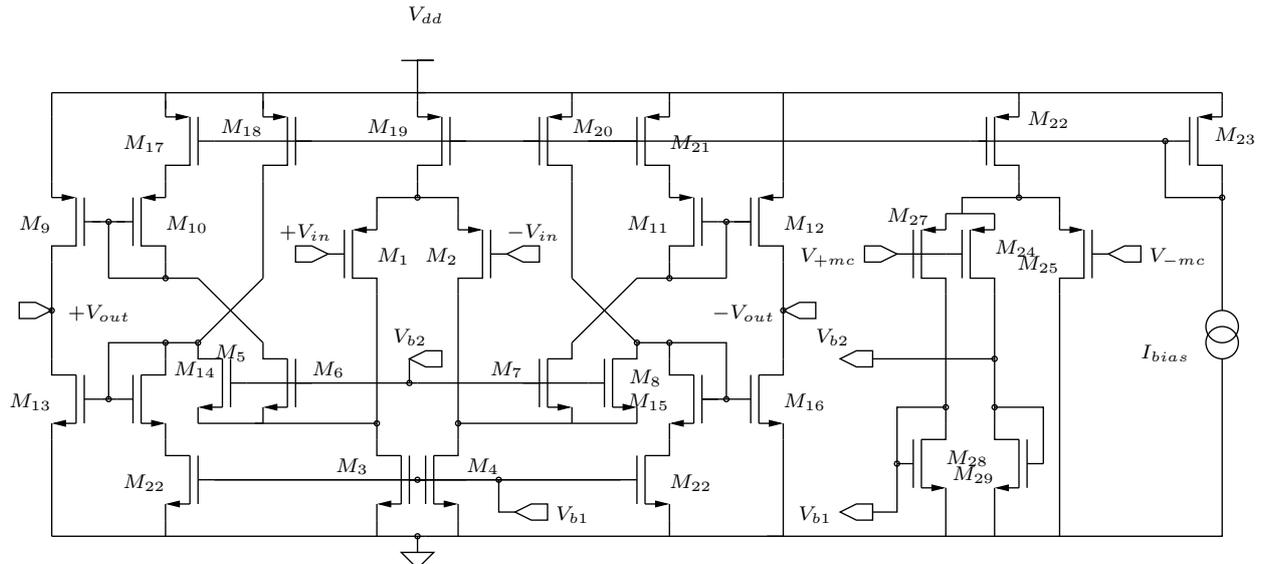


Fig. 6. Circuito CMOS completo del potenciostato

$$E_1 = \frac{(w/l)_s}{(w/l)_e} \quad (7)$$

Cuando la corriente de entrada supera el valor prefijado, la corriente que circula por el transistor en la configuración diodo queda limitada, y la resistencia de entrada al espejo es igual a la resistencia de salida del transistor que forma la fuente de corriente, M_r . La ganancia de corriente de la etapa resulta entonces:

$$E = g_{ms} \cdot h_o \quad (8)$$

donde $h_o = \lambda \cdot I_{limit}$ es la resistencia de drenaje de M_r , y g_{ms} es la transconductancia del transistor principal de salida.

La Fig. muestra el esquemático del circuito CMOS completo, incluyendo el amplificador de modo común.

IV. SIMULACIÓN

El circuito descrito fue diseñado utilizando los modelos del proceso CMOS AMIC5 de $0.5\mu m$ de longitud de canal provistos por Mosis. La tensión de alimentación utilizada es de 3 Vol.

La Fig. muestra el resultado de una simulación del circuito de la figura 4b, donde la corriente I_{limita} ha sido fijada en $1\mu A$. Puede observarse el cambio de pendiente que ocurre a una corriente de $0.9\mu A$. Este circuito permite asimismo poder predecir con gran precisión la corriente de polarización de los transistores de salida en conexión source común (M_9 , M_{12} , M_{13} y M_{16}).

Los resultados de la simulación del amplificador completo se muestran en la Tabla .

 TABLE I
 MODELO TSMC 0.18

Parámetros	Magnitud	Unidad
Ganancia	17.000	V/V
GW	3.2	MHz
V_{dd}	3	Volt
I_{dd}	12	μA

V. CONCLUSIONES

La prestación de un circuito que implementa un potenciostato puede ser optimizada utilizando un circuito completamente diferencial. Con esta configuración es posible utilizar tensiones de control bipolares maximizando simultaneamente la excursión posible de tensión, una característica importante para circuitos implantables que no cuentan con alimentación de potencia autónoma.

REFERENCES

- [1] P.A. Boutet, S. Manen, Low power CMOS potentiostat for three electrodes amperometric chemical sensor, 2011 Faible Tension Faible Consommation, Marruecos, 2011.
- [2] M. M. Ahmadi and G. Jullien, Current-Mirror-Based Potentiostats for Three-Electrode Amperometric Electrochemical Sensors, *IEEE Transactions on Circuits and Systems*, vol. 56, no. 7, July 2009.
- [3] W-S. Wang, W-T Kuo, H-Y. Huang, and C-H Luo, Wide Dynamic Range CMOS Potentiostat for Amperometric Chemical Sensor, *Sensors*, www.mdpi.com/journal/sensors, 2010.
- [4] W-Y Chung, A. C. Paglinawan, Y-H Wang, T-T Kuo, A Readout Circuit with Potentiostat for Amperometric Chemical Sensors detection and Glucose Meter Applications, *IEEE Electron Devices and Solid-State Circuits Conference* 2007.

Speckle Signal Processing through FPGA

E. Todorovich^(1,2), M. Vazquez^(1,2), E. Cozzolino⁽¹⁾,
F. Ferrara⁽¹⁾, G. Bioul^(1,2)

1. Universidad FASTA, Mar del Plata, 3145, Calle Gascón,
2. UNCPBA, 399, Calle Pinto, Tandil, Argentina
gbioul@ufasta.edu.ar

A.L. Dai Para⁽³⁾, L.I. Passoni^(1,3)

3. UNMDP, 4302, J.B. Justo, Mar del Plata, Argentina

Abstract - This paper introduces Field Programmable Gate Array (FPGA) technology as an alternative platform to implement algorithms for speckle patterns analysis in real time. Functions and algorithmic procedures have been expressed in pseudo languages then in Hardware Description Languages (HDL). For all cases, time performances are presented for the Xilinx Virtex-6 family. Comparisons are also made with PC platform implementations presented in the literature.

Keywords - speckle patterns; granular computing; real time synthesis; FPGA.

I. INTRODUCTION

Physical surface variations with time can be monitored and controlled through image capture and analysis. The application of Dynamic Speckle Interferometry (DSI) to the drying of paints has been reported in [1-6], while a practical development has been presented as an Adaptive Speckle Imaging for monitoring the formation process of film on a regular surface topography [7]. The purpose of this paper is to customize and implement granular computing algorithms using FPGA technology; this includes procedures for image processing and analysis through real time monitoring. Taking advantage of the increasing performances of modern FPGA devices, some designs are presented with promising perspectives with respect to time and hardware costs. Applications examples are inspired from the algorithms presented in [6]. The basis of the Granular Computing with Fuzzy Sets (GCFS) and the Speckle Signal Processing (SSP) techniques are reviewed in section 2. Section 3 is dedicated to the implementations and hardware requirements on FPGA. Section 4 presents the results in performances, compared to implementations on PC's platform.

II. THEORETICAL BACKGROUND

A. Dynamic Laser Speckle pattern

Interference phenomena take place whenever a coherent light source (laser) illuminates a rough surface. The surface of most materials are extremely rugged in the scale of an optical wavelength ($\lambda \sim 5 \times 10^{-7}$ m.). When nearly monochromatic laser light is reflected in this kind of surface, optical waves which contain several components are originated from the reflection of different microscopic elements of the surface. The interference of coherent waves provides a granular pattern of intensity that is called *speckle*. The phenomenon is originated by the different path lengths between the different scattering

points from the surface and the observation source. Optical systems can be used for obtaining a scan of the phenomenon and register it in successive images. The images show peculiar speckle patterns depending on surface roughness, on the incoming light wavelength and on the numerical aperture of the imaging optical system (Fig. 1).

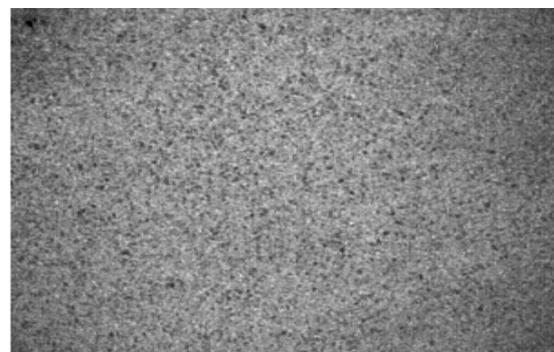
The speckle pattern varies when the illuminated surface presents some type of activity. If the movement is slow the speckles may be recognized within the successive images, but in the presence of higher activity the speckles intensity varies randomly with a rough boiling aspect. The activity variations permit the assessment of diverse phenomena such as microorganism motility [12], seeds viability [13], fruits bruising [14], drying of coatings [1], [3], [4] some of them with considerable economic and/or biological interest.

Images are captured periodically in order to scan the phenomenon. These images capture the intensity of the speckles although they do not permit to identify the illuminated object or surface.

Image activity is associated with pixel intensity variations, within a sequence of images, in a given lap of time. Activity is assumed when there are significant intensity changes in the signals. The notion of significant intensity variation is difficult to define, it is a notion depending of the application at hand, and it can be subjective and uncertain.

The intensity variation of each pixel, through the successive images, determines a one-dimensional signal known as *Time History Speckle Pattern* (THSP) [15]; using this signal the *activity index* is computed.

Figure 1. Raw speckle image



Many efforts have been done to evaluate these activity variations, so many algorithms with different approaches have been proposed [16]. Among them, those algorithms that process the intensity time series belonging to the pixels of an image sequence within the time domain are considered more adequate to be hardware implemented using FPGA. This paper proposes the use of the Granular Computing with Fuzzy Sets (GCFS) methodology [6] to compute the dynamic speckle activity index.

B. Fuzzy Granular computing

Granular computing is a technique based on the representation of the information in the form of a number of entities or *information granules* [17].

Granules can be viewed as linked collections of objects (data points, in particular) and drawn together by the criteria of indistinguishability, similarity, proximity or functionality [18]. Granules and the ensuing process of information granulation are vehicles of abstraction leading to the emergence of high-level concepts that support and ease our perception of the surrounding physical and virtual world [17] [19]. For example, the images perceived by human beings are full of information granules, defined by colors, shapes, combinations of colors and shapes. The image processing is naturally split into two main and overlapping levels of processing. At the lower end, one deals with image segmentation, edge detection, noise removal, and so on. At the higher end, the interest rests upon the image description and interpretation, when the level of abstraction depends on the task at hand. This is a spatial granulation.

Another example is the temporal granulation, associated to the processing of times series or signals, where the granulation information is built up over time forming information granules over predefined time intervals. The lower signal processing level deals with measurement and classification of signals, as well as with reduction of interferences and noise. At the higher level, the description, comparison and interpretation of signals is somewhat more complicated because it needs more specific knowledge about the application context.

Granular computing starts with building intelligent systems that are capable of understanding and describing concepts inherently associated to the human activity, to provide a better understanding of the problem at hand, and coming up with an efficient problem-solving strategy. Like a classic strategy, this paradigm breaks a problem down into sub-problems more affordable.

The fuzzy set approach holds useful features to support granular computing and the processes of information granules. Fuzzy sets support modeling of concepts that exhibit continuous boundaries such as tall, old, big, light, which are vague concepts and dependent on the context. The allowed overlapping between fuzzy sets, key feature of the fuzzy theory, allows avoiding the brittleness effect which may occur when swapping one concept for another. This becomes particularly essential when dealing with noise sensitive data.

In the classical set theory, let X be a set of objects, whose elements are denoted x_i , and let A be a subset of X , the

membership of each x_i to A is viewed as a function $\mu_A(x_i)$ from X onto $\{0,1\}$ such that:

$$\mu_A(x_i) = 1 \text{ iff } x_i \in A, \mu_A(x_i) = 0 \text{ otherwise} \quad (1)$$

If the μ_A takes values in the real interval $[0, 1]$, A is called a fuzzy set, while μ_A is the grade of membership of x_i in A . A has no sharp boundaries, as shown at Fig. 2, where five intensity related membership functions are defined. Algebraically, A may be expressed as

$$A = \{(x_i, \mu_A(x_i)), x_i \in X \text{ and } \mu_A(x_i) \in [0,1]\} \quad (2)$$

One defines the *support* of a fuzzy set A as the subset of X such as

$$Supp A = \{x_i \in X, \mu_A(x_i) > 0\} \quad (3)$$

The α -cut of a fuzzy set A is defined as

$$A_\alpha = \{(x_i, \mu_A(x_i)), x_i \in X \text{ and } \mu_A(x_i) \geq \alpha\} \quad (4)$$

A_α can be used to reduce the overlapping zones.

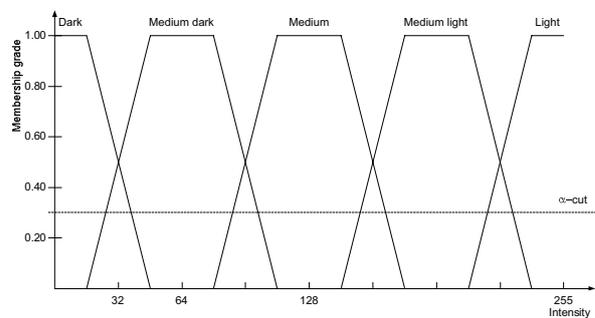
C. Speckle signal processing procedure concept

Most of the descriptors used for the activity monitoring [16] using dynamic speckle, require a large amount of images, sometimes involving pre-processing before being processed at regular intervals. Most implementations are based on programs running on general purpose processors; so, they generally cannot be carried out in real time when significant activity, involving a great number of images, is dealt with. Special purpose devices are then of interest when real time process is a must.

As seen in section 2.A the dynamic speckle *activity index AI* characterizes the dynamics of the illuminated sample. It is computed, from the quantity of granules Q_{Nf} generated along each THSP, in Nf instances of intensity observations, as:

$$AI = Q_{Nf}/Nf \quad (5)$$

Figure 2. Fuzzy sets and membership functions



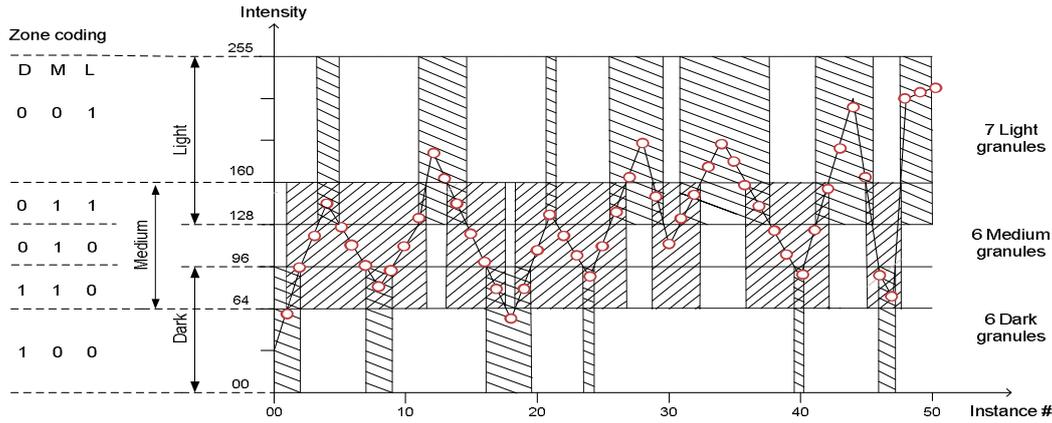


Figure 3. Typical THSP granules diagram

In speckle image processing, the speckle intensity evolution can be seen as temporal granulation [5], where levels of brightness are merged.

In the applications at hand only gray-scale images are considered. Each pixel of the pattern is given an intensity value between 0 (black) and 255 (white). Images from the camera are coded and transmitted through registers associated to the matrix of pixel addresses with correlated intensities. The signals, generated by the pixel intensity changes through the sequence of images, are processed with the finality of identifying underlying activity. This can be modeled with the use of fuzzy granular computing (see section 2.B).

This activity index concept has shown good performances to identify both stationary and non-stationary dynamics, in a wide statistical sense. On a first approach, fuzzy membership functions are defined for three fuzzy sets *dark*, *medium*, and *light*; the selected intensity parameters of the fuzzy functions are obtained through the observation of the gray-level histogram of the first image in the image sequence. Then trapezoidal functions with media overlapping are adopted. In order to detect image contrast effects, membership functions are defined in such a way that equal numbers of elements would belong to each fuzzy set. To control the activity transformations in real time, the activity index must be recalculated at every instant when a new image is captured, taking into account the number of accumulated granules and the current membership functions values.

For a given pixel, the THSP may be graphically represented as a set of instances with the associated pixel intensity as registered by the camera, this defines the X signal. Each granules of the X signal is defined as a continuous time sequence of elements belonging to the same fuzzy set. As fuzzy sets are overlapping, such will be the case for the granules. Fig. 3 shows a typical THSP with 3 overlapping main zones tagged *dark*, *medium* and *light*, generating two overlapping zones tagged *medium-dark* and *medium-light*. The example of Fig. 3 illustrates 50 instances creating 19 granules.

D. Computing activity indexes

Considering the general case of R main intensity zones, 0 to $R-1$, one defines a coding system using R bits $x_{R-1}, x_{R-2}, \dots, x_0$; zone k code will be set to $x_k = 1, x_{i \neq k} = 0$, while overlapping zone $k \cap k+1$ will be assigned code $x_k = x_{k+1} = 1, x_{i \neq k, k+1} = 0$. Fig. 3 shows the coding for three main zones. The *activity index* AI is readily computed as the ratio of the quantity of granules Q_{Nf} and the quantity of instances Nf (5). Let the vector $x_{R-1}(i) x_{R-2}(i) \dots x_0(i)$ be the coded intensity of a given pixel at instance i , and let Nf be the quantity of instances in the THSP of a given pixel p . The quantity of granules Q_{Nf} may be computed as

$$Q_{Nf}(k) = \sum_{i=0 \rightarrow Nf} (x'_{R-1}(i) \wedge x_{R-1}(i+1) + x'_{R-2}(i) \wedge x_{R-2}(i+1) + \dots + x'_0(i) \wedge x_0(i+1)), \quad (6)$$

where $x_{R-1}(0) x_{R-2}(0) \dots x_0(0)$ is set to (0 0 ... 0) to cope with the first THSP granule(s). Without ambiguity, Σ and $+$ stand for the arithmetic integer sum, while symbols $'$ and \wedge stand for the Boolean complementation and the Boolean AND respectively.

Clearly, whenever bit $x_j(i)$ changes from 0 to 1 at instance $i+1$, an integer 1 is added to the sum in (6), as a new granule is detected in the THSP.

The data sources (images) consist of Nf frames of $N_p = N_r \times N_c$ pixels with their respective intensity values. N_r and N_c are the respective quantities of rows and columns of each frame.

The activity index of a given pixel k is computed according to (6). The average activity index AI_a will be computed as

$$AI_a = \sum_{k=1 \rightarrow Np} Q_{Nf}(k) / (Nf \times Np) \quad (7)$$

III. ACTIVITY COMPUTATION ALGORITHM AND MEMORY REQUIREMENTS

The following algorithm consists of 3 steps. The first two steps are actually preset procedures: the first step sets the intensity histogram; the second step computes the actual intensity region limits, featuring a balanced distribution of pixels in each region. The third step computes granules quantities and activity indexes.

A. Gray-level histogram set-up.

Intensity values are between 0 and 255, 8 bits are used. The first captured frame is taken as data for this phase, so $N_p = N_r \times N_c$ pixels are involved. For counting purposes, 256 bin-registers are defined, one bin for each intensity value. The *gray-level histogram* is built up as a 256-word vector h . Word $h(i)$ is formed by the amount of pixels with intensity i . In short, for every pixel with intensity i in the frame, one unit will be added in the i^{th} bin. The following pseudo-language program builds up vector h

```
{Histogram computation (result in h) from the
first (Nr*Nc)-pixel image}
{The gray-level histogram, h, has 256 bins}
h(i)=0 for all i in [0,255]
for i in 0 to Nr-1 do
  for j in 0 to Nc-1 do
    h (pixeli,j) := h (pixeli,j) + 1
  end for
end for
```

where $pixel_{i,j}$ stands for the intensity value captured from the image.

B. Region limits computation

The next step is the computation of the membership function parameters. The R functions are overlapping trapezoids generating $2R-1$ regions or zones (Fig. 2), then two values are necessary to define the region limits; this holds for each function but for the rightmost and leftmost ones which need only one. Those limit values are in $[0, 255]$. The left limit of the leftmost region is 0 and the right limit of the rightmost region is 255. Now, the regions are defined in such a way that an (closest to) equal number of pixels would belong to each region. Therefore, the gray-level histogram is used as input for the region limits assignment. For this purpose, a bin look-up procedure is carried out adding bin stored values from bin 0 on, up to the point when the accumulated sum is the closest to

$$N_m = N_p / (2R-1) \quad (8)$$

Let bin k be the last one to be included in the first counting, k will be the upper limit of the first region and $k+1$ the lower limit of the next region. This process is then repeated from bin $k+1$ up to the point when the accumulated count would be the closest to N_m . Fig. 2 displays 9 regions ($R=5$) quite regular as the intensity ranges have been assumed to be equal for all regions. In the case of setting the ranges according to the pixel distribution, the geometry would most often be unbalanced as the intensity intervals (defined as the supports of fuzzy sets)

would be no more standard. The following pseudo-language program computes the region limits.

```
{Region limits (regionk) computation}
{R is the number of overlapping membership
functions generating 2*R-1 regions}
{The range of intensity values [0,255] is
partitioned in such a way that a similar
number of elements could be included in each
one of the 2*R-1 regions}
{region0 := 0; region 2*R-1 := 255}
Nm := Np/(2*R-1) {Nm: #pixels_in_each_region}
sp := 0; i := 0 {auxiliary}
for k in 1 to 2*R-2 do
  while (sp < Nm*k) do
    sp := sp + h(i)
    i := i + 1
  end while
  regionk := i
end for
```

C. Granular computing.

At the granular computing stage all the N_p THSP signals are sequentially built up and analyzed to weigh up activities. The pixels are coming from the camera in a serial way, i.e. the first N_c pixels from the first row and so on, up to the N_r^{th} row; thus an iterative algorithm is proposed. For each incoming pixel (with intensity data), the membership function value is computed and compared to the previous value for this same pixel. The most intuitive method would first determine the related intensity region through comparison of the pixel intensity code with the respective regions limits. Then, matching up to the pixel data at the preceding instance, up to two new granules can be detected and added to the counter. An alternative rests upon a preliminary implementation to achieve a functional mapping of the intensity code 8-bit vector onto a zone coding R -bit vector as defined at section 2.D. Further on, the occurrence of an eventual new granule is detected whenever, between two successive instances, the zone coding vector value changes in such a way that some bit 0 switches to 1. Due to the overlapping feature of the membership functions, up to two bits may switch at the same time, in this case two granules are added to the corresponding granule-counter (see sec. 2.D). The previous membership zone coding values for every pixel are stored in a memory-flag of $(N_r \times N_c)$ R -bit words. Actually, the following program computes formula (6). For this sake one defines the pseudo-Boolean operator

$$G_{i,j}(k+1) = (x'_{R-1}(k) \wedge x_{R-1}(k+1) + x'_{R-2}(k) \wedge x_{R-2}(k+1) + \dots + x'_0(k) \wedge x_0(k+1)), \quad (9)$$

associated without ambiguity to zone coding vector (i,j) : $x_{R-1}(k+1), x_{R-2}(k+1), \dots, x_0(k+1)$.

```
{Activity index computation, results in Gri,j}
{Nf is the number of Np-pixel frames (=2b)}
fi,j = 0 for all i in [0, Nr], j in [0, Nc]
{One Granule counters per pixel}
k := 0
while k <= Nf-1 do {Current frame}
  for i in 0 to Nr-1 do {Current frame row}
```

```

for j in 0 to Nc-1 do {Current frame
column}
  {granules counting}
  compute Gi,j(k+1)
  fi,j := fi,j + Gi,j(k+1)
  Gri,j:= fi,j/(k+1)
end for
end for
end while

```

D. Memory requirements

- Granules counters

$N_p = (N_r \times N_c)$ granules counters are needed to cope which every pixel activity monitoring. This involves a memory requirement of

$$G_{count} = N_p \times L \tag{10}$$

where L stands for the register-cell size. As the maximum quantity of instances (frames) is $N_f = 2^b$, b bits are required for L . Actually, $b-1$ bits are enough to count from 0 up to 2^b-1 , but two granules could be involved at each counting step (for the overlapping feature), so an extra bit is needed.

- Histogram set-up

Assuming intensity values in $[0, 255]$, 256 bin-memory registers are needed to store quantities in $[0, N_p]$. The bit size memory requirement is given as

$$H_{count} = 256 \times \log_2 N_p \tag{11}$$

- Zone-code memory flags

At each new instance, the pixel intensity (expressed by a zone-code flag) has to be matched to the flag of this same pixel at the preceding instance. So flags have to be stored and this require the following amount of memory

$$F_{mem} = R \times N_p \tag{12}$$

where R stands for the quantity of main intensity zones.

IV. PERFORMANCES AND TIME COMPARISONS

High level software have been used to implement the fuzzy granular algorithm; a typical average time to process 128 instances for 6 THSP samples, using **Matlab**® software in a personal desktop computer, is 0.01 sec., as reported in [5]. As an order of magnitude, one can assume that high level software's would process 100 instances of (512 x 512)-frames, in 500 to 600 sec. range time delays.

Table 1 shows the experimental results carried out on FPGA platform Xilinx® Virtex-6 (xc6vlx130t ff484 -3). The first column has image sizes. The minimum time period, t_p , the number of flip-flops, the number of slice-LUTs, and the number of RAM blocks (RAMB36E1+RAMB18E1) are shown for THSPs of 64 and 128 instances. Considering a

latency of 10 clock cycles for 8-bit precision activity indexes, it is clear that this implementation can be used for very challenging real-time applications.

	#inst	64	128
128x128	t_p (ns)	5.07	5.67
	#ff	331	331
	#LUT	386	396
	#RAMB	4+3	5+2
256x256	t_p (ns)	6.79	7.49
	#ff	319	339
	#LUT	405	416
	#RAMB	20+1	22+1
512x512	t_p (ns)	10.05	10.34
	#ff	329	349
	#LUT	412	426
	#RAMB	80+1	88+1

Table 1. FPGA Results

Note that the required memory for the biggest images consumes only 33% of available resources in the selected device, one of the smallest in the Virtex-6 family. Although area and time results enable real-time applications, significant progress is expected through optimization of algorithms and related implementations.

V. CONCLUSIONS

The main feature of the Fuzzy Granular algorithm is the smaller amount of image sequences required to process the THSP compared with other methodologies [5]. As a field of application, this fast embedded algorithm could be addressed to the analysis of drying time of specific film coatings in an automated manufacturing process.

Furthermore for other applications, where time could be a critical factor, real time processing could be a must. For this purpose, FPGA implementations provide low cost handy solutions whose performances could be a key feature. The concepts of this paper will be explored further according to some specific applications. Within precise sets of constraints, explicit values of hardware and time consumption will be readily defined.

VI. ACKNOWLEDGEMENTS

This work was partially supported by FASTA University investigation projects fund, of Mar del Plata, and by the Agencia Nacional de Promoción Científica y Tecnológica, Argentina, through Project PICT-2009-0041.

VII. REFERENCES

- [1] Amalvy, J., Lasquibar, C., Arizaga, R., Rabal, H., Trivi, M. (2001), Application of dynamic speckle interferometry to the drying of coatings, *Prog. Org. Coat.* 42, 89-99.
- [2] Arizaga, R., Cap N., Rabal, H. J., Trivi, M. (2002). Display of local activity using dynamical speckle patterns. *Optical Engineering*, 41, 287-294.
- [3] Arizaga, R., Grumel E., Cap, N., Trivi, M., Amalvy, J., Yepes, B., Ricaurte, G. (2006), Following the drying of spray paints using space and time contrast of dynamic speckle, *J. Coat. Technol.* 3(4), 295-299.
- [4] Faccia, P., Pardini, O., Amalvy, J., Cap N., Grumel, E., Arizaga, R. and Trivi M. (2008) Differentiation of the drying time of paints by dynamic speckle interferometry. *Prog.Org.Coat.* In Press doi:10.1016/j.porgcoat.2008.07.016
- [5] Dai Pra, A., Passoni, L., Rabal, H. (2009), Evaluation of laser dynamic speckle signals applying granular computing, *Signal Process.* 89 (2009) 266-274.
- [6] Dai Pra, A., Passoni, L., Rabal, H. (2009), Fuzzy Granular computing and Dynamic Speckle Interferometry for the identification of different thickness of wet coatings, *Infocomp Journal of computer science*, vol. 8-4, dec. 2009, pp.45-51.
- [7] Brunel, L., Brun, A., Snabre, P. (2006) Microstructure movements study by dynamic speckle analysis. In *Speckle'06: Speckles, from grains to flowers*, edited by P.Slangen, C. Cerruti. Proc. of SPIE. 6341 doi 10-1117/12695493.
- [8] Xilinx Inc., Virtex-6 user guide, <http://www.xilinx.com>, 2010.
- [9] Murialdo Silvia E., Gonzalo H. Sendra, Lucia I. Passoni, Ricardo Arizaga, J. Froilán Gonzalez, Héctor Rabal and Marcelo Trivi, "Analysis of bacterial chemotactic response using dynamic laser speckle", *J. Biomed. Opt.* 14, 064015 (Nov 19, 2009); doi:10.1117/1.3262608
- [10] Braga, R., Dal Fabbro, I., Borem, F., Rabelo, G., Arizaga, R., Rabal, H., and Trivi, M. Assessment of Seed Viability by Laser Speckle Techniques. *Biosystems Engineering.* v. 86(3), p. 287-294, 2003.
- [11] Pajuelo, M., Baldwin, G., Rabal, H. Cap, N., Arizaga, R., Trivi, M. Biospeckle assessment of bruising in fruits, *Optics and Laser in Engineering*, v.40, p.13-24, 2003.
- [12] Oulamara, A., Tribillon, G., Duvernoy, J. Biological activity measurements on botanical specimen surfaces using a temporal decorrelation effect of laser speckle, *Journal of Modern Optics.* v. 36, p. 165-179, 1989.
- [13] Rabal H. & Braga Jr. R. *Dynamic Laser Speckle and Applications*. CRC Press. 2008.
- [14] Pedrycz, W. (2001) *Granular computing: An emerging Paradigm*, Physica-Verlag.
- [15] Zadeh, L.A. (1970). "Toward a theory of fuzzy information granulation and its centrality in human reasoning and fuzzy logic" *Fuzzy sets and system*, 90, 111-127
- [16] Zadeh, L.A. (1965). *Fuzzy Sets. Information and Control*, 8, 338-353

Sistema de control de luz a partir de comandos de voz usando RNA

Sergio Velásquez, Efraín Oviedo, Claudia Isaza
sergiovr12@gmail.com, eaoc46@gmail.com, cisaza@udea.edu.co
Departamento de Ingeniería Electrónica, Universidad de Antioquia
Medellín - Colombia

Resumen—En este artículo, se presenta un sistema que permite controlar, por voz, la intensidad de luz de una lámpara. Éste sistema tiene la característica de no requerir hardware especializado permitiendo un bajo costo de implementación. Para el reconocimiento de voz se realiza una comparación del desempeño usando máquinas de soporte vectorial y redes neuronales, de tipo perceptron y de base radial. Para verificar la generalización de cada alternativa, se utiliza la técnica de *cross validation*. El sistema es capaz de reconocer cuatro comandos de voz pronunciados por personas de cualquier género y edad, y el objetivo es ejercer el control de intensidad de luz de una lámpara.

Palabras clave- Reconocimiento de voz; Redes Neuronales; Máquinas de soporte vectorial; Control de intensidad lumínica; Domótica.

I. INTRODUCCIÓN

La domótica es un área de interés puesto que es útil para proveer comodidades, seguridad, entretenimiento, entre otros aspectos, que contribuyen a mejorar la calidad de vida de las personas. Se define como el conjunto de soluciones que, usando las técnicas y tecnologías disponibles, logran una mejor utilización, gestión y control de todos los aspectos relacionados con la vivienda [1]. Dentro de las aplicaciones en esta área se encuentra el control de alarmas, control de apertura y cierre de persianas, además del control de la intensidad de luz de las lámparas. Es precisamente en este último tema donde se centra éste artículo, se presenta un sistema capaz de controlar la intensidad lumínica de una lámpara mediante la voz humana.

El reconocimiento de comandos de voz le permite al hombre comunicarse, de una manera sencilla, con las máquinas [2]. Este tema ha sido motivo de estudio en múltiples ocasiones. Ramírez presenta, en 2008, un sistema que está en capacidad de reconocer una palabra pronunciada por un mismo usuario [3], en este estudio se utilizan las Redes Neuronales ([4, 5, 6]) como técnica de reconocimiento. Usando esta misma técnica, Moreno et al, propone un sistema que permite reconocer tres palabras distintas, pronunciadas por un mismo hablante [7]. También se han diseñado sistemas de reconocimiento de voz para identificar las vocales [8] y los números del 1 al 5 [9].

En la actualidad existen sistemas domóticos que permiten controlar la intensidad lumínica de una lámpara mediante

aplausos, control remoto, pantalla táctil, internet, línea telefónica, entre otros.

En los estudios mencionados anteriormente, se han obtenido resultados óptimos, pero el objetivo no ha sido el reconocimiento de una palabra pronunciada por cualquier persona, lo cual es necesario para aplicaciones de domótica. La propuesta presentada en este artículo permite identificar cuatro comandos de voz pronunciados por personas de cualquier sexo y edad; esto implica que no se reconoce una voz o un grupo de voces en particular. Por tratarse de una aplicación que va a ser usada por todos los miembros de una casa, el sistema está en capacidad de responder asertivamente a la voz de cualquier persona incluso si no ha participado anteriormente en el proceso de recolección de muestras.

El documento se divide en las siguientes secciones: en la sección II se explica el tratamiento que hecho a la señal de audio, en tiempo y en frecuencia, antes de realizar el entrenamiento del sistema clasificador; la sección III es dedicada al sistema clasificador, se compara el desempeño de dos tipos de redes neuronales, redes de base radial RBF y perceptron; también se comentan los resultados usando máquinas de soporte vectorial SVM; la sección IV presenta los componentes de software y hardware necesarios para el funcionamiento del sistema. En la sección V se presentan los resultados obtenidos del prototipo implementado y finalmente, la sección VI es dedicada a las conclusiones y perspectivas.

II. TRATAMIENTO SEÑAL DE AUDIO

Para controlar la intensidad de luz de la lámpara se escogieron cuatro comandos básicos que el usuario podrá dictar y el sistema debe estar en capacidad de reconocer. Dichos comandos son: Encender, Apagar, Subir, Bajar.

El comando encender, permite prender la lámpara al 100%, el comando apagar permite apagar la lámpara por completo, y los comandos subir y bajar realizan un cambio equivalente al 25% en el nivel de intensidad actual.

Cuando una palabra es pronunciada, se guarda usando una tarjeta de sonido. La frecuencia de grabación utilizada influye en la calidad de las muestras y en la cantidad de datos que se tienen para determinar el comando pronunciado. La grabación se realizó con una frecuencia de muestreo relativamente alta (44.1KHz) y posteriormente se le aplicaron varios filtros para

analizar la cantidad de componentes de la señal que se pierden al bajar la frecuencia de muestreo.

En el pretratamiento de las muestras de audio en el dominio del tiempo, se aplica un filtro pasa bajas a una frecuencia de 4KHz de los archivos remuestreados a 8KHz, para conservar solo los elementos representativos de la voz. También se hace un recorte de los archivos de audio eliminando los silencios más prolongados.

Una comparación de una muestra de audio, antes y después de aplicarle los cambios anteriormente mencionados, se presenta en la Figura 1.

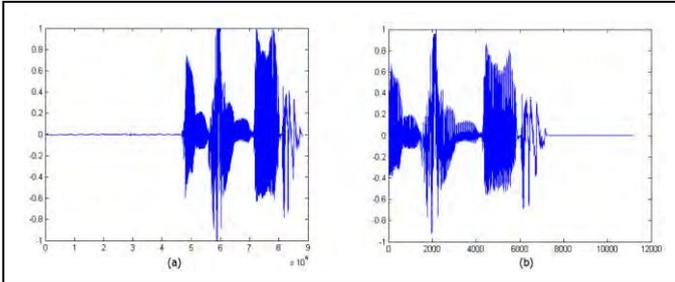


Figura 1. Comparación entre archivos de audio original y modificado (3.a. original; 3.b. modificado)

En la figura 1 se observan tres aspectos interesantes: se desplaza la señal para eliminar un silencio largo que se observa al principio, se normaliza la amplitud entre (-1,1), y la señal resultante se completa con ceros con el fin de que todas las señales tengan igual número de componentes.

El pretratamiento en frecuencia consiste en obtener el espectro de la señal utilizando el método de Welch [10]. Este método permite encontrar la representación en el dominio del tiempo de una señal temporal, utilizando para ello la transformada rápida de Fourier; en los estudios anteriores sobre reconocimiento de comandos de voz ([7,12]) se recomienda utilizarlo por su buen desempeño. En la aplicación de éste método se realiza el solapamiento de segmentos en búsqueda de disminuir la varianza. Adicionalmente se utilizan ventanas a las que se les aplica la transformada discreta de Fourier para formar los descriptores del sistema clasificador [7]. Utilizando éste método pueden manipularse los datos en términos de resolución y varianza, permitiendo eliminar datos innecesarios.

Para obtener un periodograma modificado por cada secuencia que se tiene en una ventana de tiempo predefinida se usa la ecuación 1. Donde $w(n)$ es la ventana, $x_i(n)$ es la secuencia de datos (señal de voz) que se tiene en cuenta en la ventana, L es la longitud de la secuencia y U se describe en la ecuación 2. El proceso de *eventanado* se refiere a aplicar a la señal de voz (multiplicar) una función limitada en el tiempo conocida como ventana, de esta manera se puede realizar un análisis localizado.

$$\hat{S}_M^{(i)}(e^{jw}) = \frac{1}{LU} \left| \sum_{n=0}^{L-1} w(n)x_i(n)e^{-jnw} \right|^2 \quad (1)$$

$$U = \frac{1}{L} \sum_{n=0}^{L-1} |w(n)|^2 \quad (2)$$

La transformada Welch, se obtiene mediante el promedio de los periodogramas modificados, como se observa en la ecuación 3. K es el número de secuencias.

$$\tilde{S}_w(e^{jw}) = \frac{1}{K} \sum_{i=0}^{K-1} \hat{S}_M^{(i)}(e^{jw}) \quad (3)$$

En total, para cada palabra pronunciada, se obtienen 50 valores, los más significativos, para cada comando, que corresponden a las entradas del sistema clasificador. Cada palabra tiene un patrón de señal que permite diferenciarlo de los demás. En la figura 2 se presenta el patrón en frecuencia de cada uno de los comandos a reconocer, indicando el lugar donde se estima que se encuentran representadas cada una de las letras.

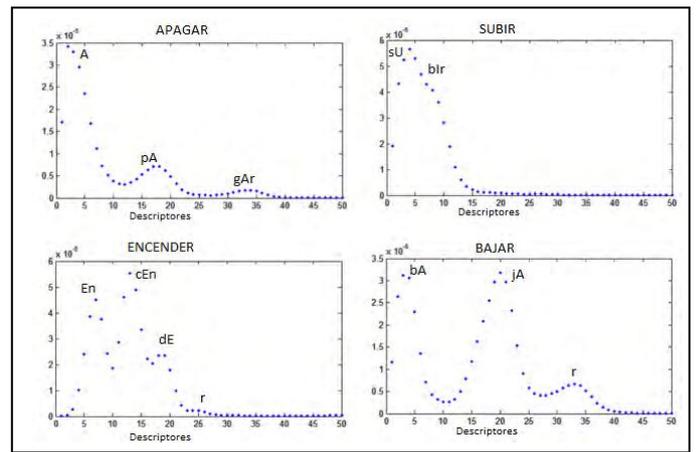


Figura 2. Patrones en frecuencia.

III. SISTEMA DE RECONOCIMIENTO DE VOZ

En esta sección se presentan los algoritmos probados con el fin de obtener un sistema de reconocimiento de voz robusto. En cada subsección se presentan los resultados obtenidos con cada algoritmo de reconocimiento de patrones que se utilizó.

A. Redes Neuronales

Una red neuronal artificial es un modelo que busca aproximarse al comportamiento de las neuronas biológicas, pueden aprender a diferenciar patrones con el fin de solucionar problemas complejos [6]. Cada neurona de la red se modela como un nodo que tiene diferentes entradas y una salida. Cada entrada de la neurona es ponderada por un peso. La salida de la neurona se calcula al evaluar, la sumatoria de las entradas (vector x_i) ponderadas por sus respectivos pesos (vector w_i), en una función de activación, proceso descrito en la ecuación 4.

$$y = F\left(\sum_i w_i \cdot x_i\right) \quad (4)$$

Los pesos son calculados por el algoritmo de entrenamiento de la red neuronal. Para esto, es necesario contar con datos históricos que ayudan a que el sistema identifique los patrones que luego, con datos no presentados anteriormente, debe reconocer. Al ajustar los pesos se busca que la salida de la red sea la esperada en todas las muestras, o en la mayoría de ellas, de tal forma que después de realizado el entrenamiento, la red deberá estar en capacidad de tener en la salida el valor esperado para una muestra totalmente nueva.

En el diseño de una red neuronal se distinguen dos etapas. La primera es la etapa de entrenamiento que permite escoger la estructura de la red, es decir, ajustar el número de capas y de neuronas por capa, además se encuentran los pesos óptimos. La segunda es la etapa de prueba que verifica la generalización del sistema.

Como se requiere reconocer comandos pronunciados por cualquier persona, independiente de su sexo o edad, es necesario incluir en los datos históricos audio de niños, adolescentes, jóvenes, adultos y personas de la tercera edad, de ambos sexos.

Para cumplir con lo anterior, se propone en la tabla I la distribución de los grupos de edades seleccionados para la recolección de muestras, buscando una mejor distribución para el aprendizaje. Los grupos mostrados en la tabla I, se establecieron tanto para hombres como para mujeres. Cada persona repitió 5 veces cada uno de los comandos a reconocer, de modo tal que por una sola persona se tienen 20 grabaciones.

TABLA I. CLASIFICACIÓN DE PERSONAS PARA RECOLECCIÓN DE MUESTRAS

Grupo	Rango de edad
1	Menores de 12 años
2	Entre 12 y 24 años
3	Entre 24 y 40 años
4	Mayores de 40 años

La estructura de la red neuronal usada para solucionar este problema consta de 50 descriptores (entradas, correspondientes a los valores tomados de la transformada de Welch) y 4 salidas.

Las entradas corresponden al resultado del pretratamiento, sección II, donde se obtienen las características más importantes de las muestras de audio. Las salidas se codifican para representar cada palabra, tal como se presenta en la tabla II.

TABLA II. VALORES DE LAS SALIDAS DE LA RED NEURONAL

Comando	Salida 1	Salida 2	Salida 3	Salida 4
Encender	1	0	0	0
Apagar	0	0	0	1
Subir	0	1	0	0
Bajar	0	0	1	0

• *Péceptor con entrenamiento backpropagation*

Entre los algoritmos de entrenamiento usados en redes neuronales [11], uno de los más utilizados para aplicaciones de reconocimiento de voz es el *backpropagation* ([12], [13]). El

entrenamiento mediante algoritmo *backpropagation* consiste en escoger aleatoriamente un dato para entrenar la red, al igual que los pesos de cada entrada para cada una de las neuronas, así se obtiene la salida de cada neurona, esta salida se propaga a través de las siguientes capas hasta generar la salida de la red neuronal; este resultado se compara con la salida deseada generando un error. El proceso siguiente es propagar hacia atrás dicho error para actualizar los pesos de las neuronas; este procedimiento se repite hasta que se cumpla una condición de parada.

Para encontrar la estructura de la red neuronal que presente el mejor resultado, se realizan diversos procesos de entrenamiento: variación de la tasa de entrenamiento (μ), de la cantidad de neuronas de cada capa, cantidad de capas ocultas, criterios de parada, etc.

Con la ayuda de las herramientas de MatLab se realizaron diferentes pruebas y configuraciones buscando el menor error en entrenamiento. Con entrenamiento de tipo *backpropagation*, se obtuvieron aciertos superiores al 90%, a partir de 5 neuronas en la capa oculta. Se intentó mejorar el resultado aumentando neuronas y capas pero no se presentaron resultados significativos. En la tabla III se muestra el resultado de la variación del número de neuronas en la capa oculta realizando entrenamiento de tipo *backpropagation*.

TABLA III. VARIACIÓN DE NEURONAS EN LA CAPA OCULTA

Nº neuronas en la capa oculta	Error entrenamiento	Error prueba
5	2.9%	18.6667%
6	4%	18.3333%
7	24%	33.6667%
8	2.9%	18%
9	2.1%	19.3333%
10	1.7%	15.6667%
15	3.1%	19.3333%
20	2.4%	18.3333%
25	26.4%	38.6667%

• *Redes neuronal de Base Radial*

Las funciones de base radial se caracterizan porque su salida depende de la distancia a un punto denominado centro, estas funciones son simétricas respecto a $x=0$.

Las neuronas de la capa oculta reciben las señales de la capa de entrada y realizan una transformación local sobre dichas señales. Esta transformación es realizada por la función de base radial. Cada elemento de la capa oculta representa una clase o categoría determinada por (c_i, d_i) , donde c_i es el centro del grupo interpretado como los pesos asociados a cada neurona i , y d_i representa la desviación o ancho de la función de base radial.

La salida de cada neurona de la capa oculta, consiste en aplicar una función de base radial al resultado de calcular la distancia entre la entrada y el centro de la función y ponderar este valor con $1/d_i$ (ecuación 5).

$$z_i(n) = \left(\frac{\sum_{j=1}^p \sqrt{(x_j(n) - c_{ij})^2}}{d_i} \right) \tag{5}$$

Donde z_i es la salida de la neurona i , y x_j representa a las p entradas de la neurona i . La función de base radial más utilizada es la gaussiana descrita en la ecuación 6.

$$\varphi(r) = e^{-\frac{r^2}{2}} \quad (6)$$

Con una red neuronal de base radial se obtuvo mejor resultado al usar 50 neuronas en su capa de entrada, 10 en la capa oculta y 4 en la de salida. Los aciertos en la etapa de entrenamiento fueron cercanos al 86% y en prueba 80%.

B. Máquinas de soporte vectorial

Las máquinas de soporte vectorial SVM (por sus siglas en inglés, *Support Vector Machine*) es una técnica de clasificación relativamente nueva que ha mostrado ser muy efectiva en problemas de clasificación binaria (dos clases) [10].

Esta técnica consiste en realizar una transformación del espacio de las entradas del sistema, a un espacio de dimensión superior donde se tiene la representación lineal de un sistema no lineal. Esto facilita la clasificación. Con el objetivo de obtener la representación de los datos originales en un espacio lineal, se utiliza una función conocida como *kernel*.

La capacidad de generalización de las máquinas de soporte vectorial se basa en el principio de minimización de riesgo estructural (SRM) que depende de un parámetro llamado dimensión VC, el cual se puede optimizar al mismo tiempo que se obtiene el menor error de entrenamiento [5].

En el entrenamiento lo que se busca es maximizar la distancia entre los datos y el hiperplano que los separa, esto se logra maximizando la función de costo $Q(\alpha)$ (ecuación 7).

$$Q(\alpha) = \sum_{i=1}^N \alpha_i - \frac{1}{2} \sum_{i=1}^N \sum_{j=1}^N \alpha_i \alpha_j d_i d_j K(x_i, x_j) \quad (7)$$

Donde N es el número de muestras (número total de datos), α son los multiplicadores de LaGrange, d es la salida correspondiente al subíndice (i o j) y K es la función *kernel*, ésta última es seleccionada por criterio de quien soluciona el problema.

Para entrenar el sistema usando máquinas de soporte vectorial, se probaron tres tipos de funciones *kernel*, a saber, lineal, polinómica y gaussiana. Con el lineal y el polinómico se obtuvieron errores de entrenamiento superiores al 60% y por más que se ajustaron los parámetros de cada uno de ellos no fue posible disminuir dicho error.

Con el *kernel* gaussiano el error de entrenamiento disminuyó considerablemente, y al realizar un ajuste de cada uno de los parámetros de entrenamiento, propios de este tipo de *kernel*, se obtuvo un error de entrenamiento de 2.67%. Sin embargo el error de prueba se mantuvo por encima del 60%.

Lo anterior permite afirmar que el sistema se sobre-entrena y no logra la generalización, pues al ingresarle datos que no han participado en la etapa de entrenamiento, se presentan muchos errores. Para comprobar esto, se realizaron dos pruebas más.

La primera de las pruebas consistió en entrenar el sistema con todos los datos disponibles (1300), como resultado se obtuvo un error de 2.92%. Esto muestra que el sistema tiene la capacidad de adaptarse muy bien a los datos que son presentados en la etapa de entrenamiento.

La segunda prueba consistió en entrenar con 130 datos (los datos usados normalmente en el conjunto de prueba) y realizar la etapa de prueba con 1170 datos (los datos normalmente usados para entrenamiento). Como resultado se obtuvo un error de entrenamiento de 0% y un error de prueba superior al 60%.

Las pruebas realizadas demuestran la capacidad del sistema de adaptarse a los datos de entrenamiento, y la dificultad para realizar generalización.

IV. SISTEMA DE CONTROL DE INTENSIDAD DE LUZ

El sistema para control de intensidad de luz que se propone se representa con el esquema de la Figura 3. Se observa que el sistema se constituye de 6 etapas básicas, captura de muestras, pre tratamiento en tiempo y frecuencia, reconocimiento de voz, que de acuerdo a los resultados presentados en la sección anterior se realiza con una RNA tipo pércptron multicapa, después viene una etapa de comunicaciones que permite transmitir el comando identificado y una etapa de potencia que regula, de acuerdo a la señal de control, la energía suministrada a la lámpara.

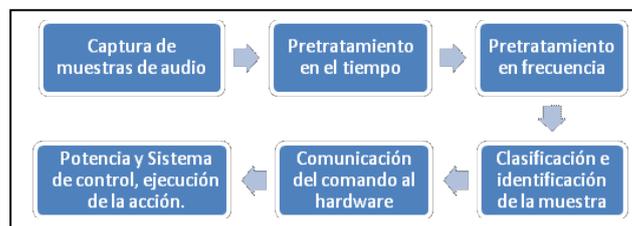


Figura 3. Diagrama de bloques del sistema

El hardware diseñado debe permitir la comunicación y regular la cantidad de energía que se le entrega a la lámpara. Lo anterior implica el diseño de: una fuente de alimentación, un sistema capaz de realizar comunicación con el computador y un circuito que permita regular la intensidad de luz de la lámpara. En la Figura 4 se presenta un esquema del hardware diseñado.

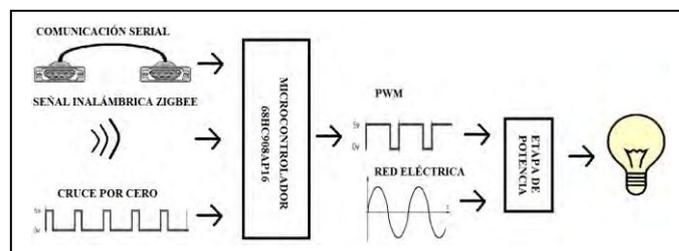


Figura 4. Esquema del hardware diseñado.

A. Comunicación

La comunicación consiste en enviar desde el computador una trama hacia el hardware externo, donde se informe cual fue el comando reconocido por la RNA. Para construir esta trama

se usaron 2 bytes, el primero de ellos es para indicar el inicio de la comunicación (I) y el segundo contiene la letra inicial de la palabra detectada (e=encender, a=apagar, s=subir, b=bajar).

El hardware diseñado permite fácilmente que la comunicación sea con cable o inalámbrica según la necesidad del usuario. En el primer caso se debe conectar un cable serial entre el computador y el hardware externo para establecer la comunicación. En el segundo caso se utiliza el protocolo ZigBee [14] basado en el estándar IEEE 802.15.4, el cual brinda seguridad en la comunicación y un bajo consumo de energía, ideal para el uso de la domótica.

Se decidió realizar la comunicación utilizando la tecnología Zigbee, basándose en la tabla IV, donde se comparan diferentes alternativas de comunicación.

Para establecer la comunicación inalámbrica mediante el protocolo ZigBee se requiere de dos dispositivos, uno de ellos se debe configurar como coordinador y conectarse al computador, este es el encargado de enviar la señal de información que contiene la acción a realizar sobre la lámpara; el segundo dispositivo se conecta al hardware externo y se configura como dispositivo final o como *router*.

TABLA IV. COMPARACIÓN ENTRE TECNOLOGÍAS DE COMUNICACIÓN INALÁMBRICA

Estándar	Ancho de banda	Consumo de potencia	Ventajas	Aplicaciones
Wi-Fi	Hasta 54 Mbps	400 mA transmitiendo 20 mA en reposo	Gran ancho de banda	Navegar por Internet, transferencia de ficheros
Bluetooth	1 Mbps	40 mA transmitiendo 0.2 mA en reposo	Interoperatividad (sustituto del cable)	Wireless USB, móviles, Informática casera
Zigbee	250 Kbps	30 mA transmitiendo 3mA en reposo	Batería larga duración. Bajo costo	Control remoto, sensores, juguetería

B. Detector de cruce por cero

En la figura 5 se observa en qué consiste la señal de cruce por cero. Mediante una comparación con un nivel DC, idealmente 0V, se determina el momento en que la señal de la red eléctrica cruza ese nivel. La señal de cruce por cero debe ir a la entrada IRQ (*Interrupt Request*) del microcontrolador para garantizar el sincronismo con la red eléctrica.

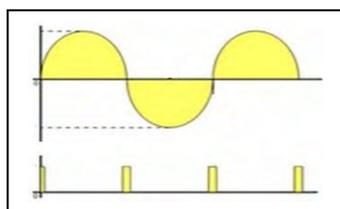


Figura 5. Detección del cruce por cero

C. Microcontrolador

El microcontrolador tiene dos entradas, una para la recepción del comando enviado por el PC, y otra para la interrupción de IRQ. La salida del microcontrolador es una señal PWM (*Pulse Width Modulation*) que permite el control de potencia de la lámpara.

La tarea del microcontrolador consiste en recibir, por puerto serial, la trama enviada desde el computador e interpretarla para establecer la forma de onda PWM que se entregará al circuito de potencia. Por el puerto IRQ ingresa una señal que determina en qué momento la señal de la red eléctrica cruza por cero, a partir de ésta se determina la configuración del PWM para garantizar el sincronismo con la red eléctrica. En este prototipo, se utiliza el microcontrolador 68HC908AP16 que es de bajo costo.

El algoritmo utilizado para el microcontrolador está orientado a la atención de eventos o interrupciones. El microcontrolador se mantiene en modo de bajo consumo mientras no reciba interrupciones, las cuales pueden darse, por el puerto IRQ o por el de comunicación serial. Una interrupción por comunicación serial recibe la trama enviada desde el PC, la interrupción por IRQ se utiliza para saber el momento adecuado, sincronismo con la red eléctrica, para actualizar el ángulo de conducción.

D. Etapa de potencia

La etapa de potencia incluye un sistema de opto acoplamiento para proteger el microcontrolador, y el circuito de potencia controlado por un TRIAC (por sus siglas en inglés *Triode for Alternating Current*). La señal de salida del microcontrolador corresponde a un determinado ángulo de conducción, de 0° a 180°, en función del comando reconocido y del estado actual de la lámpara, de tal modo que permite variar la cantidad de energía que se entrega a la lámpara como lo muestra la figura 6.

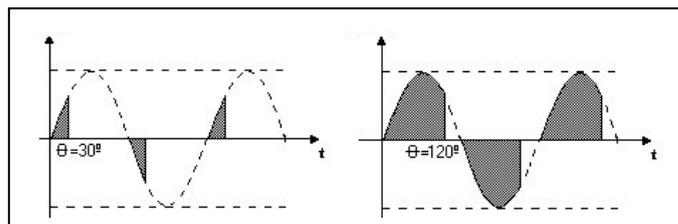


Figura 6. Ejemplos de la señal que alimenta a la lámpara

El control de potencia utilizado corresponde a la técnica de fase que manipula el ciclo útil de la señal de forma que entre mayor sea éste, mayor será la intensidad de luz [15].

V. RESULTADOS

El hardware diseñado para el funcionamiento del sistema, cumple con las especificaciones y el esquema ilustrados en la sección IV, y permite verificar el funcionamiento del sistema. A partir del entrenamiento se escoge una red neuronal de 10 neuronas en su única capa oculta y 4 en la de salida, con un acierto del 98.3% con los datos de entrenamiento (1170) y 84.4% en prueba (130).

Con el fin de validar los resultados de la red neuronal entrenada, se utilizó la técnica *k-fold cross-validation* [16], la cual consiste en dividir los datos en k particiones; para cada una de las cuales, se entrena la red con los datos de las $k-1$ particiones restantes y se realiza la prueba con la partición seleccionada. Particularmente se aplicó *10-fold cross-validation* es decir que el número de particiones en las que se dividen los datos es de 10. En la tabla V se presentan los resultados obtenidos al realizar esta validación.

TABLA V. RESULTADOS DE 10-FOLD CROSS-VALIDATION

Grupo	Error entrenamiento	Error prueba
1	3.5897%	14.6154%
2	2.1368%	19.2308%
3	1.2821%	16.9231%
4	3.5897%	16.9231%
5	1.7949%	16.1538%
6	3.5897%	18.4615%
7	2.7350%	14.6154%
8	3.0739%	11.5385%
9	2.4786%	18.4615%
10	5.0427%	14.6154%

Los resultados del *10-fold cross-validation* no difieren considerablemente respecto a la red seleccionada, mostrando que el sistema propuesto es capaz de generalizar.

VI. CONCLUSIONES Y PERSPECTIVAS

Se diseñó e implementó un sistema que permite reconocer, entre las palabras Encender, Bajar, Apagar y Subir, un comando de voz para controlar la intensidad de luz de una lámpara y responde a la voz de personas de diferente género y edad. Para la identificación del comando de voz se usa una RNA *perceptron* multicapa implementada en un computador, y la transmisión de la señal es inalámbrica usando la tecnología Zigbee. Este sistema se puede considerar un prototipo útil en aplicaciones de domótica.

Se comparó el desempeño de redes neuronales de base radial, *perceptron* multicapa con entrenamiento *backpropagation* y máquinas de soporte vectorial. El desempeño fue mejor para la red neuronal de tipo *perceptron* multicapa donde se demostró la generalización al utilizar la técnica *10-fold cross-validation*.

De los errores cometidos al identificar un comando de voz, se observó que la mayoría se presentan al pronunciar apagar y bajar esto se debe a las coincidencias fonéticas de dichas palabras. En la mayoría de los casos se tiende a pronunciar la primera *a* de apagar con un bajo volumen, lo que marca la similitud en las dos palabras mencionadas, con picos en el espectro para las dos a finales.

La orientación que se le da al sistema de reconocimiento de voz en este artículo es exclusivamente al área de la domótica, pero existen muchas otras áreas en las que se podría aplicar, debido a que la importancia real de este sistema está en

reconocer la voz de diferentes personas independiente del sexo y la edad. Incluso se probó el sistema usando como carga un ventilador obteniendo buenos resultados.

Los componentes de hardware funcionan correctamente y cumplen con las necesidades, sin embargo debe buscarse eliminar el computador como elemento de grabación e identificación del comando y reducir el tamaño del circuito de control. A futuro se buscará implementar las tareas del computador en un dispositivo de hardware compacto. Para el reconocimiento de comandos de voz, la red neuronal hace operaciones simples, de multiplicación y suma, y la evaluación de la función de activación. Siendo fácil de implementar en un microcontrolador. El reto principal se encuentra en la etapa de captura de la voz y la transformada que se le aplica, para esto puede utilizarse un procesador de señales o un microprocesador.

REFERENCIAS

- [1] CEDOM, "Instalaciones domóticas, cuaderno de buenas prácticas para promotores y constructores.", Segunda edición, Revista CEDOM, 2008.
- [2] José Luis O., "Algoritmos y Métodos para el Reconocimiento de Voz en Español Mediante Sílabas", Computación y sistemas, Vol. 9, 2006
- [3] Genoveva V. "SISTEMA DE RECONOCIMIENTO DE VOZ EN MATLAB," Universidad de San Carlos, 2008.
- [4] Simon H., Neural networks and learning machines, 3 ed. Prentice Hall, 2009.
- [5] José H., "Redes Neuronales Artificiales, Fundamentos, Modelos y Aplicaciones", Alfa Omega, 2000.
- [6] Andres N., "Redes Neuronales Artificiales", Universidad de la república, Uruguay, 2009
- [7] Ph.D. Cesar T. et al. "RECONOCIMIENTO AUTOMÁTICO DEL HABLA UTILIZANDO LA TRANSFORMADA DE FOURIER Y REDES NEURONALES.," Revista Colombiana de Tecnologías de Avanzada, vol. 2, 2005.
- [8] Germán M. et al. "Reconocimiento de comandos de voz con máquinas de soporte vectorial a través de bandas espectrales", Scientia et thechnique, Num.27, 2007.
- [9] Jorge M. et al. "Reconocimiento de comandos de voz usando la transformada wavelet y máquinas de vectores de soporte", Scientia et thechnique, Num.31, 2006.
- [10] "WELCH: PROMEDIADO DE PERIODOGRAMAS MODIFICADOS" [En línea].
<<http://physionet.cps.unizar.es/~eduardo/docencia/tds/librohtml/welch1.htm>> [consulta: 22 Enero 2011]
- [11] Luis B., "Entrenamiento de redes neuronales basado en algoritmos evolutivos", Universidad de Buenos Aires, 2005.
- [12] M.A. Acevedo et al. "Reconocimiento de Voz usando Redes Neuronales Artificiales Backpropagation y Coeficientes LPC." Sexto congreso internacional de computo en optimización y software, 2008.
- [13] Yves C. et al. Backpropagation: theory, architectures, and applications. Ed, 1, 1995
- [14] "Zigbee", [en línea] <<http://www.zigbee.org>> [consulta: 14 Octubre 2010]
- [15] Muhammad R., "Electrónica de potencia: circuitos, dispositivo y aplicaciones" Tercera edición, Pearson educación, México 2004.
- [16] Payam R. et al. "Cross - Validation", [en línea] <<http://www.public.asu.edu/~ltang9/papers/ency-cross-validation.pdf>> [consulta: 10 de octubre de 2010]

Síntesis e implementación en FPGA de un mapa caótico con PDF Gaussiana

L. De Micco y H. A. Larrondo

Departamentos de Física y de Ingeniería Electrónica
 Facultad de Ingeniería, Universidad Nacional de Mar del Plata,
 Mar del Plata, Argentina. - CONICET
 Email: {ldemicco, larrondo}@fi.mdp.edu.ar

Abstract—Los generadores de Ruido Blanco Gaussiano AWGN (Additive White Gaussian Noise) constituyen un insumo básico para la medición de los sistemas de comunicaciones digitales. En la actualidad existen varios métodos de generación de AWGN que parten de secuencias aleatorias con PDF (Probability Density Function) uniforme y requieren implementar en hardware operaciones complejas. En este trabajo se diseña e implementa en hardware un generador de ruido gaussiano basado en un mapa caótico. La ventaja radica en el hecho de que los sistemas caóticos deterministas son descriptos por ecuaciones alineales simples, y por lo tanto son sencillos de implementar en hardware. Para lograr que la secuencia generada presente la PDF deseada se sintetiza el mapa caótico, que será el corazón del sistema, mediante un método basado en la teoría de las matrices positivas. La calidad de las secuencias generadas es evaluada mediante cuantificadores de aleatoriedad. La implementación en hardware se realiza en una FPGA Cyclone III EP3C120F780C7, empleando la placa de desarrollo 3C120 Development Board de ALTERA.

I. INTRODUCCIÓN

El canal con ruido gaussiano es un standard en la evaluación de los sistemas de comunicaciones ya que constituye una buena aproximación a muchos canales reales. Los generadores de ruido gaussiano son entonces un elemento básico para la medición y prueba de los sistemas digitales. La mayoría de los métodos de generación propuestos parten de una serie temporal con histograma constante (PDF uniforme) [1]. Aplicando luego el algoritmo de Box-Muller o el método basado en el Teorema del límite central, se obtiene la serie temporal con PDF gaussiana. Un inconveniente para la implementación en hardware de estos algoritmos es que requieren la implementación de las funciones sinusoidal y logarítmica.

La implementación de sistemas caóticos es en general más simple que la de sistemas estocásticos, ya que el caos determinista se genera mediante ecuaciones no lineales sencillas. Por lo tanto, es natural que se procure utilizar señales caóticas como generadores de ruido (PRNG, Pseudo Random Number Generator) en aplicaciones en hardware. Las secuencias generadas por mapas caóticos ergódicos, luego de un transitorio (que depende de la propiedad de mixing del mapa), convergen a una única Función Densidad de Probabilidades Invariante (IPDF). Esta distribución, como también el parametro de mixing, están reflejados por el Operador de Perron Frobenius (PF) que depende de la estructura del mapa.

En este trabajo se implementó en hardware un mapa caótico con IPDF aproximada a gaussiana y constante de mixing

pequeña. La misma metodología empleada puede extenderse para implementar otros generadores, con PDFs arbitrarias, aproximadas por tramos.

II. CREACIÓN DE MAPA CAÓTICO CON IPDF PRE-ESPECIFICADA

La síntesis de mapas caóticos a partir de una densidad invariante deseada es un problema conocido como *el problema Inverso de Perron-Frobenius* (IFPP) [2]. En [3] se presenta una solución al IFPP, basada en la teoría de matrices positivas. Allí se utiliza una matriz estocástica, llamada matriz A , que describe la dinámica del mapa caótico. El autovector principal de la matriz A es la densidad invariante del mapa. Por lo tanto el IFPP se reduce a sintetizar una matriz que posea el autovector deseado.

Este método permite sintetizar mapas que posean densidades invariantes lineales por tramos arbitrarias y con valores de mixing también arbitrarios.

A. Matriz A

En esta matriz cada componente expresa la probabilidad de transición de un intervalo a otro. Para definir la matriz se particiona el intervalo unidad en n subintervalos, I_1, \dots, I_n .

Cada elemento $a_{i,j}$ de la matriz A denotará la probabilidad de transición del intervalo I_i al intervalo I_j , designada $p_{i,j}$:

$$A = \begin{pmatrix} \beta_1 + \alpha_1(1 - \beta_1) & \alpha_1(1 - \beta_1) & \dots & \alpha_1(1 - \beta_1) \\ \alpha_2(1 - \beta_1) & \beta_2 + \alpha_2(1 - \beta_1) & \dots & \dots \\ \dots & \dots & \dots & \dots \\ \alpha_n & \dots & \dots & \beta_n + \alpha_n(1 - \beta_n) \end{pmatrix} \quad (1)$$

La matriz A es una matriz estocástica, y es estrictamente positiva cuando $\alpha_i \geq 0$ y $0 < \beta_i < 1 \forall i \in 1, \dots, n$. De la teoría de matrices positivas se sabe que uno de los autovalores de la matriz A es la unidad, y su autovector asociado, x_p , corresponde a la densidad invariante del proceso gobernado por A , y tiene la siguiente forma:

$$x_p = \left(\frac{\alpha_1}{1 - \beta_1}, \dots, \frac{\alpha_n}{1 - \beta_n} \right) \quad (2)$$

Claramente, es posible controlar este autovector eligiendo debidamente los valores de α_i y β_i de forma tal que el autovector correspondiente al autovalor unitario presente la forma deseada, y así obtener una densidad invariante deseada.

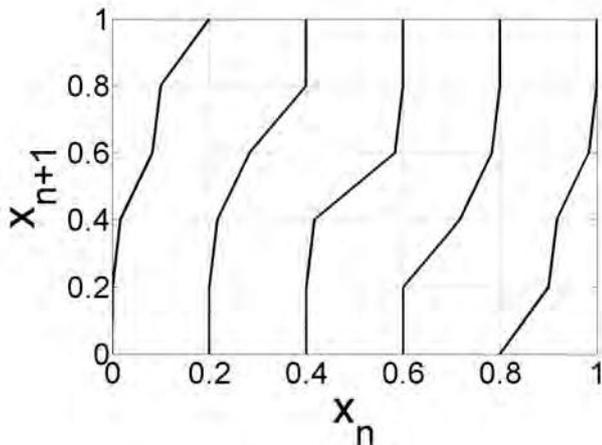


Fig. 1. Mapa caótico.

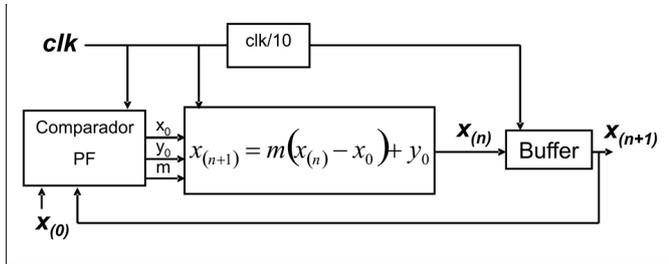


Fig. 2. Flujo de datos.

Este método tiene la limitación de que la IPDF obtenida es lineal por tramos, sin embargo, es posible aproximar cualquier curva mediante tramos lineales, cuantos más tramos se tomen mejor será la aproximación.

En el caso de este trabajo se implementó una primera aproximación de la curva gaussiana, se tomaron cinco puntos, esto significa una matriz A de 5×5 , como se puede ver en (3), y el correspondiente mapa caótico (Fig. 1).

$$A = \begin{pmatrix} 0.5013 & 0.0013 & 0.0013 & 0.0013 & 0.0013 \\ 0.0828 & 0.5828 & 0.0828 & 0.0828 & 0.0828 \\ 0.3319 & 0.3319 & 0.8319 & 0.3319 & 0.3319 \\ 0.0828 & 0.0828 & 0.0828 & 0.5828 & 0.0828 \\ 0.0013 & 0.0013 & 0.0013 & 0.0013 & 0.5013 \end{pmatrix} \quad (3)$$

III. IMPLEMENTACIÓN EN HARDWARE

En el caso de los sistemas caóticos el proceso de digitalización es crítico, errores de truncamiento y redondeo pueden producir la pérdida del comportamiento caótico.

Por esto la elección de la arquitectura y cantidad de bits empleados para la representación de los datos es un tema muy importante.

En un trabajo anterior [4] se implementó este sistema empleando punto flotante (standard IEEE 754 de precisión simple). Es bien sabido que con punto flotante se mejora la

precisión, pero se consumen más recursos y las operaciones requieren más ciclos de clock.

En el caso de este trabajo emplearemos una arquitectura de punto fijo, utilizándose 10 bits para representar la parte entera, y 30 bits para la parte decimal.

En la Fig. 2 puede verse el flujo de datos del diseño. Algunos bloques para los cuales no existen modelos pre-diseñados de ALTERA se programaron mediante VHDL, tales como los bloques *Comparador PF* y *Buffer*. Siempre que fue posible, como es aconsejable, se utilizaron bloques de ALTERA ya que éstos están optimizados para trabajar con las placas de este fabricante. Se emplearon estos cores para implementar las operaciones de suma y multiplicación en punto fijo (*LPM_MULT*, *LPM_ADD_SUB*), como también el PLL (*ALTCLKLOCK*) para obtener el clock de salida del sistema.

Para la programación en VHDL se utilizó QUARTUS II Web Edition [5]. Este software permite no sólo compilar el diseño de forma funcional, sino también realizar el análisis temporal, la distribución en la placa, etc. Se realizó la programación del dispositivo y para verificar el correcto funcionamiento se almacenaron los datos de salida empleando el analizador lógico embebido SignalTap que provee ALTERA [6].

Como el mapa caótico es lineal por tramos (Fig. 1) se realizó la implementación de una forma muy sencilla: cada valor x_{k+1} a generar es el iterado del valor actual x_k , tomando en cuenta la recta correspondiente al tramo en el que se encuentre:

$$x_{(k+1)} = m(x_{(k)} - x_0) + y_0 \quad (4)$$

Como se dijo anteriormente, en este trabajo se implementó una primera aproximación de la curva gaussiana, se realizó un análisis para determinar cuál es la mínima cantidad de puntos necesarios para obtener una buena aproximación. Para esto primero se simuló empleando la herramienta Fixed-Point Toolbox de *Matlab*® [7]. Se generaron archivos con una extensión de más de 150000 valores. En la Fig. 3 puede verse el histograma obtenido aproximando la curva gaussiana con 5, 21 y 101 puntos y con una secuencia generada mediante la función *Randn* de *Matlab*®. Allí puede verse que empleando 21 puntos en la aproximación de la gaussiana (Fig. 3.e) se obtiene una curva similar a la generada por la función *Randn* (Fig. 3.j). En esta figura puede verse que las secuencias obtenidas con el mapa caótico presentan estructuras internas en la representación de embedding 3D (Figs. 3.c, 3.f y 3.i) que no están presentes en el caso de la secuencia de *Matlab*® (Fig. 3.k) y no son detectadas por el histograma (Figs. 3.b, 3.e, 3.h y 3.j).

Para poder cuantificar el grado de aleatoriedad obtenido mediante las distintas aproximaciones y de esta forma conseguir un parámetro confiable para la selección de la cantidad de puntos a utilizar en la aproximación, se utilizaron cuantificadores de aleatoriedad para evaluar las secuencias obtenidas mediante los mapas caóticos [8].

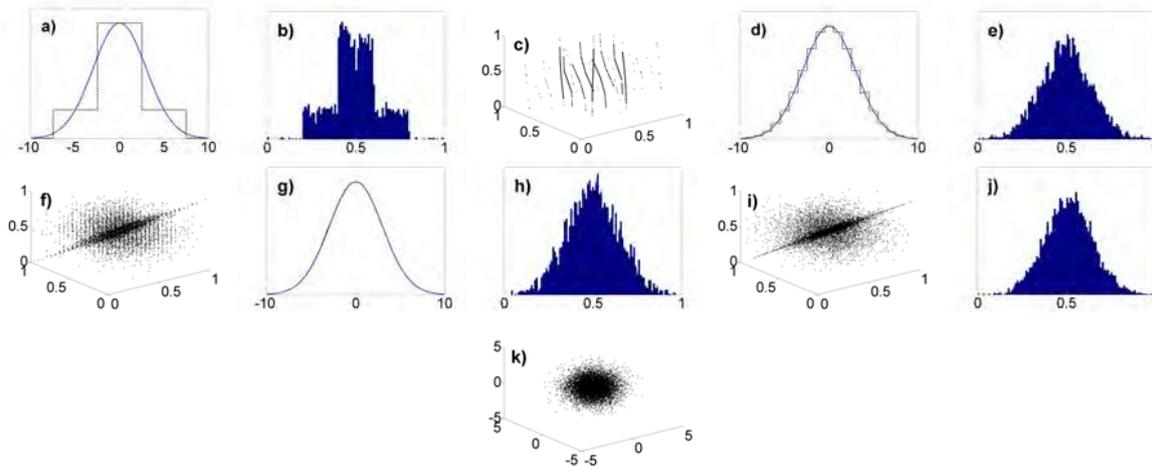


Fig. 3. Aproximación con 5 puntos: (a) gaussiana, (b) histograma, (c) 3D embedding; Aproximación con 21 puntos: (d) gaussiana, (e) histograma, (f) 3D embedding; Aproximación con 101 puntos: (g) gaussiana, (h) histograma, (i) 3D embedding; Empleo de la función Randn() de Matlab[®]: (j) histograma, (k) 3D embedding.

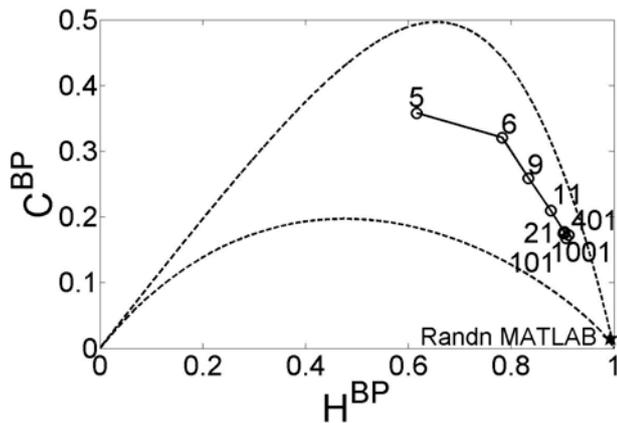


Fig. 4. Cuantificadores C^{BP} vs H^{BP} para las secuencias generadas mediante aproximaciones de la curva gaussiana con 5, 6, 9, 11, 21, 101, 401 y 1001 puntos y mediante la función Randn de Matlab[®].

IV. CUANTIFICADORES DE ALEATORIEDAD

Basados en resultados de investigaciones previas [8] se adoptan la entropía H y la complejidad estadística C como cuantificadores para caracterizar el determinismo o estocasticidad del sistema caótico. Una discusión respecto de la conveniencia de utilizar estos cuantificadores está fuera del alcance de este trabajo pero existe una extensa bibliografía [9], [10], [11].

Los cuantificadores empleados caracterizan una dada PDF. Existen diversos métodos para asignar una PDF a una serie temporal [12], [13], [14], [15], [16], en este caso empleamos el método de Bandt y Pompe ya que produce una PDF causal. Bandt y Pompe propusieron una descripción de grano grueso usando palabras formadas por D valores consecutivos. Cada palabra es reemplazada por un número que representa el patrón de permutación [15], [17].

Se calculó para todas las series temporales de cada archivo el valor de H^{BP} y C^{BP} y se los representó en el plano entropía-complejidad.

V. RESULTADOS

Los resultados de la compilación en *QUARTUS II* muestran que el diseño ocupa un 2% de los elementos lógicos del dispositivo, un 3% de los multiplicadores embebidos de 9 bits y un 33% de los bits de memoria totales. Se consiguió una frecuencia de salida máxima de 10MHz.

En cuanto al análisis de *calidad* de las secuencias generadas con las distintas aproximaciones de la curva, los resultados obtenidos se muestran en la Fig. 4. Las curvas punteadas indican la región accesible para el caso $D = 6$ [11].

En este plano se puede apreciar la secuencia generada mediante la función Randn presenta un comportamiento cercano al punto $C^{BP} = 0$ y $H^{BP} = 1$.

Por otro lado a medida que se incrementa la cantidad de puntos empleados en la aproximación, los valores de entropía y complejidad se acercan al valor de la secuencia generada con la función Randn, sin embargo a partir de los 21 puntos se produce una saturación y aunque se mejore la aproximación no se consigue mejora en el "mezclado" interno de las secuencias.

Esto se debe a que los mapas caóticos presentan estructuras internas que son invisibles para el histograma pero son detectadas por estos cuantificadores. También pueden verse cualitativamente en las representaciones del embedding 3D de las secuencias (Figs. 3).

VI. CONCLUSIÓN

En este trabajo se diseñó e implementó una primera aproximación de un generador de ruido gaussiano, empleando un mapa caótico. Se utilizó una FPGA Cyclone III EP3C120F780C7 de ALTERA.

Se obtuvo un PRNG en hardware con distribución lineal por tramos de acuerdo a la aproximación realizada de la curva

gaussiana. Se analizó y concluyó en que es posible obtener una buena aproximación a la PDF gaussiana a partir del empleo de 21 puntos. Para analizar las secuencias obtenidas se empleo el plano H^{BP} vs C^{BP} , mediante el cual fue posible detectar la existencia de estructuras internas en las secuencias generadas, esto no se ve reflejado en el histograma.

AGRADECIMIENTOS

Este trabajo ha sido parcialmente financiado por Universidad Nacional del Mar del Plata y CONICET.

REFERENCES

- [1] A. Ghazel, E. Boutillon, J. Luc Danger, G. Gulak, and H. Laamari, "Design and performances analysis of high speed awgn communication channel emulator," in *IEEE PACRIM conference*, 2001, pp. 374–377.
- [2] D. Pingel and P. Schmelcher, "Theory and examples of the inverse frobenius-perron problem for complete chaotic maps," *Chaos*, vol. 9, no. 3, pp. 357–366, 1999.
- [3] A. Rogers, R. Shorten, and D. M. Heffernan, "Synthesizing chaotic maps with prescribed invariant densities," *Physics Letters A*, vol. 330, no. 6, pp. 435–441, 2004.
- [4] L. D. Micco and H. Larrondo, "Implementación en fpga de ruido gaussiano para simulaciones en hardware," in *Proceedings Congreso Argentino de sistemas Embebidos CASE 2011*, 2011.
- [5] ALTERA, *Quartus II Handbook Version 9.1*, 2009.
- [6] —, *Design Debugging Using the SignalTap II Logic Analyzer*, 2009.
- [7] Matlab, "<http://www.mathworks.com/help/toolbox/fixdpoint/>."
- [8] L. De Micco, H. A. Larrondo, A. Plastino, and O. A. Rosso, "Quantifiers for randomness of chaotic pseudo random number generators," *Philosophical Transactions of the Royal Society A*, vol. 367, pp. 3281–3296, 2009.
- [9] O. A. Rosso, H. A. Larrondo, M. T. Martín, A. Plastino, and M. A. Fuentes, "Distinguishing noise from chaos," *Phys. Rev. Lett.*, vol. 99, pp. 154 102–154 106, 2007.
- [10] L. De Micco, C. M. González, H. A. Larrondo, M. T. Martín, A. Plastino, and O. A. Rosso, "Randomizing nonlinear maps via symbolic dynamics," *Physica A*, vol. 387, pp. 3373–3383, 2008.
- [11] M. T. Martín and A. Plastino, "Generalized statistical complexity measures: Geometrical and analytical properties," *Physica A*, vol. 369, pp. 439–462, 2006.
- [12] K. Mischaikow, M. Mrozek, J. Reiss, and A. Szymczak, "Construction of symbolic dynamics from experimental time series," *Phys. Rev. Lett.*, vol. 82, pp. 1114–1147, 1999.
- [13] W. Ebeling and R. Steuer, "Partition-based entropies of deterministic and stochastic maps," *Stochastics and Dynamics*, vol. 1, no. 1, pp. 1–17, 2001.
- [14] C. Bandt and B. Pompe, "Permutation entropy: a natural complexity measure for time series," *Phys. Rev. Lett.*, vol. 88, pp. 174 102–1, 2002.
- [15] K. Keller and M. Sinn, "Ordinal analysis of time series," *Physica A*, vol. 356, pp. 114–120, 2005.
- [16] J. M. Amigó, L. Kocarev, and I. Tomovski, "Discrete entropy," *Physica D*, vol. 228, pp. 77–85., 2007.
- [17] K. Keller and H. Lauffer, "Symbolic analysis of high-dimensional time series," *Int. J. Bifurcation and Chaos*, vol. 13, pp. 2657–2668, 2003.

Mapas Auto-Organizativos dentro de un FPGA (Redes neuronales)

Matias Namiot

Facultad de Ingeniería de la UNLP
Centro de Técnicas Analógico-Digitales (CeTAD)
La Plata, Argentina
matiasnamiot@gmail.com

José A. Rapallini

Facultad de Ingeniería de la UNLP
Centro de Técnicas Analógico Digitales (CeTAD)
La Plata, Argentina
josrap@gmail.com

Leonardo Capossio

Facultad de Ingeniería de la UNLP
Centro de Técnicas Analógico-Digitales (CeTAD)
La Plata, Argentina
capossio.leonardo@gmail.com

Antonio A. Quijano

Facultad de Ingeniería de la UNLP
Centro de Técnicas Analógico Digitales (CeTAD)
La Plata, Argentina
adrian.quijano@gmail.com

Abstracto—El objetivo de este trabajo es la implementación de un algoritmo de Mapas Auto-Organizativos (SOM, en inglés Self-Organizing Map) aplicable a un dispositivo programable del tipo FPGA (Field Programmable Gate Array) para procesar datos de diferentes problemas.

Palabras clave: Redes neuronales, FPGA, SOM, VHDL, Self-Organizing Map

I. INTRODUCCION

Con el avance de la tecnología, frente a los dispositivos semiconductores, la computación, las velocidades de funcionamiento y las unidades de almacenamiento, el ser humano ha intentado acortar aún más la brecha que existe con la naturaleza. Las señales no determinísticas que se presentan en ella como el reconocimiento de patrones, son un claro ejemplo de la necesidad de generar sistemas que tengan la posibilidad de resolver problemas complejos bajo entornos imprecisos o con ruidos.

Las redes neuronales generaron un acercamiento hacia la resolución de procesos con dichas características, y en dónde se encuentran los denominados Mapas Auto-Organizativos (SOM), reconocidos por su capacidad para aprender la organización de los datos de entrada de manera no supervisada, es decir, sin información de la salida esperada. El resultado del entrenamiento de una red SOM es una estructura que respeta la topología de los datos reflejando las similitudes existentes entre los patrones de entrada.

Los mapas de Kohonen son un tipo de redes neuronales que poseen la capacidad de aprendizaje no supervisado, y de descubrir la estructura que subyace en los datos, por medio de la modificación de sus pesos.

Estas redes son sencillas de modelar y poseen un gran potencial en la práctica, ya que han demostrado un muy buen desempeño en problemas de clasificación de patrones, extracción de rasgos, cuantificación vectorial, monitoreo de procesos, reducción de dimensiones, minería de datos, análisis exploratorios, etc. Algunos ejemplos claros son aplicaciones

en reconocimientos del habla, clasificación de proteínas, reconocimiento de patrones financieros, etc.

En este trabajo se desea implementar para un dispositivo FPGA un algoritmo de Mapas Auto-Organizativos (SOM) de Kohonen con el fin de ser utilizado con diferentes tipos de datos. El algoritmo producirá una caracterización de los datos tal que permita tomar decisiones sobre nuevos datos ingresados.

II. MAPAS AUTO-ORGANIZATIVOS

Los mapas auto-organizativos (SOM) fueron desarrollados a lo largo de la década de los '80 por el físico finlandés Teuvo Kohonen [1] [6], como una continuación natural de la línea de desarrollo de las redes competitivas.

Estas redes tuvieron una buena eficacia en problemas reales como la clasificación de patrones, cuantificaciones vectoriales, extracción de rasgos, minería de datos, etc.

La idea básica de un SOM, es la posibilidad de realizar su entrenamiento sin presentar las salidas a las que se debe asociar cada patrón de entrada, ya que la red a través de un proceso de auto-organización, proporciona un resultado que es el reflejo de las relaciones de similitud existentes de dichas entradas.

El proceso consta de una transformación de un espacio multi-dimensional en una serie de neuronas (figura 1), de tal forma que las similitudes relativas entre los puntos del espacio de entrada se conserven. Cada neurona del SOM tiene asociado un vector de pesos con las mismas dimensiones que el espacio de entrada. Cada neurona de la red está relacionada con las neuronas de su entorno mediante una relación de vecindad, dependiendo de la estructura de la red (rectangular o hexagonal).

La topología de la red, definida por la cantidad de neuronas y su forma de conexión, se establece de antemano.

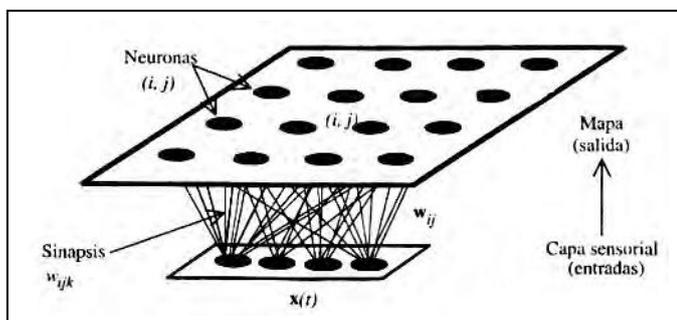


Figura 1. Mapa neuronal

Al excitarse una neurona central, genera la excitación del conjunto de neuronas próximas, y a medida que la distancia entre ellas aumenta, la excitación cae hasta llegar a ser casi nula, ya que el peso que se le da a las conexiones varía inversamente proporcional a la distancia entre neuronas. Esta situación se denomina inhibición lateral [8].

III. ENTRENAMIENTO

Para el entrenamiento del SOM se introducen los vectores de datos correspondientes a cada patrón de entrada, calculando la similitud que existe entre dicho vector y el peso de cada neurona, sintonizando los diferentes rasgos del espacio de entradas y seleccionando a la neurona que más se asemeje a dicho vector. Una vez seleccionada, esta se consolida como ganadora (BMU, Best Matching Unit) y se procede a la actualización de sus pesos sinópticos junto a sus vecinas. De este modo, al reiterarse un patrón similar la vencedora aumentará su intensidad en cada iteración.

Si todo el proceso se repite para numerosos patrones, se obtienen vectores de referencia que sintonizan un dominio específico para las variables de entrada, con una tendencia a representar una función de densidad de probabilidad [Kohonen, 1988]. En el caso de tener un espacio dividido en grupos, se podría realizar un procesamiento dónde las neuronas se especializan en cada uno de los grupos, para luego realizar una clasificación (clustering) de los patrones.

Generalmente, las neuronas de un mismo grupo comparten propiedades comunes que permiten una descripción sintética de un conjunto de datos multidimensionalmente complejos, de allí el uso de las SOM en minería de datos.

Un concepto muy importante que incorpora Kohonen en sus modelos de mapas auto-organizativos es la llamada función de vecindad, que genera relaciones entre la neurona ganadora y sus vecinas.

Hasta ese entonces, se realizaban actualizaciones de los pesos en las neuronas ganadoras lo que respondía a un esquema competitivo clásico y sencillo, pero que no tenía la versatilidad que incorpora la vecindad.

Esta función define un entorno centrado en la vencedora, que produce un efecto durante el aprendizaje sobre sus neuronas vecinas, haciendo que las mismas actualicen sus pesos, aportando respecto al modelo competitivo clásico la ventaja de una mejor convergencia y una mayor robustez ante variaciones en los valores iniciales de sus pesos.

Una vez comenzado el entrenamiento, la medida de la vecindad se va reduciendo a medida que transcurren las iteraciones, hasta que finalmente se modifican solamente los pesos de la ganadora, por lo que el aprendizaje del mapa está comprendido por dos partes importantes, una parte que produce un despliegue del mapa en forma global, y otra que especializa a las neuronas con un ajuste fino.

IV. ALGORITMO DE APRENDIZAJE

Para el diseño de aprendizaje no existe un algoritmo totalmente estándar, aunque los resultados obtenidos son independientes de la realización, pueden llegar a existir algunas variaciones en el mapa final. Esto se debe a que existen parámetros variables en el inicio de un aprendizaje, cómo puede ser el número de vecindad, el valor inicial de los pesos, la velocidad de actualización, etc.

Antes de comenzar con el aprendizaje, se deben establecer las características de la red y sus valores iniciales.

A. Mapa topológico

Es uno de los factores importantes a definir. Este mapa es el encargado de reflejar la estructura de los datos. Existen de diferentes dimensiones y formas, pero por lo general se utilizan mapas bidimensionales rectangulares, de "n" neuronas por lado (cuadrado), para facilitar la visualización de los resultados y la actualización de neuronas.

B. Cantidad de neuronas

Idealmente el número de neuronas debe ser de un tamaño considerable para poder extraer más características de los datos. Existe una regla empírica utilizada como referencia [Kohonen, 1996], dada en función del número de patrones con los que se dispone para el entrenamiento como se observa en la ecuación (1), donde "N" es el número de muestras con las que se cuenta.

$$n = 3.1 \cdot N^{0.75} \quad (1)$$

Si se distribuye de manera uniforme esta cantidad de neuronas, el mapa cuadrado queda constituido por "n" de ellas por cada lado (ecuación 2).

$$(2)$$

C. Pesos iniciales

Estos valores iniciales de la matriz de pesos W juegan un factor importante en el comportamiento del algoritmo, ya que una elección adecuada agiliza la convergencia hacia una buena solución, reduciendo los tiempos de procesamiento. La elección de los mismos en general es empírica.

D. Buscar ganadora

El modelo de Kohonen se basa en el cálculo de la similitud entre el vector de entrada y los pesos correspondientes a cada neurona.

El criterio de distancia que se utiliza en esta implementación para el cálculo de similitud es la distancia de Manhattan (3). Este criterio es utilizado por su sencillez para aplicaciones en las que se requiere optimizar los recursos de hardware. Este método no requiere de multiplicaciones, pero a cambio aumenta el error en la medición. En caso de que no se

pueda llegar a una convergencia de los resultados, se debe utilizar una medida de distancia que posea mayor exactitud y precisión como la Euclídea.

$$d(w_{ij}, x) = \quad (3)$$

E. Regla de aprendizaje

El efecto de la regla de aprendizaje es acercar de a pequeñas cantidades, el vector de pesos de la neurona ganadora al vector de entrada.

La actualización de los pesos sinápticos se realiza sobre la neurona ganadora y sus vecinas por medio de una función de vecindad $h(t)$ y un parámetro $\alpha(t)$ denominado velocidad de aprendizaje, quedando para la regla Manhattan de la forma (4).

$$\Delta w_{ij}(t) = \begin{cases} \alpha(t) \cdot h(t), & \text{si } x_k(t) > \\ 0, & \text{si } x_k(t) = \\ -\alpha(t) \cdot h(t), & \text{si } x_k(t) < \end{cases} \quad (4)$$

Para este trabajo se han realizado los ensayos con $h(t)$ como una función escalón y $\alpha(t)$ constante.

F. Diagrama en bloques

En la “Figura 2” se puede observar que el algoritmo diseñado inicia los parámetros de funcionamiento previo a la realización de la caracterización. Esto incluye la dimensión del mapa bidimensional, los valores con los que se inicia el vector de pesos, el valor α con que se actualizan los pesos, la vecindad y la cantidad máxima de iteraciones.

Luego se captura un patrón de entrada que busca una neurona ganadora, por medio de la distancia mínima aplicando la regla de Manhattan.

Una vez localizada, se procede a la actualización de la misma y de sus vecinas, dependiendo del valor de vecindad actual, ya que la misma se reduce a medida que el algoritmo avanza con las iteraciones. Este proceso se realiza para cada uno de los patrones una cantidad máxima de veces, seleccionada al inicio de la ejecución.

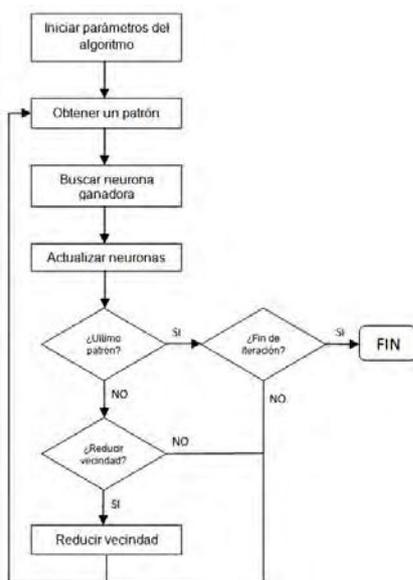


Figura 2. Diagrama en bloques del SOM

V. DISPOSITIVO FPGA

Se desea realizar la implementación en un dispositivo FPGA (Field Programmable Gate Array) debido a la posibilidad de independizar el problema del manejo exclusivo de una computadora. Con el transcurso del tiempo, estos dispositivos han ido adquiriendo importantes características en soporte, estabilidad, tiempos de procesamiento y funcionalidades. Sus usos son cada vez más amplios y las capacidades de almacenamiento lo hacen muy tentador en el momento de realizar un diseño que asemeje funciones de un ordenador.

El término FPGA hace referencia a dispositivos lógicos programables de propósito general, diseñado como un arreglo de bloques y compuertas (ver “Figura 3”), donde su funcionamiento se basa en la posibilidad de configurar la interconexión entre dichos bloques, para que de esta manera se pueda describir el comportamiento de prácticamente cualquier circuito digital.

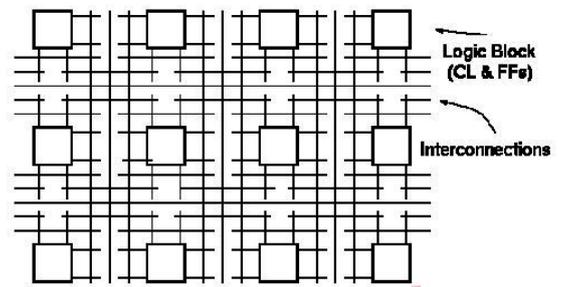


Figura 3. FPGA

Los algoritmos a introducir en el FPGA se implementarán mediante el lenguaje VHDL (Very High Speed Integrated Circuit Hardware Description Language). Este lenguaje fue diseñado en base a los principios de la programación estructurada con la idea de definir la interfaz de un módulo de hardware mientras se dejan invisibles sus detalles internos, y hoy en día se ha convertido en una herramienta imprescindible para diseñadores e ingenieros que se encuentren de alguna manera ligados al desarrollo de sistemas electrónicos digitales.

El dispositivo a utilizar será el FPGA Virtex5 fabricado por Xilinx [2], el cuál posee grandes características como más de 330K de celdas lógicas, y trabaja a velocidades de hasta 550Mhz. La idea de utilizar dicho dispositivo es para poder continuar con el trabajo a futuro incorporando nuevos módulos para conversiones A/D, comunicación con otros dispositivos, etc.

VI. SIMULACIÓN

El diseño, simulación y verificación de todos los bloques se realizó con la herramienta Xilinx System Generator (XSG), generando los bloques que se observan en la “Figura 4”.

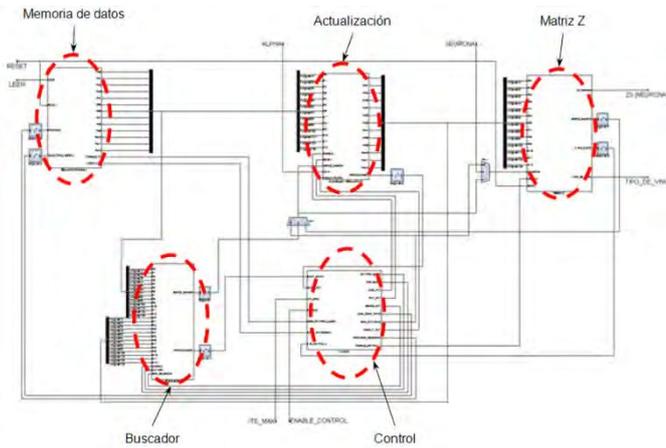


Figura 4. Bloques del XSG

Los resultados obtenidos de la simulación se pueden observar en el mapa neuronal ("Figura 5") que representa a tres clases de tipos de vinos con 13 características similares cada uno. Si se realiza una inspección de los resultados, se puede realizar una clasificación de los mismos.

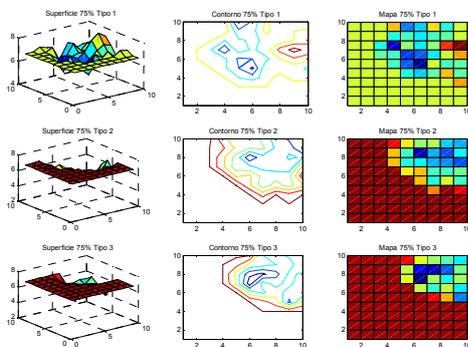


Figura 5. Mapas neuronales de tres clases de vinos diferentes

Los porcentajes aproximados de utilización del dispositivo se pueden observar resumidos en la "Tabla I".

TABLA I. RESUMEN DE UTILIZACIÓN DEL DISPOSITIVO

Slices	Resumen de utilización para una Virtex5		
	En uso	Disponible	Utilización
Slice Registers	106	28800	1%
Used as Flip Flops	106	-	-
Slice LUTs	144	28800	1%
Used as logic	142	28800	1%
Using O6 output only	142	-	-
Used as exclusive route-thru	2	-	-
Route-thrus	2	-	-
Using O6 output only	2	-	-
Occupied Slices	47	7200	1%
LUT Flip Flop pairs	158	-	-

Slices	Resumen de utilización para una Virtex5		
	En uso	Disponible	Utilización
Number with an unused Flip Flop	52	158	32%
Number with an unused LUT	14	158	8%
Number of fully used LUT-FF pairs	92	158	58%
Unique control sets	8	-	-
Slice register sites lost to control set restrictions	10	28800	1%
Bonded IOBs	11	480	2%
BUFG/BUFGCTRLs	1	32	3%
Number of DSP48Es	2	48	4%

VII. CONCLUSIONES

La incorporación de las redes neuronales dentro de un dispositivo mejora notablemente las velocidades de procesamiento, y permite la posibilidad de generar aparatos electrónicos con la habilidad de tomar decisiones en forma independiente de los datos que ingresen al sistema con ruidos o poco precisos. Estas decisiones son aplicables para diferentes problemas; en nuestro caso se utilizó para realizar una clasificación de vinos a través de varias muestras de sus 13 características.

Se pudo observar que la incorporación de técnicas de inteligencia computacional, en este caso SOM, no es imposible dentro de los dispositivos FPGA y se generó el código correspondiente en VHDL para su funcionamiento.

Cómo trabajos a futuro se pretende finalizar con los chequeos sobre el correcto funcionamiento del hardware, ampliar las posibilidades de ingreso de datos mediante algún bloque de comunicación, realizar procesamientos con otras bases de datos y agregar la posibilidad de que el usuario final configure una mayor cantidad de variables.

REFERENCIAS

- [1] "Redes Neuronales y Sistemas difusos", Bonifacio Martin del Brio - Alfredo Sanz Molina, 2º edición.
- [2] Xilinx – <http://www.xilinx.com>
- [3] <http://en.wikipedia.org/wiki/Cepstrum>
- [4] "Calculadora controlada por voz", Juan Marcelino Aguayo Rodríguez, Prof. Guillermo Kemper Vásquez, Prof. Antonio Moran.
- [5] Dan, Z., Zheng, S., Sun, S; Dong, R: Speaker Recognition based on LS-SVM. In: 3rd International Conference on Innovative Computing Information and Control, pp. 25-28 (2008).
- [6] Gopalan, K., Anderson, T.R., Cupples, E.J.: A comparison of speaker identification results using features based on cepstrum and Fourier-Bessel expansion. IEEE Transactions on Speech and Audio Processing 7, 289--294 (1999).
- [7] Gudnason, J., Brookes, M.: Voice source cepstrum coefficients for speaker identification. IEEE International Conference on Acoustics, Speech and Signal Processing. pp. 4821--4824 (2008).
- [8] Han, W., Chan, C.-F., COI, C.-S., Pun, K.-P.: An Efficient MFCC Extraction Method in Speech Recognition. IEEE International Symposium on Circuits and Systems. 4 pp. (2006).
- [9] Kohonen, T.: Self-Organizing Maps. 2nd Edition. Springer. ISSN 0720-678X (1997).

Invernadero Robotizado

Perspectiva de Diseño desde los Sistemas Ciber-Físicos

Ricardo Garro

EEA Anguil "Ing. Agr. Guillermo Covas"

INTA

Anguil, Argentina

rgarro@anguil.inta.gov.ar

Leo Ordinez, Omar Alimenti

Instituto de Investigaciones en Ingeniería Eléctrica

Universidad Nacional del Sur – CONICET

Bahía Blanca, Argentina

lordinez@uns.edu.ar, ialimen@criba.edu.ar

Resumen— Los Sistemas Ciber-Físicos (SCF) son una nueva disciplina de investigación que involucra a la ingeniería eléctrica, electrónica, informática, control y comunicaciones interactuando con los procesos físicos. Esto lleva a un dominio de gestión conjunta donde los dos mundos (cibernética y física) deben tenerse en cuenta para decidir las acciones a tomar. Por lo tanto, un aspecto fundamental en el desarrollo de sistemas ciber-físicos es la comprensión del problema, el medio ambiente y de las entidades involucradas. En este sentido, este trabajo presenta el diseño de un invernadero robotizado, que involucra la construcción física del invernadero y de un robot móvil interactuando con el medio físico (recolectando datos y accionando sobre las plantas).

Palabras clave—sistema ciber-físico; diseño; agricultura de precisión; invernadero; robot

I. INTRODUCCIÓN

Los sistemas de producción bajo cubierta o en invernaderos constituyen, en la actualidad y en muchas de las regiones del mundo, un claro exponente de producción intensiva donde se alcanzan importantes niveles de rendimiento. En Argentina la superficie destinada a la producción hortícola en invernaderos es aproximadamente de 5000 ha. Localizada en su mayoría en los cinturones hortícolas de las grandes provincias y ciudades, como por ejemplo Corrientes, Santa Fe, Buenos Aires, La Plata, Mar del Plata, entre otras.

Los datos reflejan que los cultivos bajo cubierta o en invernaderos¹, pertenecen a un sistema altamente productivo con peso creciente dentro del sector agrícola argentino. Una de las principales ventajas productivas de este tipo de instalaciones, se debe a que es posible generar las condiciones climáticas óptimas que permiten cultivar fuera de estación. Lo cual genera un mejor precio de venta debido a que la demanda es más alta y la oferta escasa. Sin embargo, no está exento de problemas. Uno de los más importantes es el control de plagas y de enfermedades, las cuales presentan mayor incidencia que en los cultivos desarrollados al aire libre. En los cultivos de

invernadero este control se realiza generalmente, mediante la aplicación de productos químicos. Si bien en los últimos tiempos se han introducido métodos más amigables con el medio ambiente y menos perjudiciales para la salud de las personas, sigue siendo un desafío la búsqueda de tratamientos optimizados, desde el punto de vista técnico y agronómico [1]

En base a lo anterior, resulta una alternativa adecuada la utilización de un robot móvil, para desarrollar esas tareas tediosas e insalubres. Por otro lado, a pesar de la repetitividad de las tareas a desarrollar y lo controlado del ambiente en el que se trabaja, la construcción de un robot de esas características representa un desafío tecnológico y científico de actualidad. Más aún, la fuerte interacción con el mundo físico y los problemas que ésta involucra requieren de un enfoque multidisciplinario que, por sí solos la teoría de control, los sistemas embebidos de tiempo real, la ingeniería de software, la mecánica y la agronómica no alcanzan a cubrir.

Los Sistemas Ciber-Físicos (SCF) representan una solución apropiada a esta necesidad, ya que proponen una integración de los procesos físicos con los computacionales. Este paradigma es muy reciente [2] y se asienta en otros más clásicos como la teoría de control, los sistemas de tiempo real y las redes de comunicaciones. Sin embargo, los SCF introducen una mirada diferente sobre el sistema a desarrollar. Según Krogh *et al.*[3], los SCF son sistemas en los que el cálculo-procesamiento de la información y los procesos físicos están tan estrechamente integrados, que no es posible determinar si los atributos de comportamiento son el resultado de los cálculos computacionales, las leyes físicas, o ambos. Por otro lado, Lee y Seshia [4] afirman que un SCF es un sistema compuesto por subsistemas físicos junto a computacionales y redes. Estos tres componentes deben incluirse necesariamente en el modelado y diseño del sistema.

En este contexto, el objetivo planteado en este trabajo es presentar el diseño de un invernadero robotizado. Así, las principales entidades involucradas en el sistema son la construcción física invernadero, lo cual involucra sus condiciones ambientales y fitosanitarias; y un robot móvil capaz de recolectar datos ambientales y realizar la aplicación de productos químicos a las plantas. Además, como parte del sistema se incluye un servidor remoto capaz de mantener la información en una base de datos y de comandar en forma manual al robot. De esta manera se puede proyectar el

¹Cabe decir que la función principal de un invernadero es la de recrear y mantener en un espacio específico, diversas condiciones adecuadas y controladas de luz, humedad, temperatura, dióxido de carbono y productos fitosanitarios, entre otras. Sin embargo, dichas condiciones pueden ser potencialmente perjudiciales tanto para los operarios como para el medio ambiente.

desarrollo desde el enfoque de un SCF. Este enfoque incluye el planteo del problema desde la perspectiva conjunta del mundo físico involucrado y los recursos computacionales requeridos; junto con una descripción de aquellos subsistemas necesarios, que surgen del planteo del problema y su correspondiente análisis de requerimientos. Se debe remarcar, que a diferencia de un Sistema Embebido, el cual se enfoca principalmente en los elementos electrónicos y computacionales del sistema a desarrollar; el enfoque de los SCF considera al mundo físico como un co-dominio afectado por las leyes físicas y los procesos computacionales indistinguiblemente. Desde este último punto de vista, el *Invernadero Robotizado* no es un invernadero con un robot, sino que es un sistema más complejo, conformado por la plataforma móvil, el micro-clima del invernadero, las plantas y su distribución física, el servidor remoto, los sistemas de control del móvil, entre otras.

Luego de esta introducción, en la Sección II, se presenta y describe el entorno físico del invernáculo, sus características y desafíos. En la Sección III, se analizan los requerimientos del sistema planteado. El diseño del sistema, se presenta en la Sección IV. En la Sección V, se exponen algunos trabajos relacionados que sirvieron de soporte para la elaboración de este artículo. Se concluye en la Sección VI con algunas consideraciones finales que facilitaran la continuidad del trabajo en sus múltiples líneas de investigación posible.

II. DESCRIPCIÓN DEL CASO DE ESTUDIO

Un invernadero es típicamente una estructura cuyo techo y laterales son transparentes o translúcidos, lo que permite una calidad y cantidad suficiente de la radiación solar para producir la fotosíntesis en las plantas allí contenidas. Los invernaderos han sido generalmente diseñados para la protección de plantas que se cosechan tanto fuera de estación como no, las cuales no pueden soportar bajas temperaturas o congelamiento, protegiéndolas, sobre todo, del excesivo calor o frío [5]. Existen también en este tipo de ambientes algunas condiciones desfavorables y nocivas para la salud humana, ya sea por las condiciones propias del lugar, como por algunas tareas que se deben realizar en él.

Los equipos que tradicionalmente se han empleado para combatir plagas y enfermedades, y que aún hoy en día se utilizan de forma mayoritaria, son lanzas y pistolas pulverizadoras manuales (equipos de bajo costo, fácil mantenimiento y adecuados para problemas fitosanitarios puntuales). Aunque pueden ir acoplados a una instalación fija de pulverización (red de tuberías distribuida por el invernadero), presentan algunos problemas como: baja eficiencia, dificultad de regulación, pericia del operario; elevados riesgos de contaminación ambiental, pérdidas de producto fitosanitario en el suelo; riesgo para la salud de las personas, etc.

Si bien existen otros equipos técnicamente más avanzados (cañones, instalaciones de nebulización y barras pulverizadoras), una alternativa para la optimización de las tareas fitosanitarias ha sido la aplicación de la robótica. Fundamentalmente la presencia de los operarios en las tareas necesarias en los cultivos bajo cubierta, conlleva una serie de

tareas riesgosas, repetitivas y, de algún modo tediosas, que son susceptibles de ser robotizadas. De allí, la conveniencia de disponer de vehículos con capacidad de desplazamiento autónomo, es decir, sin intervención de seres humanos [6][7][8].

En la actualidad, en algunos lugares del país, diversas actividades de relevamiento, adquisición de datos y manejos del ambiente se realizan de forma tradicional. Como ya se ha mencionado se pueden utilizar mochilas para pulverizar productos fitosanitarios, elementos de medición (*i.e.*, humedad, temperatura, índice diferencial de vegetación normalizado (NDVI), etc.) y recolección manual. Todas estas herramientas generan un esfuerzo y algunas de ellas un riesgo considerable. En este tipo de tareas, por lo general rutinarias o potencialmente peligrosas para los seres humanos, la idea de utilizar vehículos móviles autónomos es una alternativa adecuada. Lo cual permite la reubicación de las personas fuera de ambientes potencialmente peligrosos y de jornadas inhumanas.

En relación a este contexto, se presenta una alternativa para la construcción de un robot móvil pulverizador para producciones intensivas bajo cubierta. El robot cuenta con una estructura móvil, con un modo de locomoción diferencial. Lo que posibilita realizar una aplicación selectiva de producto fitosanitario, de acuerdo a las necesidades que se presenten, y al tipo de cultivo.

Es importante destacar que la plataforma móvil no trabaja de manera aislada, sino que conforma una red con diferentes dispositivos ubicados en puntos estratégicos del invernáculo, conformando una red de sensores y actuadores inalámbricos (WSANs). Esta idea de trabajo se basa en lo planteado por Stankovic [9], para quien las WSANs, tienen su potencial en la cobertura densa y flexible de una gran extensión de terreno. Además, esta tecnología permite la correlación entre varias WSANs. Estas capacidades se traducirán así en una mejor comprensión de las condiciones ambientales, lo cual es muy beneficioso para un túnel o invernáculo. De esta manera se haría posible la generación de aplicaciones específicas para los cultivos intensivos, en el campo de la agricultura de precisión². Una aplicación donde las condiciones locales pueden dictar el control de las cantidades de plaguicidas y fertilizantes.

La posibilidad de que un invernáculo pueda variar en su configuración interior en cuanto a la cantidad de corredores, platabandas, largo y ancho de las líneas de cultivo, etc.; hace que definir un algoritmo de navegación no sea una tarea sencilla. Por esto, en principio, se abordará la posibilidad de realizar la navegación con mapas previamente establecidos, incluyendo la posibilidad de un telecomando manual. Sin embargo, se plantea en el diseño la posibilidad de incluir en un futuro una navegación autónoma mediante un sistema más complejo. Uno de los objetivos futuros es utilizar los módulos Zigbee para triangular la posición del robot móvil, mediante la medición de la intensidad de la señal inalámbrica [11].

² Se define la agricultura de precisión como un conjunto de técnicas orientadas a optimizar el uso de los insumos agrícolas (semillas, agroquímicos y correctivos), en función de la cuantificación de la variabilidad espacial y temporal de la producción agrícola [10].

III. ANÁLISIS DE REQUERIMIENTOS

En el contexto explicado en el apartado anterior, se observa la necesidad de afrontar el diseño del robot pulverizador desde la perspectiva de los SCF. Como se mencionó anteriormente, estos sistemas representan integraciones muy fuertes de los procesos físicos con los computacionales [12][3]

Dicha integración es evidente en este caso, debido a que las variables físicas, que se deben manejar, están estrechamente relacionadas con el software y el hardware. A tal punto se da esta convivencia entre procesos físicos y computacionales, que para un observador externo es difícil determinar si las condiciones ambientales y fitosanitarias del invernadero se dan por causas naturales o por la afectación realizada por el sistema computacional. Dicho de otro modo, resulta imposible discernir el proceso físico medioambiental del computacional, ya que ambos conforman el *invernadero*, haciendo difícil establecer donde finaliza uno y comienza el otro.

El análisis de requerimientos tiene que ver con la comprensión del problema [13]. Para el caso particular de los SCF, el análisis de requerimientos está dado principalmente por la determinación de los procesos físicos involucrados, la identificación de sus variables y el establecimiento de las relaciones entre dichas variables; así como por su interacción con los aspectos computacionales (hardware y software asociado). En esta sección se identifican las variables que serán relevadas y utilizadas por el sistema ciber-físico, tanto para el monitoreo específico del invernáculo, como para la plataforma móvil.

A. Variables Ambientales del Invernadero

- ! Humedad
- ! Temperatura
- ! Radiación

Estas tres variables son de gran utilidad para el personal especializado que gestiona el invernáculo, debido a que con ellas se pueden realizar inferencias en cuanto a comportamiento y evolución de los diferentes cultivos.

B. Variables del Robot

- ! Posición
- ! Velocidad
- ! Aceleración
- ! Distancia a otros objetos
- ! Potencia eléctrica
- ! Presión
- ! Caudal
- ! Potencia de señal Zigbee

Este conjunto de variables son las que permitirán al robot móvil, recorrer el invernáculo de manera controlada y realizar las tareas programadas. Tanto las de pulverización de producto fitosanitario, como las propias de la navegación por el interior de las instalaciones. En este último aspecto aparecen otro tipo de restricciones propias de los sistemas no holonómicos³ como es el caso del robot con un modelo de locomoción diferencial.

³ Un robot no holonómico es aquel que no puede cambiar su dirección instantáneamente, sin necesidad de rotar previamente. En este caso un robot

C. Síntesis de Requerimientos

En base a las variables presentadas anteriormente y a los requerimientos funcionales y no funcionales, propios del SCF, se sintetizan las siguientes características a tener en cuenta al momento de la etapa de diseño: movimiento, sensado y posicionamiento fijos, interfaz H-M remota, comunicación, pulverización, visión y captura de imágenes, coordinación general, cálculo y seguimiento de trayectorias.

IV. DISEÑO DEL SISTEMA

Se ha elegido representar el diseño arquitectónico del sistema por medio de Diagramas de Despliegue del Lenguaje Unificado de Modelado (UML) [14]. En la Figura 1, se puede apreciar como está compuesto el SCF constituido por la plataforma móvil (robot) y la red de sensores y actuadores (WSAN). Este diagrama permite tener una concepción acabada del sistema y de sus subsistemas, así como las relaciones entre sus componentes, tanto a nivel de hardware como de software.

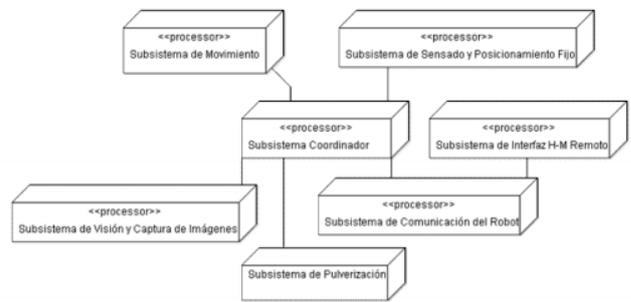


Figura 1. Diagrama de despliegue del sistema completo.

De acuerdo a los requerimientos sintetizados en la sección anterior, a continuación se enumeran y describen los subsistemas que componen el SCF del invernadero.

A. Subsistema de Movimiento

Este subsistema (ver Figura 2) es el encargado de adquirir variables de posición relativa y absoluta mediante la lectura de diferentes sensores; así como de accionar los motores que determinan el movimiento.

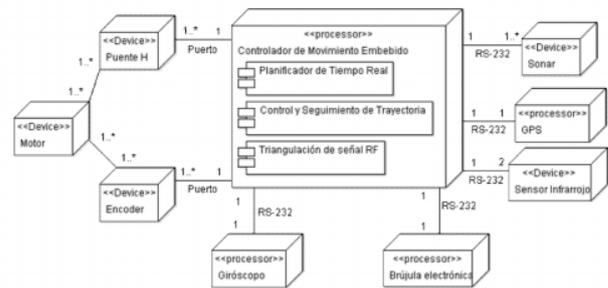


Figura 2. Diagrama de despliegue del subsistema de movimiento.

con dirección diferencial, no puede moverse hacia la izquierda o la derecha de manera instantánea. Lo realiza rotando hacia un lado u otro según la velocidad de sus ruedas.

Una de las tareas más importantes que debe ser llevada adelante por este subsistema es la de interrogar, con la frecuencia establecida por el planificador de tiempo real, los diferentes sensores. Estos datos son enviados al coordinador central el cual realiza los cálculos de trayectoria. Con los datos devueltos se ejecutan el algoritmo de control y seguimiento de trayectoria. El seguimiento de la trayectoria se logra actuando con una señal de control sobre los Puentes H, indicando la dirección e intensidad de rotación de cada motor de manera individual.

Finalmente este subsistema es responsable de realizar la triangulación y definición de la posición relativa de acuerdo a las mediciones de potencia de la señal Zigbee, con respecto a los diferentes módulos de posicionamiento fijo distribuidos dentro de las instalaciones.

B. Subsistema de Sensado y Posicionamiento Fijo

Este módulo (ver Figura 3) es el encargado de medir datos de humedad, temperatura y radiación en puntos estratégicos del invernáculo. La información recolectada es enviada, por medio del módulo Zigbee, a una base de datos.

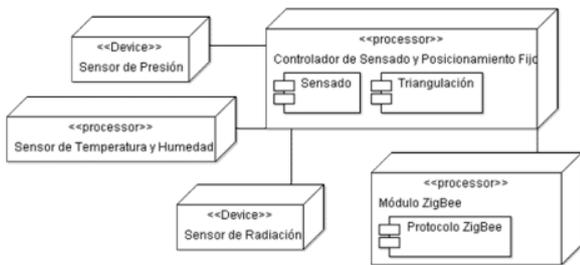


Figura 3. Diagrama de despliegue del subsistema de sensado fijo.

Debido a que la plataforma móvil también posee un modulo Zigbee, se puede triangular su posición relativa con respecto a los demás módulos fijos, ubicados en el invernáculo. Esto se logra midiendo la potencia de la señal entre los diferentes módulos Zigbee.

C. Subsistema de Interfaz H-M Remoto

Este subsistema compuesto por un servidor y un módulo de comunicación Zigbee, son los encargados de posibilitar que el robot sea operado manualmente de manera remota. En este caso la percepción del entorno, y planificación de trayectorias, queda a cargo del usuario. De todas maneras el robot posee mecanismos para alertar ante cualquier posible inconveniente de operación. A su vez este subsistema procesa la información enviada por el robot, la que le dará al usuario final una mirada exhaustiva y cuantificada de las variables ambientales del invernáculo y de la plataforma móvil. Finalmente permitirá sacar conclusiones y realizar inferencias en la manera de proceder técnicamente. El Diagrama de Despliegue correspondiente a este subsistema se muestra en la Figura 4.

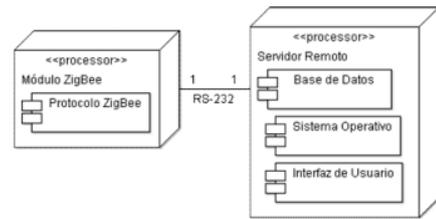


Figura 4. Diagrama de despliegue del subsistema remoto.

D. Subsistema de Comunicación del Robot

Se encarga de posibilitar la comunicación del robot móvil con el servidor remoto y los diferentes módulos fijos. Gracias a este subsistema se pueden almacenar los datos recolectados por el robot y, a la vez, operar la plataforma remotamente de manera manual. Este subsistema se compone principalmente de un transmisor Zigbee, Figura 5.

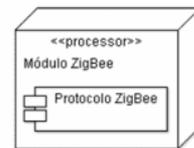


Figura 5. Diagrama de despliegue del subsistema de comunicación móvil.

E. Subsistema de Pulverización

Se encarga de llevar adelante el proceso de pulverización, en el cual es importante tener controladas las variables de presión y caudal del fluido, debido a que cambios abruptos en sus valores pueden ocasionar roturas del equipamiento. Otra variable a tener en cuenta es la temperatura ambiente, debido a que ésta influye directamente sobre la evapotranspiración del producto y debe ser considerada al momento de realizar alguna aplicación del mismo. Finalmente este subsistema también se encarga de activar y desactivar las electroválvulas que hacen la aplicación de manera selectiva, de acuerdo a la configuración espacial del invernáculo (i.e., cantidad de pasillos, platabandas, etc.). El Diagrama de Despliegue de este subsistema se muestra en la Figura 6.

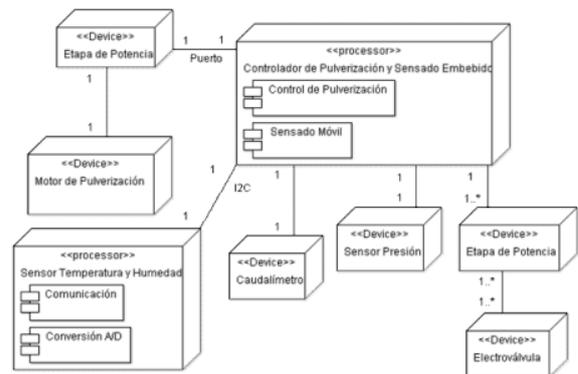


Figura 6. Diagrama de despliegue del subsistema de pulverización.

F. Subsistema de Visión y Captura de Imágenes

La Figura 7 muestra el subsistema encargado de obtener y procesar imágenes del entorno, con el objetivo de determinar las características vegetales en los cultivos, utilizando el rango visible del espectro electromagnético como elemento clasificador. En un futuro, también se pretende utilizar esta cámara para dotar al sistema de visión artificial y así reducir el nivel de incertidumbre de los algoritmos de trayectorias dentro del invernáculo.



Figura 7. Diagrama de despliegue del subsistema de visión.

G. Subsistema Coordinador

Este subsistema (ver Figura 8) es el corazón del robot móvil. Está encargado de coordinar todas las actividades por medio del planificador de tiempo real, el cual otorga diferentes prioridades a cada tarea de acuerdo a su criticidad y a la manera en que ella puede impactar, en el sistema general, ante una eventual falla.

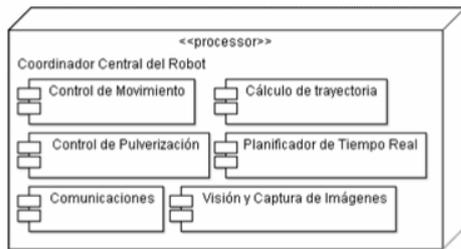


Figura 8. Diagrama de despliegue del subsistema coordinador del robot.

Todas las mediciones obtenidas y procesadas por los demás subsistemas son enviadas al controlador central de la plataforma, quien debe realizar los cálculos de posición, evasión de obstáculos, control de movimiento, control de pulverización, entre otras. Una vez procesada la información, los datos son devueltos al subsistema que generó la petición para que sean tomadas las acciones de control necesarias. Asimismo, este subsistema es el encargado de enviar los datos recolectados al servidor central para que sean procesados y almacenados en la base de datos.

V. TRABAJOS RELACIONADOS

Nuevas tecnologías de la información, comunicación y técnicas de control se han incorporado y se introducen progresivamente al sector agroindustrial (principalmente las relacionadas con la automática y la robótica). El objetivo es, entre otros, facilitar y promover el desempeño eficiente de los distintos sistemas que constituyen un entorno automatizado. Tecnologías y técnicas que, a menudo, son importadas y no se ajustan de forma adecuada a un contexto/escenario productivo

específico. Por lo tanto, requieren de ajustes y adaptaciones a problemáticas locales-regionales específicas. Es por este motivo que se presentan a continuación algunas aplicaciones de robótica desarrolladas para el sector agroindustrial en lo que respecta a la agricultura intensiva, concretamente en invernáculos. Lo que servirá de insumo para analizar experiencias y determinar cómo se pueden adaptar los desarrollos de la robótica a las necesidades socio-económicas productivas locales.

Uno de esos ejemplos es un robot móvil llamado *AURORA*, financiado por el Instituto de Fomento de Andalucía. Este proyecto ha sido realizado en el ámbito de la Red Andaluza de Automática Avanzada y Robótica que agrupa a los departamentos de ingeniería de sistemas y automática de Málaga y Sevilla. El proyecto *AURORA* ha sido concebido para sustituir los trabajos que implican riesgos para la salud dentro de invernaderos, por medio de un robot móvil autónomo. El robot posee así diversos dispositivos de inspección y operación [15].

Otro ejemplo es el de la Universidad de Almería, donde se ha desarrollado una plataforma móvil autónoma denominada *Fitorobot*. En este caso, la plataforma permite desplazarse entre las líneas de cultivo para realizar, en una fase inicial, aplicaciones fitosanitarias mediante el empleo de una barra pulverizadora vertical. También, se han diseñado otros accesorios para aplicaciones futuras como un elevador para trabajos en la parte superior de las plantas (podas, recolección, polinización manual, etc.), y una carretilla para transporte de cargas pesadas [8] [6].

En el mismo sentido, se desarrollaron trabajos de investigación en el Departamento de Ingeniería Eléctrica y Ciencias de Computación e Informática y el Laboratorio de Inteligencia Artificial del Instituto Tecnológico de Massachusetts [16]. Allí se realizó la implementación de un sistema distribuido de jardinería autónoma donde el jardín se constituye en una red entre los robots y las plantas. Los robots "jardineros" son móviles y poseen un brazo robótico del cual se sostiene una cámara. Además, son capaces de ubicar las plantas, y regarlas según sea necesario. También pueden localizar y recoger las frutas. Las plantas en maceta son tomates cherry, y se utilizan sensores para monitorear su bienestar (e.g., la humedad del suelo y el estado de las frutas). Por medio de las redes se presentan las solicitudes de servicio a los robots, se asignan tareas de detección y manipulación.

VI. CONCLUSIONES

Contemporáneamente, el conocimiento fundamentado en la información es más que el conjunto de especialistas o de disciplinas que trabajan en equipos sobre problemas específicos. Las soluciones potenciales implican la integración de diferentes habilidades y la construcción de marcos de conocimientos que se valen y van más allá de los campos disciplinares. Apelan, fundamentalmente, a la convergencia tecnológica.

El valor agregado en la incorporación de tecnologías para mejorar la producción agropecuaria es optimizar el manejo de recursos y la recolección de datos con su correspondiente mayor y mejor capacidad de respuesta. Además, hace eficiente

su gestión, protege a los seres humanos con la reubicación desde sus lugares de trabajo y sustitución de tareas que pueden resultar riesgosas para su salud. Por lo tanto, podría decirse que mejora la calidad de vida de los productores y actores sociales involucrados.

Una alternativa viable para lograr el propósito expresado en el párrafo precedente, es abordar la problemática desde la idea conceptual que proporcionan los SCF. En particular, este trabajo intenta realizar un aporte en ese sentido.

Desde la perspectiva de los SCF, en un determinado sistema no se distinguen las partes físicas, biológicas y estructurales de aquellas electrónicas, mecánicas y computacionales. La integración se da de tal modo que el entorno físico se convierte en un co-domino afectado por las leyes físicas y los procesos computacionales.

Este trabajo específicamente presenta el diseño de un invernadero robotizado, desde el enfoque de los SCF. En este sentido, se considera al conjunto ecosistema-invernadero y al robot móvil como un único sistema. En base a esto se identificaron los principales requerimientos del sistema, en términos de las variables físicas involucradas. Luego, a partir de dichas variables se establecieron los subsistemas necesarios para satisfacer los requerimientos. Finalmente, estos subsistemas se caracterizaron y describieron mediante Diagramas de Despliegue de UML.

Como trabajos futuros, se plantea continuar detallando las características del sistema Invernadero Robotizado, mediante las experiencias recogidas de su implementación práctica. Asimismo, con el objetivo de generalizar los resultados hallados, se pretende tomar el enfoque de Patrones de Diseño para describir las soluciones encontradas a los diversos problemas que se presenten. De este modo, se adaptarán patrones clásicos y se generarán nuevos, de acuerdo a las particularidades que se presenten.

VII. REFERENCIAS

- [1] J. SÁNCHEZ-HERMOSILLA, A. S. G. LÓPEZ, y Y. R. M. ANZANO, «Equipos de aplicación de productos fitosanitarios en invernadero», *Horticultura global*, págs. 26–31, 2007.
- [2] L. Sha, S. Gopalakrishnan, X. Liu, y Q. Wang, «Cyber-physical systems: A new frontier», *Machine Learning in Cyber Trust*, págs. 3–13, 2009.
- [3] B. H. Krogh et al., *Cyber-Physical Systems, Executive Summary*. CPS Steering Group, Washington DC, March, 2008.
- [4] E. A. Lee y S. A. Seshia, *Introduction to Embedded Systems-A Cyber-Physical Systems Approach*. Lee & Seshia, 2010.
- [5] «Enciclopedia Británica <http://www.britannica.com/EBchecked/topic/9620/agricultural-technology/67808/Greenhouses>», 2011.
- [6] R. G. Sánchez, F. R. Díaz, J. S. H. López, y J. G. Donaire, «Algoritmo de navegación reactiva de robots móviles para tareas bajo invernadero».
- [7] A. O. Baturone, *Robótica: manipuladores y robots móviles*. Marcombo, 2001.
- [8] R. González, F. Rodríguez, J. Sánchez-Hermosilla, y J. G. Donaire, «Experiencias en sistemas de navegación de robots móviles para tareas en invernadero».
- [9] J. A. Stankovic, «When sensor and actuator networks cover the world», *ETRI journal*, vol. 30, n.º. 5, págs. 627–633, 2008.
- [10] *AGRICULTURA DE PRECISIÓN: Integrando conocimientos para una agricultura moderna y sustentable*, PROCISUR. Montevideo, UY: , 2006.
- [11] W. H. Kuo, Y. S. Chen, G. T. Jen, y T. W. Lu, «An intelligent positioning approach: RSSI-based indoor and outdoor localization scheme in Zigbee networks», in *Machine Learning and Cybernetics (ICMLC), 2010 International Conference on*, vol. 6, págs. 2754–2759.
- [12] E. A. Lee, «Cyber-physical systems-are computing foundations adequate», in *Position Paper for NSF Workshop On Cyber-Physical Systems: Research Motivation, Techniques and Roadmap*, 2006, vol. 1, págs. 1–9.
- [13] B. H. C. Cheng y J. M. Atlee, «Research directions in requirements engineering», in *2007 Future of Software Engineering*, 2007, págs. 285–303.
- [14] «Lenguaje Unificado de Modelado, <http://www.uml.org>».
- [15] A. Mandow, J. L. Martínez, V. F. Muñoz, A. Ollero, y A. García-Cerezo, «The autonomous mobile robot AURORA for greenhouse operation», *Robotics & Automation Magazine, IEEE*, vol. 3, n.º. 4, págs. 18–28, 2002.
- [16] N. Correll et al., «Building a distributed robot garden», in *Intelligent Robots and Systems, 2009. IROS 2009. IEEE/RSJ International Conference on*, 2009, págs. 1509–1516.

Desarrollo e Implementación de Síntesis Patrones de Radiación Sobre Plataforma FPGA

Raúl A. Gastaldi, Javier F. Fernández, Gabriel R. Caballero, Juan Galleguillo, Marcela B. Busnardo, Sergio A. Medina.

Departamento Electrónica y Telecomunicaciones, Área I+D.
 Instituto Universitario Aeronáutico
 Córdoba, Argentina
 Emails: {rgastaldi}, {jfernandez}, {gcaballero}, {jgalleguillo}, {mbusnardo},
 {smedina}@iua.edu.ar

Resumen— El propósito de este trabajo es presentar el desarrollo teórico del cálculo de las fases que deben alimentar un arreglo de antenas plano de 25 elementos, para dirigir el haz de radiación en una dirección deseada. Se completa con la implementación del cálculo de las fases de alimentación de cada antena desarrolladas en la sección de desarrollo teórico y la conformación de las 25 portadoras en una plataforma FPGA.

Antenas, arreglos, radiación, FPGA, implementación.

I. INTRODUCCIÓN

La conformación de un haz de radiación en una dirección dada utilizando arreglos de antenas es un tema que se viene tratando desde hace tiempo. Hoy, el avance de la tecnología en el campo del procesamiento digital de señales permite calcular y variar en tiempo real, las fases de una antena con el fin de cambiar en tiempo real, la dirección del haz de radiación sin tener que modificar aspectos físicos del arreglo de antenas. Este trabajo retoma los aspectos teóricos del cálculo de las fases con que se debe alimentar cada antena del arreglo para conseguir un haz de radiación en la dirección deseada y se completa con la implementación en plataforma FPGA del cálculo de las fases de cada una de las antenas y de la generación de las 25 portadoras desfasadas entre sí.

Las aplicaciones de esta utilidad son variadas, en el ámbito de la aviación y complementado con un sistema de tracking se puede direccionar un haz de transmisión en una dirección dada, para concentrar la energía de la señal y para minimizar la posibilidad de interferencias. En el caso de la telefonía celular, para incrementar considerablemente el ancho de banda para cada móvil, ya que se reduce la interferencia.

II. DESARROLLO TEÓRICO

Normalmente el diagrama de radiación de un arreglo de antenas está controlado por un sistema mecánico o por desfases en base a ferrita, o diodos pin,... colocados en cada antena [1][3].

Este trabajo consiste en controlar el haz de radiación 360° en el plano \emptyset , y entre 0° y 70° en el plano Θ de un arreglo

plano de 5x5 antenas isotrópicas. La separación entre antenas será $dx=\lambda/2$, $dy=\lambda/2$. La fase de cada antena estará controlada por una PLACA FPGA. Las opciones para manejar las variables \emptyset_0 y θ_0 son:

- Se introducen los valores de \emptyset_0 y θ_0 en los cuales se ubicará el máximo,
- Se fija el valor de \emptyset_0 , y el ángulo Θ estará barriendo los ángulos entre 0° y 70°,
- Θ y \emptyset se mueven libremente dentro de los límites fijados para estos.

El desarrollo está realizado en coordenadas de MATLAB, esto implica que se cambia la designación de las coordenadas, en MATLAB Θ (0 a 2π) reemplaza a \emptyset y \emptyset (0 $\pi/2$, y 0 $-\pi/2$) reemplaza a Θ . Por lo tanto el ángulo de máximo podrá ubicarse en Θ entre 0 y 2π , y en el plano \emptyset entre $\pi/6$ y $\pi/2$.

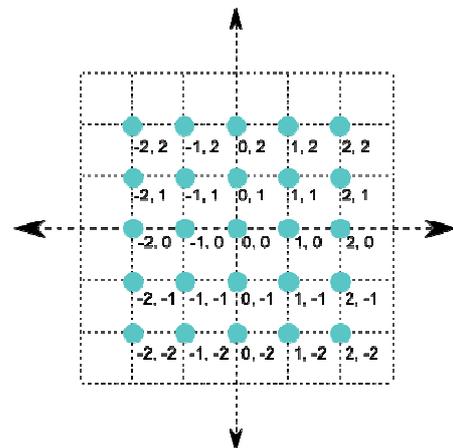


Figura N°1: Plano X, Y de ubicación de antenas.

A continuación se desarrolla el campo radiado por cada antena del arreglo:

$$E_{m,n} = |a_{m,n}| e^{-j\delta_{m,n}} e^{-j\beta R_{m,n}/R_{m,n}} [2] \quad (1)$$

Donde:

$a_{m,n}$ Es el modulo de la alimentación de cada antena.

$\delta_{m,n}$ Es la fase de alimentación de cada antena.

$R_{m,n}$ Es la dirección del campo radiado, que se conforma de la siguiente forma $R_{mn} = R - \bar{u}_R \cdot \bar{r}_{mn}$

$$\bar{u}_R = \bar{u}_x \cos \varnothing \cos \theta + \bar{u}_y \cos \varnothing \sin \theta + \bar{u}_z \sin \varnothing \quad (2)$$

$$\bar{r}_{m,n} = \bar{u}_x d_{mx} + \bar{u}_y d_{ny} \quad (3)$$

$$\hat{a}_{m,n} = \hat{b}_m \cdot \hat{c}_n \quad (4)$$

$$|a_{m,n}| e^{-j\delta_{m,n}} = |b_m| e^{-j\delta_m} |c_n| e^{-j\delta_n} \quad (5)$$

$$\delta_{m,n} = \delta_{mx} + \delta_{ny} \quad (\text{Fase de alimentación de cada antena})$$

$$E_{m,n} = |b_m| e^{-j\delta_m} |c_n| e^{-j\delta_n}$$

$$(e^{-j\beta R} / R) e^{j\beta(md_x \cos \varnothing \cos \theta + nd_y \cos \varnothing \sin \theta)}$$

$$E_{m,n} = |b_m| |c_n| (e^{-j\beta R} / R) e^{j(\beta md_x \cos \varnothing \cos \theta + \beta nd_y \cos \varnothing \sin \theta - \delta_{mn})}$$

$$E_{M,N} =$$

$$[\sum_{m=-M}^{M} |b_m| e^{j(\beta md_x \cos \varnothing \cos \theta - \delta_m)}][\sum_{n=-N}^{N} |c_n| e^{j(\beta nd_y \cos \varnothing \sin \theta - \delta_n)}] \quad (6)$$

Fase de alimentación de las antenas.

Se definen los ángulos \varnothing_0 y θ_0 de la dirección del máximo.

$$0 = \beta md_x \cos \varnothing_0 \cos \theta_0 - \delta_m$$

$$\delta_m = \beta md_x \cos \varnothing_0 \cos \theta_0 \quad (7)$$

$$0 = \beta nd_y \cos \varnothing_0 \sin \theta_0 - \delta_n$$

$$\delta_n = \beta nd_y \cos \varnothing_0 \sin \theta_0 \quad (8)$$

Así:

$$\delta_{mn} = \beta(md_x \cos \varnothing_0 \cos \theta_0 + nd_y \cos \varnothing_0 \sin \theta_0) \quad (9)$$

$$\psi_x = (\cos \varnothing \cos \theta - \cos \varnothing_0 \cos \theta_0) \quad (10)$$

$$\psi_y = (\cos \varnothing \sin \theta - \cos \varnothing_0 \sin \theta_0) \quad (11)$$

La fase de alimentación de cada antena sale del producto de los términos de cada \sum_{-M}^M , y \sum_{-N}^N .

Donde:

$$M = -2 \text{ a } M = 2; \quad N = -2 \text{ a } N = 2.$$

$$d_x = d_y = \lambda/2$$

La ecuación del diagrama de radiación del arreglo 5x5 resultante queda determinada por la siguiente expresión

$$E_{55} = \left(\frac{1}{25}\right) [a_{00} + a_{01} e^{j\beta d_y \psi_y} + a_{02} e^{j2\beta d_y \psi_y} + a_{0-1} e^{-j\beta d_y \psi_y} + a_{0-2} e^{-j2\beta d_y \psi_y} + a_{10} e^{j\beta d_x \psi_x} + a_{20} e^{j2\beta d_x \psi_x} + a_{-10} e^{-j\beta d_x \psi_x} + a_{-20} e^{-j2\beta d_x \psi_x} + a_{11} e^{j\beta(d_x \psi_x + d_y \psi_y)} + a_{12} e^{j\beta(d_x \psi_x + 2d_y \psi_y)} + a_{1-1} e^{j\beta(d_x \psi_x - d_y \psi_y)} + a_{1-2} e^{j\beta(d_x \psi_x - 2d_y \psi_y)} + a_{21} e^{j\beta(2d_x \psi_x + d_y \psi_y)} + a_{22} e^{j\beta(2d_x \psi_x + 2d_y \psi_y)} +$$

$$a_{2-1} e^{j\beta(2d_x \psi_x - d_y \psi_y)} + a_{2-2} e^{j\beta(2d_x \psi_x - 2d_y \psi_y)} + a_{-11} e^{j\beta(-d_x \psi_x + d_y \psi_y)} + a_{-12} e^{j\beta(-d_x \psi_x + 2d_y \psi_y)} + a_{-1-1} e^{j\beta(-d_x \psi_x - d_y \psi_y)} + a_{-1-2} e^{j\beta(-d_x \psi_x - 2d_y \psi_y)} + a_{-21} e^{j\beta(-2d_x \psi_x + d_y \psi_y)} + a_{-22} e^{j\beta(-2d_x \psi_x + 2d_y \psi_y)} + a_{-2-1} e^{j\beta(-2d_x \psi_x - d_y \psi_y)} + a_{-2-2} e^{j\beta(-2d_x \psi_x - 2d_y \psi_y)}] \quad (12)$$

Esta expresión escrita en un programa de MATLAB, genera el diagrama de radiación, en este ejemplo, se fijaron los ángulos del máximo $\varnothing_0 = 3/4 \pi$ y $\theta_0 = 3/4 \pi$

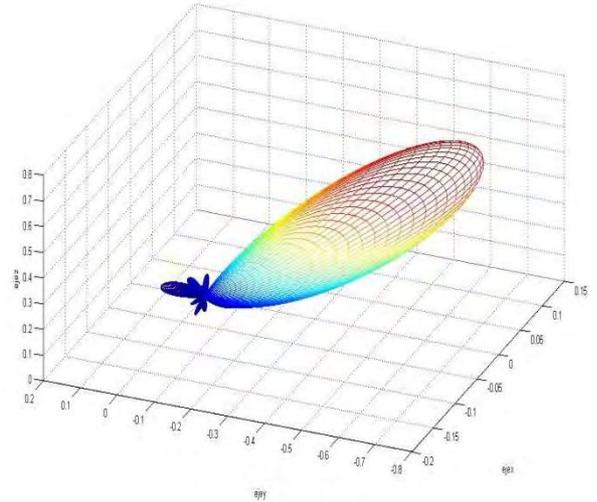


Figura N°2: Diagrama de radiación resultante.

III. IMPLEMENTACIÓN

Dada la introducción teórica del caso, en esta sección se dispone a discutir los aspectos referidos a la implementación. Se decide utilizar como plataforma de implementación una FPGA Spartan 3E de Xilinx dados los requerimientos de procesamiento en paralelo para el cálculo de las fases de alimentación de 25 antenas diferentes y de la conformación simultánea de 25 portadoras desfasadas. La necesidad de procesamiento en paralelo es un requerimiento ineludible.

Desde el punto de vista de la implementación tenemos un gran módulo cuyas señales de entrada son los ángulos que especifican la dirección del máximo del diagrama de radiación. La salida del sistema son 25 portadoras, de la misma frecuencia y desfasadas cada una el valor correspondiente para lograr la dirección de radiación deseada. Dichas portadoras serán luego moduladas según la necesidad.

Los datos de entrada son: el ángulo \varnothing (MATLAB), y el ángulo θ (MATLAB). En la "Fig. 3", se muestra como están dispuestos los ejes y qué implica cada ángulo de entrada.

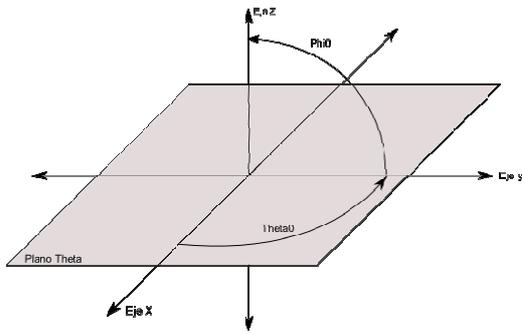


Figura N°3: Sistema de coordenadas esféricas en MATLAB.

La implementación se diseña modularmente [4]. El módulo más importante es el Generador de Fases, este módulo implementa el desarrollo teórico del cálculo de la fase de cada antena para obtener la dirección de propagación deseada. La ecuación 13 describe el funcionamiento de dicho módulo y es la siguiente:

$$\delta_{mn} = \beta(dx \cdot m \cdot \cos \phi_0 \cdot \cos \theta_0 + dy \cdot n \cdot \cos \phi_0 \cdot \sin \theta_0)$$

En la ecuación $\delta_{m,n}$ representa la fase con la cual se debe alimentar cada antena, donde m y n hacen referencia a la ubicación geográfica de cada una en el arreglo plano “Fig. 1”, además dx y dy, representan la separación de cada una de las antenas al centro del arreglo.

Éste módulo requiere un número elevado de cálculos de funciones trigonométricas, lo que se resuelve con una *look up table* para contar con un método rápido de solución. El funcionamiento en conjunto de estos dos bloques devuelve el valor de cada una de las 25 fases de señal a generar. En la “Fig. 4” se presenta el diagrama de bloques general de la implementación.

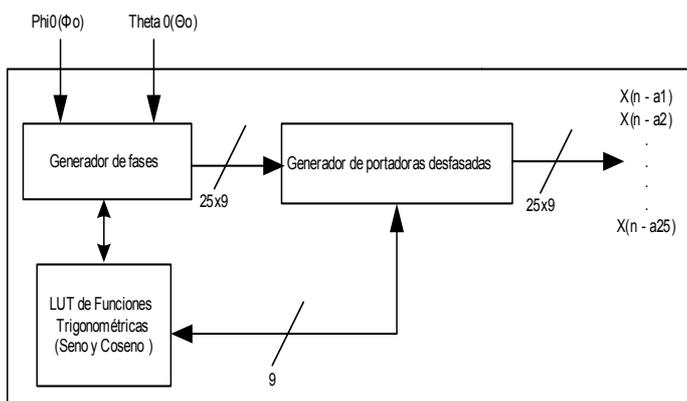


Figura N° 4: Diagrama de bloques de la implementación.

El proceso de implementación se llevo a cabo mediante una simulación en lógica de punto fijo en MATLAB, a fin de determinar cuál es la cantidad de bits óptima a utilizar para que la pérdida de datos por cuantización no sea significativa.

El correcto funcionamiento del simulador de punto fijo se comprobó comparando los resultados con los obtenidos en las simulaciones realizadas durante el desarrollo teórico. Dicho simulador de punto fijo también sirvió como herramienta para depurar la lógica de operaciones en punto fijo. Se decidió utilizar lógica de 9 bits, para tener la resolución necesaria, sobre todo en el cálculo de las funciones trigonométricas. Finalmente, mediante testbench del lenguaje HDL, se almacenó señales para compararlas con las obtenidas en el simulador de punto fijo de MATLAB, a fin de realizar una comprobación del funcionamiento del sistema con la técnica de Vector Matching.

El segundo módulo en importancia es el generador de portadoras en distintas fases, la entrada a dicho módulo es, por supuesto, las fases de cada portadora. La generación de una portadora, se realiza con un contador y una LUT de una señal sinodal. El contador genera el dato de entrada a la LUT. El paso del contador, determina el periodo de overflow del contador y la frecuencia de la señal sinodal de salida. La salida de la LUT es la señal sinodal (portadora) que se busca. Se utiliza un contador, el cual genera N señales (N = 25 en este caso) y a cada una de las N señales se le suma la cantidad de muestras que corresponden a cada fase calculada y con cada una de esas señales se alimenta una LUT de N entradas, obteniendo a la salida de las N LUTs, las N portadoras desfasadas [4]. Dicho esquema es lo que se implementa como el generador de las 25 portadoras desfasadas. En la “Fig. 5” se muestra el diagrama en bloques del generador de portadoras desfasadas.

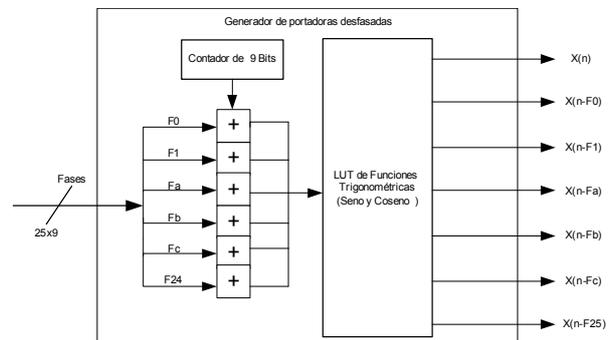


Figura N°5: Diagrama en bloques del generador de portadoras.

Se puede observar que hay dos clases de LUTs, una la usada para la generación de las fases, que se puede ver en la “Fig. 4”, que se trata de una LUT que cuenta con una entrada de 9 bits, y una salida de 9 bits. El otro tipo de LUT, es la utilizada en la generación de portadoras, que se puede ver en la “Fig. 5”. En este último caso, se trata de una LUT “múltiple”, que cuenta con N entradas (25 en este caso) y N salidas. Se elige esta forma, para optimizar el uso de registros en la LUT. Se utiliza una sola tabla para generar N salidas. Esta implementación está pensada con el fin de ahorrar memoria a costo de lógica. La alternativa sería implementar 25 LUTs iguales, lo cual sería un uso más que importante de

memoria. Después de probar ambas posibilidades se llegó a la conclusión de que el agregado de lógica para la implementación de dicho sistema es insignificante comparado con la cantidad de memoria ahorrada.

Como comentario final las portadoras resultantes del sistema se pueden modular, para darle distintas aplicaciones en las comunicaciones.

Dada la naturaleza del trabajo, no existen resultados de performance exponible, solo la verificación del correcto funcionamiento de la implementación comparándola con los resultados obtenidos con la simulación de punto fijo y consecuentemente con la simulación de punto flotante.

IV. TRABAJO FUTURO

El trabajo que queda pendiente a realizar es el de vincular el hardware de implementación a un soft de control que corra en una PC y se comunique con la FPGA a fin de transmitirle la dirección en que se desea dirigir el haz de radiación. El objetivo del soft de control es que calcule y transmita, por ejemplo, los ángulos que corresponden de un plano definido, o un barrido con cierto patrón definido, etc.

También queda abierto el proyecto para vincularlo con trabajos de tracking de señal de arribo que determine en qué dirección se debe dirigir el haz para responderle a un transmisor dado.

V. CONCLUSIONES

Los resultados obtenidos por medio de simulación de hdl fueron comparados con los resultados obtenidos de simulación a nivel de sistema, el trabajo debe ser completado agregando una interface de usuario que permita programar o indicar de forma dinámica las direcciones a las cuales se quiere dirigir el haz de radiación, trabajo programado para el futuro.

VI. REFERENCIAS

- [1] Microwave Scanning Antennas
R.C. Hansen
- [2] Antenna Analysis
Edward A. Wolff
- [3] Phased Array Antennas
R.C. Hansen
- [4] Advanced Digital Design with the Verilog HDL
Michael D. Ciletti
ISBN-10: 0130891614
ISBN-13: 9780130891617
Publisher: Prentice Hall
Copyright: 2003

Desarrollo de modelos de fallas de de sistemas Electrónicos utilizando redes bayesianas

Dr. Ing. Jose Luis Roca

Departamento de Ingeniería e Investigaciones Tecnológicas
Universidad Nacional de La Matanza

roca.joseluis@gmail.com

Abstract — The scope of the present work is focused in the use of Belief Bayesian Nets (BBN) in order to model complex electronic system failures with hardware and built-in software. The theory of Bayesian networks can be thought as a fusion of influence diagrams and Bayes Theorem. The present analysis emphasizes their use in replacement of the conventional Fault Tree Analysis (FTA). A later study of software necessary to implement their application completes the proposed objective.

Keywords-component; Belief Bayesian Nets (BBN), Fault Tree Analysis (FTA); Conditional Probability Table (CPT); Influence diagrams (IF).

I. INTRODUCCION

Los sistemas electrónicos en la actualidad están constituidos tanto por hardware como por software delimitando con el ser humano a través de una interfase que permite el intercambio de información (handshake) entre usuario u operador del sistema y el propio sistema. Estos sistemas son demasiado complejos y su complejidad es inherente a su estructura básica. En líneas generales para analizar las probabilidades de fallas de un sistema complejo de este tipo con tiempos de misión fijos, se recurre o a diagramas de confiabilidad RBD (Reliability Block Diagrams) o a los denominados árboles de falla FTA (Fault Tree Analysis). Si se pretende analizar la variación de la confiabilidad de un sistema en el tiempo la técnica de Cadenas de Markov (Markov Chains) es la solución. En el primer caso la introducción de un componente nuevo cuya falla incide directamente sobre algunos de los otros componentes de la red lógica es imposible de modelar con las técnicas RBD o FTA. En el segundo caso la cantidad de estados para sistemas de alta complejidad sería enorme y difícil de manejar aun con medios computacionales. Aquí aparece el beneficio de la modelización de estos sistemas complejos mediante las denominadas Redes de Probabilidad Bayesiana BBN (Belief Bayesian Nets). La utilización de esta última técnica sumada a la selección de una herramienta adecuada que permita resolver esta situación constituye el objetivo de este trabajo de investigación aplicada.

II. PROBLEMÁTICA A RESOLVER

La problemática básica a resolver esta planteada desde dos puntos de vista: el primero es como resolver el modelo de

fallas en un FTA cuando se trata de incorporar un componente nuevo ya sea de software o hardware cuya falla incide directamente en algún otro componente y el segundo estudiar y analizar los diferentes software aplicativos que resuelvan computacionalmente la modelización realizada.

Fundamentalmente la utilización de BBN para la modelización de fallas en un sistema electrónico complejo esta basada en que las mismas soportan estructura gráfica y representación modular del conocimiento, utilizan algoritmos locales y distribuidos para inferencia y aprendizaje, permiten la interpretación intuitiva (causalidades posibles) y contemplan la representación factoreada. Además contienen menos parámetros que la función de distribución conjunta, poseen menor complejidad muestral (menor cantidad de datos para aprendizaje) y menor complejidad temporal (menos tiempo para hacer inferencia estadística). En cuanto a inferencia estadística se refiere, las BBN permiten evaluar probabilidades “a posteriori”, esto es el computo de las probabilidades de cualquier evento dada la evidencia correspondiente, aportan la explicación más verosímil respecto a los posibles escenarios y las evidencias presentes, permite tomar decisiones racionales, maximizando la utilidad esperada y el valor de la información, asimismo tienen en cuenta el efecto y análisis de causalidades. Desde el punto de vista cualitativo su representación es a través de un grafo directo acíclico, cuyos nodos representan variables aleatorias y los arcos distendidos entre los nodos la influencia directa de una variable sobre otra. Desde el punto de vista cuantitativo se trata de la representación de un conjunto de distribuciones de probabilidad condicional. Juntas definen una única distribución en forma factoreada. El modelo probabilístico es descripto cualitativamente por un grafo acíclico como se observa en la Fig.1.

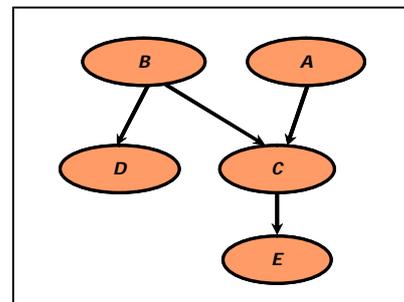


Fig.1 – Ejemplo de BBN

Los vértices del grafo que representan las variables aleatorias son llamados nodos. Estos nodos están representados por círculos que contienen el nombre de la variable aleatoria. Las conexiones entre los nodos están representadas por arcos dirigidos o flechas, y estas flechas representan dependencia entre las variables. Para cualquier par de nodos, aquel en donde se origina la flecha se denomina padre del nodo al cual esta llega, y esta ultima recibe el nombre de hijo de este nodo padre. La independencia es asumida en redes bayesianas por la ausencia de conectores. Por lo tanto, los nodos donde no llega ninguna flecha se dice que no tienen ningún padre y son independientes.

Los nodos donde se originan las flechas son llamados padres. Mientras que los nodos donde las flechas llegan se denominan hijos. Por ejemplo, A es padre de C, entonces C es hijo de A. de una forma más general los nodos que pueden ser alcanzados por otro u otros nodos son denominados descendencia. Por ejemplo, el nodo E es descendiente de A y B. de la misma manera los nodos que encabezan el camino para llegar a otro nodo son denominados ancestros. Por ejemplo, el nodo C es un ancestro de E.

Un aspecto importante en redes bayesianas (BBN) es que no existen lazos. Con esto se quiere decir que ningún hijo puede ser su propio ancestro o descendencia. El punto principal de las redes bayesianas es producir una conclusión basada en la probabilidad de ocurrencia de cada variable. Esto significa que la probabilidad de cada nodo en las redes bayesianas puede ser calculada cuando las probabilidades asociadas a las otras variables son conocidas.

La distribución de probabilidad conjunta esta definida como la probabilidad que tiene una serie de eventos de ocurrir simultáneamente. La probabilidad conjunta de varias variables puede calcularse por el producto de probabilidades individuales de cada nodo. Para el ejemplo de la Fig.1 se tiene:

$$P(X_1, X_2, \dots, X_n) = \prod_{i=1}^n P[X_i / \text{padres}(X_i)] \quad (1)$$

Aplicando esta expresión al grafo acíclico introducido en la Fig.1, la distribución de probabilidad resulta:

$$P(A, B, C, D, E) = P(A).P(B).P(C/A, B).P(D/B).P(E/C) \quad (2)$$

Si un nodo no tiene ningún nodo padre, como en los nodos A y B, su distribución de probabilidad no está afectada por el resto de los nodos y su distribución es incondicional. Este no es el caso de nodos en los que la distribución de probabilidad es condicional y está afectada por los demás nodos, como es el caso de los nodos C, D y E.

Tres son las conexiones entre nodos que pueden darse definiendo evidencias fuertes y débiles, conexión serie, divergente y convergente. Evidencia fuerte para un nodo X es la evidencia de que el valor de probabilidad asignado al nodo X es en definitiva un valor determinado y particular. Evidencia débil para un nodo X es cualquier evidencia que permita la actualización del valor de probabilidad a priori asignado para el nodo X.

En una conexión serie, Fig.2, cualquier evidencia al comienzo de la conexión puede propagarse a lo largo del camino directo si y solo si no existe ningún nodo intermedio con evidencia fuerte que bloquee el camino directo. En otras palabras la evidencia no puede transmitirse de A a C si B bloquea el camino directo. Se dice que A y C son “d-separados dado B”.

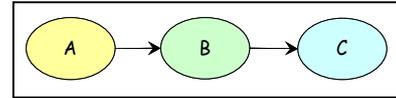


Fig.2 – Conexión Serie

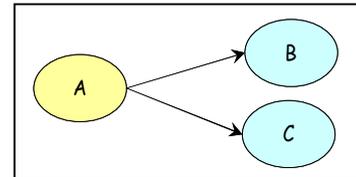


Fig.3 – Conexión Divergente

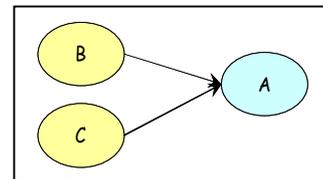


Fig.4 – Conexión Convergente

En una conexión divergente, Fig.3, la evidencia puede propagarse desde un nodo Hijo B a otro nodo Hijo C a través de un nodo Padre A a menos que el nodo padre presente evidencia fuerte. B y C son condicionalmente independientes dado A. Se dice que B y C son “d-separados dado A”. En una conexión convergente, Fig.4, la evidencia puede propagarse desde dos nodos Padres B y C a un nodo Hijo A cuando el nodo hijo recibe alguna evidencia ya sea fuerte como débil.

Cualquier evidencia sobre B o C puede propagarse hacia A. Se dice que B y C son condicionalmente dependientes dado A.

Cada nodo tiene asociada una tabla de probabilidades condicionales CPT (conditional probability table). Estas probabilidades condicionales representan en efecto probabilidades basados en evidencia anterior o posterior.

Esto es que, por cada nodo padre y por cada posible estado de ese nodo padre, existe una columna en la CPT que describe la probabilidad de que el nodo hijo se encuentre en algún estado determinado.

En la Fig.5 se observa una CPT para un nodo padre y en la Fig.6 una CPT para un nodo hijo como ejemplos.

Evento A		
Estado 1	Estado 2	Estado 3
0,800	0,150	0,050

Fig.5 – CPT nodo Padre

Padre	Hijo	
	Evento B	
Evento A	Estado 1	Estado 2
Estado 1	0,050	0,950
Estado 2	0,100	0,900
Estado 3	0,700	0,300

Fig.6 – CPT nodo Hijo

La probabilidad “a posteriori” de que un evento se encuentre en un estado determinado posible esta basada en la adición de alguna evidencia objetiva actual de esa situación. La probabilidad a “priori” resulta un caso particular de la probabilidad basada en información anterior y esta firmemente determinada por la información almacenada en las CPTs de la BBN.

Siendo un BBN un modelo completo para las distintas variables involucradas y sus relaciones, esta puede ser utilizada para realizar inferencia estadística, esto es el computo de la funciones de distribución de probabilidad “a posteriori” a partir de la incorporación de evidencia. Una BBN puede ser así considerada como un mecanismo de aplicación automática del Teorema de Bayes a sistemas complejos.

Las metodologías más generales de realizar inferencia estadística son por eliminación de variables, propagación en árbol y condicionamiento recursivo. La primera elimina ya sea por integración o suma las variables de interés una por una distribuyendo la suma sobre el producto, la segunda metodología actúa sobre varias variables al mismo tiempo de modo que la evidencia se propaga rápidamente a través del grafo generado, agilizando su tratamiento computacional.

Finalmente el condicionamiento recursivo permite una compensación del espacio-tiempo y balancea de algún modo la eficacia de la metodología de eliminación de variables cuando se utiliza bastante espacio de memoria computacional.

III. AVANCES Y RESULTADOS OBTENIDOS

Para la modelización de un sistema electrónico complejo la herramienta que se ha utilizado en esta investigación el es Árbol de Fallas FTA (Fault Tree Analysis) útil para sistemas de tiempo de misión fijo, como es el caso en que se quiere investigar la probabilidad de que se de un evento denominado tope (TOP), generalmente la falla del sistema para un determinado y fijo periodo de tiempo, dadas las probabilidades de falla de sus componentes en el mismo periodo de tiempo. Los árboles de falla están constituidos por compuertas lógicas que enlazan eventos.

En la Fig.7 se observa el diagrama de bloques de un sistema electrónico compuesto por dos procesadores P_1 y P_2 , tres bancos de memoria, dos locales M_1 y M_2 y uno compartido M_3 y un bus N compartido.

Existen además dos unidades de disco duro D_1 y D_2 conformadas cada una de ellas por un disco duro principal D_{11} y D_{21} y un disco duro espejado D_{12} y D_{22} respectivamente.

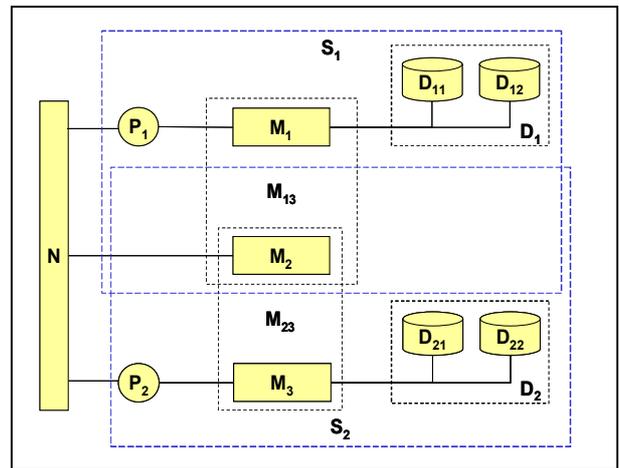


Fig.7 – Esquema de un sistema electrónico

Desde el punto de vista de sistemas de procesamiento se puede observar que son dos. El S_1 formado por P_1, M_1, D_1 y el S_2 formado por P_2, M_2, D_2 , compartiendo ambos el banco de memoria M_3 y el Bus N.

Si se quiere analizar el evento falla del sistema, sea este el evento tope TE, para un tiempo dado fijo, el árbol de fallas correspondiente se muestra en la Fig.8. Obsérvese que sucede cuando se pretende incluir un nuevo evento básico PS como puede ser el asociado a la falla de una fuente de alimentación en forma dependiente que induce fallas en ambos procesadores y en el sistema en general.

Este nuevo evento afecta ambos procesadores y el sistema solamente pero la única forma de introducirlo en el árbol de fallas es mediante el artilugio descrito en líneas de puntos en el árbol de fallas y que no representa la realidad. La conclusión es que resulta imposible modelar este evento en el árbol de fallas.

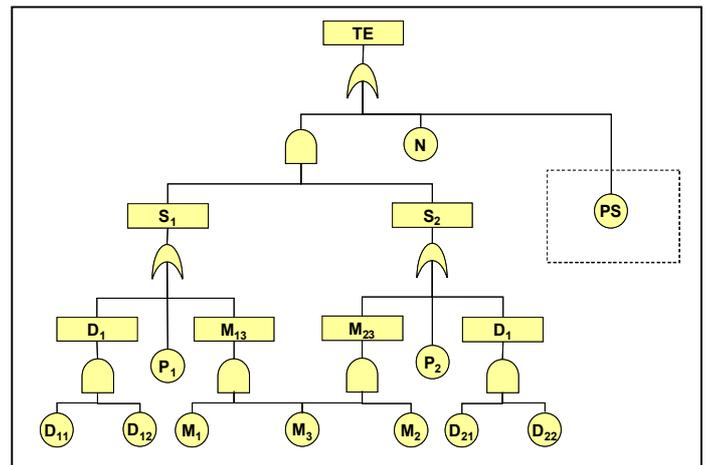


Fig.8 – Árbol de fallas correspondiente al sistema electrónico de la Fig.7

A los efectos de modelar estos eventos y de representar fehacientemente lo que sucede respecto a la interrelación de las distintas fallas en los sistemas electrónicos es que se

procedió a modelar los distintos eventos mediante BBN. En principio se armaron las CPTs correspondientes a las distintas compuertas lógicas presentes en un árbol de fallas. Estas CPTs resultan todas determinísticas.

En las Fig. 9, 10 y 11 se muestran las compuertas típicas de un árbol de fallas, a saber "O", "Y" y mayoritaria "2 de 3" junto con su equivalente diagrama de influencia y su respectiva CPT.

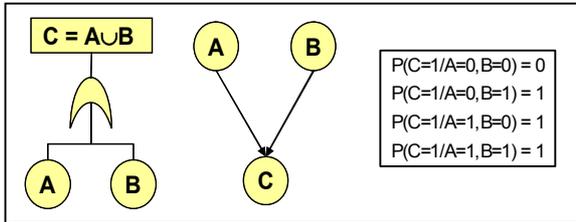


Fig.9 – Compuerta "O" – Diagrama de Influencia – CPT

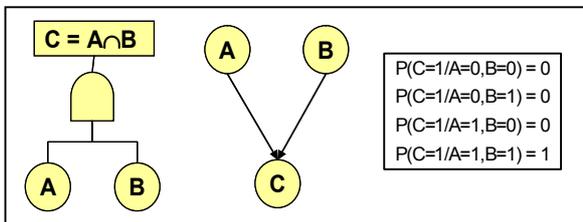


Fig.10 – Compuerta "Y" – Diagrama de Influencia – CPT

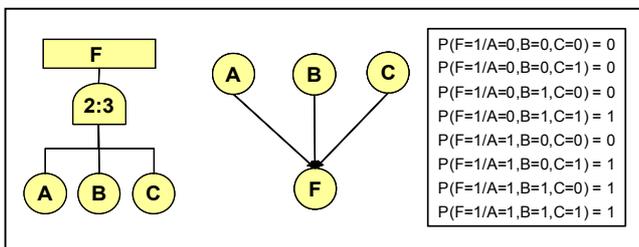


Fig.11 – Compuerta "2 de 3" – Diagrama de Influencia – CPT

En la Fig.12 se observa el modelado de fallas del sistema electrónico de la Fig.7 utilizando BBN. En el diagrama de influencia aparecen todos los eventos raíz que corresponden a los eventos básicos del árbol de fallas, esto es P_1 , P_2 , M_1 , M_2 , M_3 , N , D_{11} , D_{21} , D_{12} y D_{22} respectivamente. Estos eventos raíz son netamente estocásticos. Los nodos determinísticos son los que corresponden a las distintas compuertas lógicas, esto es D_1 , D_2 , M_{13} , M_{23} , S_1 , S_2 , S_{12} y TE .

Obsérvese como es posible modelar el evento correspondiente a la probabilidad de falla de la fuente de alimentación PS cuya falla incide directamente sobre los eventos correspondientes a la probabilidad de falla de los procesadores y del sistema.

En la Fig.13 se observan las CPT correspondientes a los nodos determinísticos S_{12} y TE . En las mismas CPT se indican con

un signo menos sobre el evento correspondiente la negación del mismo, es decir su no ocurrencia.

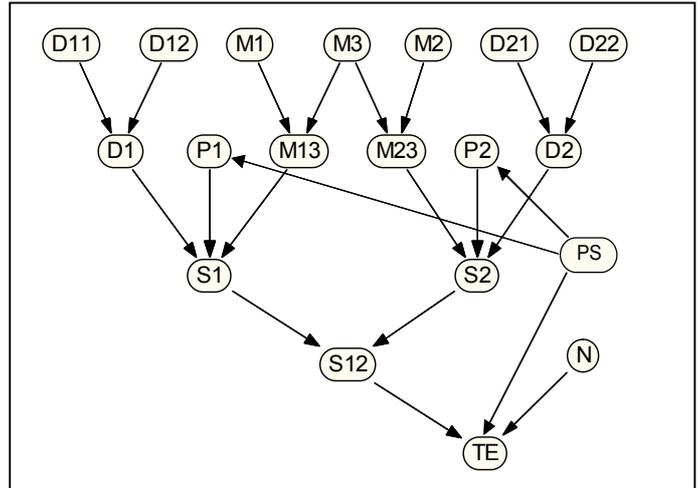


Fig. 12 – BBN correspondiente al sistema electrónico de la Fig.13.

$P(S_{12}/S_1, \bar{S}_2) = 1$	$P(TE/S_{12}, \bar{N}) = 1$
$P(S_{12}/S_1, S_2) = 0$	$P(TE/S_{12}, N) = 1$
$P(S_{12}/\bar{S}_1, \bar{S}_2) = 0$	$P(TE/S_{12}, N) = 1$
$P(S_{12}/\bar{S}_1, S_2) = 0$	$P(TE/S_{12}, \bar{N}) = 0$

Fig.13 – CPTs correspondientes a los nodos S_{12} y TE

El avance obtenido utilizando modelos de fallas en sistemas electrónicos vía BBN permite lograr mejores aproximaciones y solucionar problemas de inserción e interrelación de fallas de los distintos componentes que con las técnicas de árbol de falla (FTA) o diagramas de confiabilidad (RBD) era imposible. Los resultados obtenidos demuestran la versatilidad de esta técnica.

IV. ESTUDIO Y ANÁLISIS DE SOFTWARE

El estudio y análisis de los diversos paquetes de software que permiten modelar y resolver sistemas vía BBN es considerable y de diversa índole. Algunos admiten una interfase grafica, otros no. En algunos casos puede ejecutar inferencia estadística. En la clasificación es posible también encontrar paquetes de software que resuelven redes bayesianas estáticas y/o dinámicas, ampliando el espectro de posibilidades en el mercado.

Los códigos son también variados, desde C++ a Java, pasando por LISP y Matlab. Los sistemas operativos que soportan estas aplicaciones se mueven en toda la franja desde WINDOWS a UNIX pasando por OS de MAC.

En cuanto a costos se encuentran aquellos paquetes de software de uso libre, otros de costo menor para uso

académico, con ciertas restricciones y otros de uso irrestricto y de costo mas elevado.

Para realizar un estudio profundo y exhaustivo de los diversos paquetes de software disponibles es necesario clasificar los mismos de acuerdo a sus atributos.

Los atributos o cualidades que se han seleccionados a esos efectos se refieren a código fuente, interfase de la aplicación, entorno y sistema operativo, interfase grafica, soporte de nodos continuos o discretos, aprendizaje vía parametrización y/o estructura, costos y posibilidad de inferencia estadística.

A continuación se expone un resumen de lo analizado para cada uno de los paquetes de software disponible en el mercado internacional, definiendo las cualidades utilizadas en el análisis. En el cuadro del Apéndice I se exponen en detalle las definiciones de la cualidades utilizadas a lo efectos de su posterior utilización en este estudio

- Cfi = Código fuente incluido (N=no) Si el código fuente esta incluido, en que lenguaje.
- API = Interfase de aplicativo incluida (N significa que el programa no puede ser integrado en el código, esto es solo puede ser corrido en forma aislada.
- Exec = El ejecutable corre en W = Windows (95/98/NT), U = Unix, M = Mac, - = cualquier maquina con compilador.
- Cts = Soporta nodos latentes continuos. G = (condicionalmente) Soporte analítico de nodos Gaussianos, Cs = Soporte de nodos continuos por muestreo, Cd = Soporte de nodos continuos por discretización, Cx = Soporte de nodos continuos por alguna metodología no especificada, D = Soporte solo de nodos discretos.
- GUI = Interfase grafica incluida.
- Params = Aprende vía parametrización.
- Struct = Aprende vía estructura. CI = utiliza pruebas de independencia condicional.
- Utilit = Nodos utilitarios y de decisión (Ejemplo: Soporta diagramas de influencia.
- Costo. 0 = sin costos (disponible solo para uso académico). \$ = Software comercial (algunos con versiones sin costo pero con algunas restricciones de uso). Ejemplo: Limitado numero de nodos, modelos de BBN imposibles de grabar o no existe interfase de aplicativo.
- Undir. Tipos de grafico soportados. U = Solamente grafos no orientados, D = Solamente grafos orientados, UD = Ambos tipos de grafos orientados y no orientados, CG = Grafos encadenados (mezcla de orientados y no orientados)

- Inferencia estadística = Algoritmo utilizado. jtree = junction tree, varelim = eliminación de variables (bucket), MH = Metropolis Hastings, G = Gibbs sampling, IS = importance sampling, sampling = Algún otro método de Monte Carlo, polytree = Algoritmo de Pearl restringido a grafos acíclicos, no = no soporta inferencia (el programa es diseñado solo para aprendizaje de estructura a partir de un conjunto completo de datos observados).

- Comentarios.

V. SELECCIÓN DEL SOFTWARE

Dentro de todos los paquetes de software analizados se escogió el paquete de software NETICA [10]. Se trata de un programa potente, fácil de utilizar, completo para trabajar con redes de probabilidad bayesiana (BBN) y diagramas de influencia.

Posee una interfase con el usuario de características muy intuitivas y de fácil manejo en cuanto a gráficos se refiere. Esto permite dibujar BBN, relacionar las variables utilizadas e incorporar probabilidades individuales bajo la forma de ecuaciones. Una vez creada la red, el conocimiento contenido en ella puede ser transferido a otras redes cortando y pegando o guardando en forma modular de modo de crear una librería de nodos acoplados en forma discontinua.

Las redes y las librerías de nodos pueden ser guardadas o impresas. Netica puede utilizar las redes para realizar varias clases de inferencia estadística usando los algoritmos más rápidos y más modernos. El programa encuentra los valores de probabilidades apropiados para todas las variables desconocidas, en el caso de un nuevo problema a resolver del que se tiene conocimiento limitado.

Estos valores de probabilidades pueden ser mostrados de varias maneras diferentes, incluyendo gráficos de barras y del tipo de medidores. El problema en cuestión puede ser guardado como archivo y puede ser traído nuevamente en la misma red creada u otra nueva, de modo de poder permitir un posterior análisis o tomar en cuenta la nueva información sobre el problema.

Puede utilizar diagramas de influencia para encontrar las decisiones óptimas que maximizan los valores previstos de las variables especificadas. Puesto que las decisiones a futuro pueden depender de las observaciones que se harán y las sincronizaciones y las correlaciones entre las decisiones deben ser consideradas es que Netica puede construir redes condicionales.

Netica puede ser utilizado para transformar una red de varias maneras. Las variables que ya no son de interés pueden ser eliminadas sin cambiar las relaciones preexistentes entre las variables restantes.

Los modelos de probabilidad pueden ser explorados mediante operaciones tales como inversión de acoplamientos individuales de la red, quitando o agregando las influencias

causales, optimizando una decisión en el tiempo, etc. Estas operaciones se pueden hacer simplemente a través de pantalla y Mouse lo que hace de Netica una herramienta muy conveniente para la exploración fácil, y para aprender rápidamente los conceptos de diagrama de la red bayesiana y de influencia. Hay muchas nuevas características y capacidades para Netica actualmente en el desarrollo.

El costo del programa completo esta alrededor de u\$s 685 en su versión comercial y u\$s 285 en su versión académica. Se recomienda vivamente la adquisición de la versión académica. Existe una versión gratis pero limitada en funciones y cantidad de variables.

VI. ESPECIFICACION DEL SOFTWARE SELECCIONADO

- Genera gráficos de calidad que pueden ser incorporados en otros documentos.
- Compila BBN en un árbol acoplado de modo de razonamiento probabilístico rápido.
- Ayuda extensiva en pantalla
- Análisis de sensibilidad Utilidad-libre (versión de Windows solamente)
- Puede probar el funcionamiento de una BBN usando archivos de casos, arrojando como resultado una matriz con las tasas de errores logarítmicos y cuadráticos, una tabla de calibración y los índices correspondientes a cada nodo bajo estudio.
- Permite encontrar las decisiones óptimas para los problemas de decisión secuenciales
- Permite resolver diagramas de influencia eficientemente usando árboles acoplados
- Aprende relaciones probabilísticas entre datos
- Provee una fácil edición de gráficos de BBN y de diagramas de la influencia, incluyendo:
- Corte/pegado/duplicado de nodos sin dejar de lado su relación probabilística.
- Varias formas de exhibición de las variables asociadas a los nodos (gráficos de barra, medidores, etc.)
- Acoplamientos curvos entre nodos a los fines de construir diagramas complejos de forma ordenada.
- Comentarios, sin perder de vista al autor de los mismos.
- Niveles ilimitados de deshacer/hacer de nuevo.
- Permite la entrada de relaciones probabilísticas vía ecuaciones con una extensa biblioteca de funciones de probabilidad y de otras funciones matemáticas incorporada.
- Tiene facilidades para la fácil discretización de variables continuas.
- Puede invertir acoplamientos y sumar nodos de diagramas de influencia o BBN de modo de poder explorar el modelo de red.
- Soporta desconectar acoplamientos entre nodos de modo de hacer posible la existencia de librerías de relaciones de probabilísticas.
- Es posible representar redes con los nodos cuyos valores cambian con el tiempo y tener acoplamientos con demoras. El software puede convertir automáticamente

estas redes en redes regulares ampliadas que cubren un periodo de tiempo limitado.

- Acepta estimaciones de máxima verosimilitud (es decir, evidencia virtual), y resultados de la forma que una cierta variable no esta en un cierto estado.
- Puede exhibir nodos y resultados de inferencia estadística de varias formas, incluyendo gráficos de barra y de un medidor verdadero/falso.
- Fácil customización de pantalla de modo de ser útil al usuario.
- Soporta documentación y trazabilidad para todos y cada uno de los nodos de la red.
- Documentación de las ayudas y seguimiento de cada nodo y red (con los comentarios, títulos, autor, cuando haber cambiado, etc. pasados)
- No tiene límites, en cuanto al tamaño o la complejidad de redes, esta solo limitado por la memoria disponible.
- Puede trabajar con el producto de Netica API, por ejemplo, compartiendo los mismos archivos.

VII. BIBLIOGRAFIA

- [1] David Heckerman, "A tutorial on learning with Bayesian Networks", Technical Report MSR-TR-95-06; Microsoft Research; Advanced Technology Division; Microsoft Corporation; One Microsoft Way; Redmond, WA 98052; USA.
- [2] Judea Pearl, "Causality: Models, Reasoning and Inference", Econometric Theory, Vol. 19, Cambridge University Press, USA, pp. 675-685, 2003.
- [3] Charniak Eugene, "Bayesian Networks without tears", AI Magazine, USA, pp.50-63; Winter 1991.
- [4] Robert Cowell, A.Philip Dawid, Steffen Lauritzen & David Spiegelhalter, "Probabilistic Networks and Expert Systems", Springer Verlag, New York, Inc., pp.5-61; 1999.
- [5] Michael Irwin Jordan, "Learning in Graphical Models", MIT Press, Kluwer Academic Publishers, pp.27-105, 1998.
- [6] Wray Buntine, "Operations for learning with graphical models", Journal of Artificial Intelligence Research, Vol.2, pp.159-225, 1994.
- [7] Peter Spirtes, Clark Glymour & Richard Scheines, "Causation, Prediction and Search", Cambridge, Massachusetts, MIT Press, pp.1-101, 2001.
- [8] M. Neil and N.E. Fenton, "Predicting Software Quality Using Bayesian Belief Networks," *Proc 21st Ann. Software Eng. Workshop*, NASA Goddard Space Flight Centre, pp. 217-230, Dec. 1996.
- [9] M. Neil, B. Littlewood, and N. Fenton, "Applying Bayesian Belief Networks to Systems Dependability Assessment," *Proc. Safety Critical Systems Club Symp.*, Springer-Verlag, Leeds, Feb. 1996.
- [10] Norsys Software Corp. 3512 West 23rd Avenue, Vancouver, BC, CANADA (www.norsys.com)

Sistema Host USB para gestionar archivos entre dispositivos

Implementación de un sistema Host USB en microcontrolador NXP.

Luis Antonini; Jorge Osio*; Jose Rapallini;
Centro de Técnicas Analógico – Digitales (CeTAD)
Facultad de Ingeniería – Universidad Nacional de La Plata
La Plata, Argentina

*Becario CIC – Comisión de Investigaciones Científicas de la Prov. de Bs. As.
luis_antonini@live.com.ar ; Jorge.osio@ing.unlp.edu.ar

Resumen— La interfaz USB es lo suficientemente versátil para una amplia gama de dispositivos periféricos, entre ellos los pertenecientes a la clase de dispositivos de almacenamiento masivo o “Mass Storage”. En esta clase de dispositivos se encuentran los pen drives. Aquí surge la motivación de realizar un sistema embebido portátil que permita acceder a su memoria.

Esta implementación se va a realizar utilizando el kit de desarrollo “Kit Educativo LPC2400”. En este kit se implementa un host USB a partir de un microcontrolador NXP, este dispositivo tiene los requerimientos de hardware para implementar el Host USB, un sistema de archivos FAT 32 y las funciones necesarias para controlar el sistema.

El sistema cuenta con una interfaz RS232 para visualización y control desde una PC. Se puede detectar los dispositivos conectados, determinar el espacio libre en dichos dispositivos, leer el listado de archivos y carpetas de cada dispositivo, intercambiar archivos de un dispositivo a otro entre otras funciones.

Palabras Clave – *Sistemas Embebidos, Host USB, Sistema de Archivos.*

I. INTRODUCCIÓN

Los microcontroladores LPC2400 de NXP son ideales para todo tipo de aplicaciones en el área de comunicaciones, dado que cuentan en forma integrada con numerosos controladores con los cuales se pueden implementar interfaces Ethernet, RS232, USB, entre otras. Por ello la selección de esta familia de microcontroladores para la realización de esta implementación.

El microcontrolador LPC2478 [1] es el que se utiliza para esta aplicación porque es el único de esta familia que además cuenta con interfaz para display gráfico. Para la implementación se utiliza el “Kit Educativo LPC2400” antes nombrado.

Este kit cuenta con los requerimientos de hardware necesarios para la implementación del Host mediante dos conectores USB tipo A de acuerdo a la especificación USB 2.0 [2, pp. 93-98] y cuenta con una interfaz RS232 la cual se va a utilizar para visualización y control desde una PC.

II. DIFERENCIAS ENTRE HOST Y DISPOSITIVOS USB

Se define un host USB como un dispositivo embebido, una PC o cualquier periférico que contenga hardware específico para la implementación de un host, un hub raíz con uno o más puertos USB y un programa para administrar las comunicaciones y los eventos del bus [3, pp.17-28].

Principalmente el host administra la alimentación y las comunicaciones en el bus, adjuntamente tiene las siguientes responsabilidades:

- **Detección de dispositivos:** Los hubs esperan que cualquier dispositivo USB sea conectado. En el proceso llamado enumeración, el host asigna una dirección y le solicita una serie de estructuras de datos llamados descriptores, los descriptores son propios de cada dispositivo. En cualquier momento cuando un dispositivo es conectado o removido, el host detecta el evento y enumera los nuevos dispositivos.
- **Provee alimentación:** El host provee alimentación a todos los dispositivos cuando se conectan. Algunos dispositivos utilizan la alimentación del bus, mientras otros tienen su propia fuente de alimentación.

- **Administración de tráfico del bus:** El host administra el tráfico de datos del bus dado que múltiples dispositivos quieren transferir datos al mismo tiempo. El controlador del host divide el tiempo disponible en segmentos llamados frames para la velocidad “full speed” o microframes para la velocidad “high speed”. El host otorga a cada transmisión una porción de un frame o microframe.
- **Chequeo de errores:** cuando se transmiten datos el host agrega bits para el chequeo de errores, cuando se reciben datos el host usa esos bits de chequeo de error para detectarlos.

A su vez, los dispositivos, son periféricos o hubs que se conectan al bus del host. Estos dispositivos contienen los circuitos y el código necesario para comunicarse con el host únicamente cuando este se lo solicite. No deben asumir que va a ocurrir ninguna secuencia particular de comunicación o eventos en el bus. En resumen los dispositivos deben:

- **Detectar la tensión del bus:** Una vez detectada la tensión de alimentación, deben cambiar la resistencia de pull-up para anunciar al host la presencia del dispositivo.
- **Administración de la alimentación:** En una operación normal un dispositivo debe limitar la corriente de alimentación a 100 mA, durante la enumeración este valor se puede incrementar a 500 mA.
- **Responder a solicitudes estándar:** Durante el encendido o la conexión al host, los dispositivos deben responder a las solicitudes estándar enviadas por el host durante la enumeración o incluso después de ella.
- **Manejo de errores:** Se adicionan bits para el chequeo de errores de la misma forma que el host.

III. DESCRIPCIÓN DEL MICROCONTROLADOR LPC2478

Este microcontrolador tiene un núcleo con arquitectura ARM7TDMI-S, diseñado con un alto nivel de integración. Tiene integrado memoria flash de 512 kB de alta velocidad para el programa de aplicación, esta memoria incluye una interfaz especial de 128 bit lo que permite al CPU ejecutar instrucciones secuenciales desde la memoria flash a una velocidad máxima de 72 MHz.

El programa de aplicación se realiza utilizando el lenguaje de programación C y la aplicación *Keil uVision4*, una vez compilado el programa el microcontrolador se programa en sistema (ISP) utilizando la aplicación *Flash Magic*.

El sistema de archivos FAT 32 requiere un reloj de tiempo real para establecer la fecha y hora de creación o modificación de un archivo. Este microcontrolador cuenta con un bloque específico llamado RTC (“Real Time Clock”), el cual va a ser

utilizado en esta implementación para cumplir con este requerimiento.

El bloque controlador de Host USB se encuentra conformado por una interfaz de registros que cumple con la especificación OHCI (“Open Host Controller Interface”), una interfaz serie y un controlador DMA.

El diagrama en bloques del controlador USB se muestra en la figura 1, cuenta con las siguientes características [4, pp.389-390]:

- Cumple con la especificación USB 2.0 (full speed).
- Alimentación independiente de cada puerto.
- Posee memoria RAM integrada de 16 Kb.
- Soporta transferencias del tipo bulk, control, interrupt y Isochronous
- El bus soporta hot plugging, un-plugging y configuración dinámica de dispositivos.

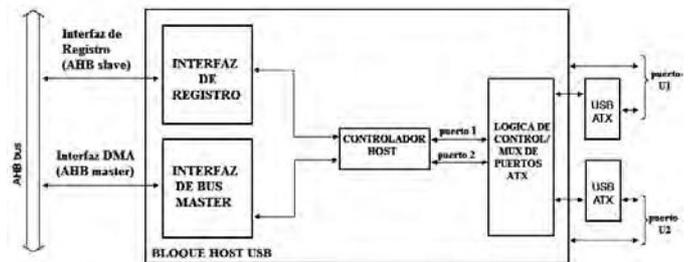


Figura 1. Diagrama en Bloques del controlador USB.

IV. DESCRIPCIÓN DEL SISTEMA HOST USB

Esta implementación detecta, configura y se comunica únicamente con dispositivos USB pertenecientes a la clase de almacenamiento masivo o “Mass Storage” [5]. La memoria de estos dispositivos debe tener el formato de archivo del tipo FAT 12, 16 o 32.

Dicho programa está compuesto por cinco bloques, los cuales se muestran en la figura 2.

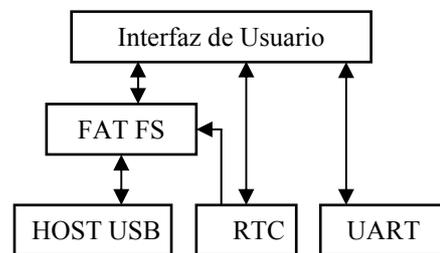


Figura 2. Diagrama en Bloques del programa de aplicación.

Descripción de los bloques:

- En el bloque Host USB se configura el controlador USB del microcontrolador y se desarrollan las funciones necesarias para enviar y recibir datos de dispositivos.
- En el bloque RTC se implementa el sistema de reloj en tiempo real.
- En el bloque UART se configura el controlador RS232 del microcontrolador para comunicarse con un PC.
- En el bloque FAT FS se implementa las funciones para operar con el sistema de archivos Fat 32.
- Finalmente en el bloque de interfaz de usuario se implementan las funciones necesarias para poder controlar el sistema desde una PC.

A. El módulo Host USB

Este bloque se divide en dos subsistemas. El primero es el encargado de configurar el controlador OHCI USB del microcontrolador e implementar las funciones para detectar, configurar y administrar las comunicaciones con distintos dispositivos USB conectados al bus.

Cuando se conecta un dispositivo USB al bus, el Host detecta automáticamente su conexión y da inicio al proceso de enumeración. Durante este proceso se corrobora la clase de dispositivo conectado al bus y en caso de no pertenecer a esta clase se inactiva.

En el segundo subsistema se implementan las funciones específicas de la clase de almacenamiento masivo. Una vez configurado el dispositivo, este subsistema otorga al bloque superior las funciones necesarias para comunicarse con los dispositivos. Para la comunicación se utiliza el tipo de transferencia bulk tal como las especificaciones establecen.

El bloque superior accede a la memoria del dispositivo especificando el número de cluster que se quiere leer o escribir.

B. Sistema de archivos FAT

El sistema de archivos se implementa en el bloque denominado "FAT FS". Para tal fin se utiliza el módulo genérico FAT FS disponible sin restricciones de uso.

Dicho módulo implementa todas las funciones necesarias para acceder a unidades de memoria con un sistema de archivo FAT 12, 16 ó 32. Este módulo es genérico porque es independiente del protocolo de comunicación utilizado para acceder a la memoria. Para su utilización simplemente hay que desarrollar las funciones necesarias para comunicarse con el tipo de interfaz utilizada.

Para esta implementación se desarrollaron cinco funciones, cuatro de ellas se relacionan con el bloque HOST USB y la restante con el bloque RTC. Las funciones destinadas al primer

bloque inicializan la unidad, determinan su estado y finalmente leen o escriben en su memoria.

La función destinada al bloque RTC obtiene la fecha y la hora en el formato que requiere el sistema FAT FS. Una vez otorgadas dichas funciones el módulo está listo para acceder a la memoria de dispositivos USB conectados al host.

El módulo FAT FS brinda al bloque superior una serie de funciones para acceder y gestionar los archivos y carpetas existentes en la unidad.

C. La interfaz RS232

Esta interfaz se implementa en el bloque UART y su objetivo es poder visualizar y controlar el sistema desde una PC. En el kit de desarrollo se implementa la interfaz número cero ya que es la utilizada para la programación del microcontrolador.

Esta interfaz se configura seleccionando adecuadamente el divisor del clock para generar el baud rate apropiado (9600 para esta aplicación). Luego para enviar o recibir un carácter sólo es necesario escribir o leer un registro determinado. La interfaz automáticamente envía o recibe el carácter.

Utilizando esos registros se implementan en este bloque las funciones necesarias para otorgarle al bloque superior la capacidad de recibir o transmitir a un PC un carácter o una serie de caracteres.

En la PC se recibe o envían los caracteres utilizando la aplicación Hyper Terminal o cualquiera similar que pueda acceder al puerto serie.

D. La interfaz de usuario

Este bloque es el encargado de controlar el sistema, recibe del puerto serie los comandos a ejecutar retornando el resultado obtenido.

Cuando el usuario conecta al Host un dispositivo USB de la clase de almacenamiento masivo, este lo detecta automáticamente y lo configura quedando listo para gestionar los archivos.

El usuario puede listar y acceder a todos los archivos y carpetas existentes en el directorio raíz o dentro de una carpeta del dispositivo USB conectado. Puede leer cualquier archivo de texto sin importar su tamaño. Tiene la posibilidad de crear carpetas y eliminarlas. También puede eliminar archivos.

Otra posibilidad es copiar un archivo, ya sea de una carpeta a otra en un mismo dispositivo USB o entre dos dispositivos USB distintos.

Los archivos en el sistema FAT tienen ciertos atributos, como la fecha de creación, el tipo de archivo, si es un archivo oculto, solo lectura, etc. El usuario puede acceder a estas características con solo introducir el nombre de archivo o carpeta. También, puede obtener el espacio disponible de la unidad conectada a la interfaz USB.

Finalizada la gestión de archivos el usuario puede retirar en forma segura su dispositivo USB.

Adicionalmente, el usuario puede acceder a la hora y fecha actual y si lo desea puede modificarla o ajustarla.

V. RESULTADOS OBTENIDOS

En la figura 3 se muestra el sistema Host USB en funcionamiento implementado en el kit de desarrollo antes citado. Se han conectado en sus dos interfaces USB pen drives con diferentes características.



Figura 3. Imagen de la placa de desarrollo con los pen drives conectados.

Al encender la placa de desarrollo, en la ventana del Hyper Terminal, se visualiza un mensaje de bienvenida con la hora y fecha actual. Se indica al usuario que conecte un dispositivo USB y luego presione la tecla "ENTER" para que el sistema configure dicho dispositivo. El sistema automáticamente detecta en que puerto se conectó el dispositivo y lo configura.

Una vez finalizada la configuración, de ser exitosa, se muestra en pantalla el espacio disponible y el espacio total de la unidad, se indica además que la unidad está lista para utilizarse. De ocurrir algún tipo de error se muestra en pantalla de que error se trata.

En la figura 4 se pueden ver los mensajes obtenidos durante el inicio y configuración de un dispositivo mediante un software de interfaz serial.

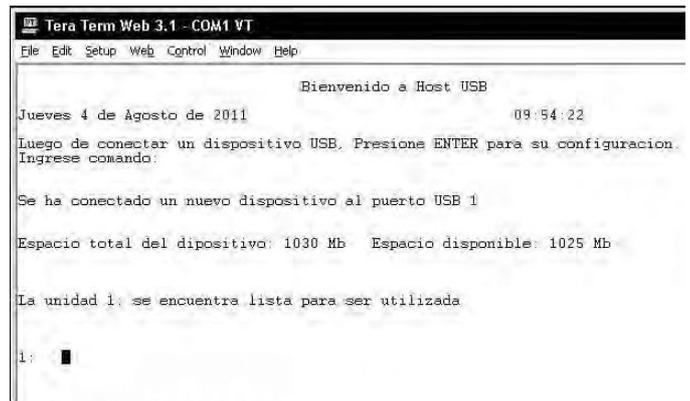


Figura 4. Mensajes obtenidos en la pantalla del Hyper Terminal.

El sistema tiene un comando de ayuda denominado "help" para asistir al usuario, al introducir este comando se muestran en pantalla todos los comandos disponibles y la forma correcta de introducirlos.

Así mismo, cada comando, de necesitar un parámetro adicional lo solicita en forma clara y siempre chequeando si se ingresa correctamente. De ocurrir esta situación se imprime en pantalla un mensaje explicativo del error. El resultado obtenido de introducir un comando se muestra en la figura 5, en este caso se listaron los archivos de la unidad introduciendo el comando "dir".

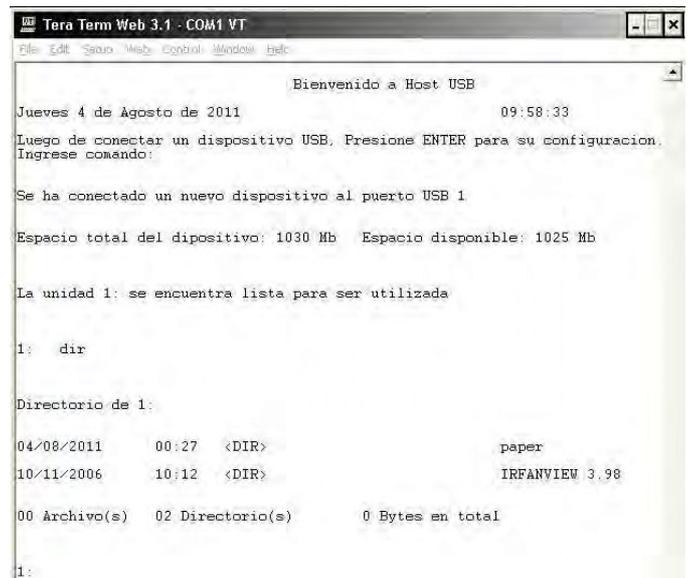


Figura 5. Resultado obtenido al ingresar el comando "dir".

VI. CONCLUSIONES

Finalizado el desarrollo del sistema Host USB se realizó el debug del mismo. Las pruebas consistieron en testear el funcionamiento de cada una de las funciones implementadas en el bloque de interfaz de usuario, los resultados obtenidos superaron ampliamente las expectativas. Se logró copiar, crear, leer, renombrar archivos o carpetas en un intervalo de tiempo relativamente corto, similar al que se obtiene

utilizando una PC. Los archivos con que se trabajó en estas pruebas no superaron en tamaño el orden de los Kbytes.

La última prueba relacionada a la implementación del Host USB consistió en transferir un archivo de un pen drive a otro. Se utilizó para esta prueba un archivo de audio con un tamaño total de 9.8 MBytes. Si bien el archivo se copio exitosamente, requirió un tiempo aproximado de tres minutos. El tiempo requerido superó ampliamente el esperado. Este es un aspecto a mejorar constituyendo una nueva tarea a futuro, posiblemente se mejore sustancialmente con una optimización del código del programa.

En relación al microcontrolador empleado los resultados superaron las expectativas. La programación, configuración y utilización de cada controlador integrado es sencilla, la única dificultad que recurrentemente se presentó fue la escasa información sobre algunos aspectos de configuración y los numerosos errores presentes en los códigos encontrados en notas de aplicación y ejemplos de programación.

VII. TRABAJO A FUTURO

Como primer trabajo a futuro se deberá mejorar el tiempo de transferencia de archivos entre dispositivos optimizando las funciones que manejan los buffers USB para la transferencia.

REFERENCIAS

- [1] "Data sheet del producto LPC2478", http://www.nxp.com/documents/data_sheet/LPC2478.pdf, 29 de septiembre de 2010.
- [2] *Universal Serial Bus Specification*, Compaq, Hewlett-Packard, Intel, Lucent, Microsoft, NEC, Philips, 2000.

Por otro lado se convertirá el sistema en un dispositivo portátil, lo cual se va a lograr en dos etapas.

La primera consiste en la implementación de un teclado en el sistema de forma de ingresar los comandos sin necesidad de utilizar una PC.

La segunda etapa consiste en implementar un display gráfico de forma de poder visualizar los resultados. Se pretende utilizar el controlador de display con el que cuenta el microcontrolador. Una vez concluidas estas etapas el sistema será totalmente portable.

Además, dado que el kit de desarrollo tiene una interfaz SD, se pretende implementar el controlador para dicha interfaz de forma de poder acceder a la memoria de estas tarjetas y poder gestionar sus archivos y copiarlos a los dispositivos USB o desde ellos.

- [3] Jan Axelson, *USB Complete*. Madison, Lakeview research, 1999-2005.
- [4] "UM10237 LPC24XX User Manual", http://www.nxp.com/documents/user_manual/UM10237.pdf, 26 de agosto de 2009.
- [5] Jan Axelson, *USB Mass Storage*. Madison, Lakeview research, 2006.

Registrador Continuo para Medición de Temperaturas Utilizando Protocolo 1-Wire ®

Elio A. A. De María, Fernando I. Szklanny
Grupo de Investigación en Lógica Programable
Departamento de Ingeniería e Investigaciones Tecnológicas
Universidad Nacional de La Matanza
Argentina

Resumen — Este trabajo se refiere al desarrollo de un sistema registrador de temperaturas que funciona en forma continua mediante la utilización de sensores de temperatura que utilizan el protocolo 1-Wire. Las propiedades de este protocolo permiten la realización de mediciones en forma continua en una considerable cantidad de elementos sensores, administrándolos desde un microcontrolador y con una interfaz de usuario basada en computadora personal. El sistema propuesto, basado en un microcontrolador comercial, reemplaza con ventajas a los registradores continuos basados en impresión sobre papel utilizados habitualmente para la medición y análisis de temperaturas en sistemas de refrigeración.

Palabras clave: Temperatura, Protocolo 1-Wire, Registrador continuo.

I. INTRODUCCIÓN

Existen numerosas aplicaciones en las que se hace necesaria la medición continua de temperaturas en diferentes puntos de un sistema físico. Si bien los sistemas de medición, basados en sensores de temperatura adecuados, no presentan demasiada dificultad para su implementación, suele ofrecer cierta dificultad el registro continuo de dichas mediciones que permita un posterior análisis individual de las mismas con reconocimiento del sensor al que corresponden. En este trabajo se plantea la utilización de sensores de temperatura que responden al protocolo conocido como "1-Wire".

Este esquema, que se describirá brevemente en los apartados siguientes, permite la transferencia de información desde los elementos sensores por medio de un único cable de datos.

De acuerdo con el protocolo mencionado, cada uno de los sensores se identifica en forma unívoca con un número de serie de 64 bits, el que puede leerse desde un microcontrolador que maneja el mencionado protocolo. La unicidad de las identificaciones permite vincular cada lectura de temperatura con el sensor a que corresponde, lo que admite, a su vez, establecer un registro continuo de valores medidos desde los diferentes sensores. Los valores medidos se almacenarán en el sistema microcontrolador, en un número tal que solamente está limitado por la cantidad de memoria disponible en el mismo.

A los efectos de ampliar la cantidad de mediciones para permitir el proceso de medición y supervisión continua, se prevén dos alternativas: por una parte, la incorporación al

sistema microcontrolador de una memoria externa, de tipo no volátil que permita el almacenamiento de la información adquirida; por otra parte, una conexión del microcontrolador con un sistema supervisor, basado en PC, lo que permitirá utilizar todos los recursos de este tipo de computadoras, incluyendo el almacenamiento de mediciones durante largos periodos de tiempo, la posibilidad de utilizar interfaces gráficas para la comunicación con el usuario, la realización de estadísticas, la generación de alarmas visuales y sonoras en casos necesarios, etc.

La utilización de memorias tipo SD, económicas y de gran capacidad de almacenamiento permite, en este caso, obtener una ampliación importante de la capacidad de almacenamiento, sin un costo significativamente importante, y con una electrónica de manejo de dichas memorias que resulta sencilla de implementar.

Dado que el protocolo a utilizar permite la conexión de una importante cantidad de dispositivos sensores, puede verse que la aplicación planteada es aplicable tanto a sistemas de pequeña escala de medición como también a plantas industriales de mayor tamaño y con mayor cantidad de puntos de medición. El intervalo entre mediciones, por su parte, es configurable desde un límite inferior que tiene que ver, fundamentalmente, con el tiempo que requiere la ronda de lectura de los valores medidos.

II. EL PROTOCOLO 1-WIRE ®

A. Características básicas del protocolo a utilizar.

El protocolo utilizado surge originalmente como una herramienta apropiada para facilitar la comunicación entre distintos dispositivos ubicados a distancias cortas entre sí. Con el desarrollo de aplicaciones del protocolo, su utilización se amplía hacia conjuntos de elementos esclavos de un dispositivo maestro, interconectados en distintas topologías de red, y ubicados a distancias importantes del maestro [1]. La interconexión entre el maestro y los esclavos se realiza a través de una conexión de cable trenzado, con una única línea de datos más alimentación de los dispositivos esclavos.

Cada uno de los dispositivos esclavos utilizados se identifica con un número de serie de 64 bits, el que puede utilizarse como identificador de nodo, y que, por consiguiente, permite la identificación unívoca de cada uno de los elementos individuales incluidos en la red.

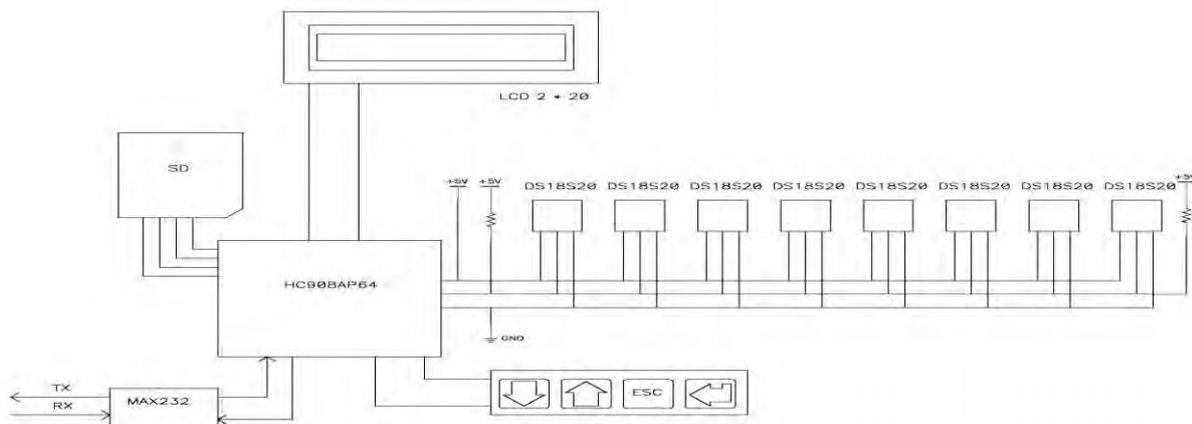


Figure 1. Descripción del algoritmo de identificación

Estos 64 bits incluyen un primer byte (el menos significativo) que identifica el tipo de dispositivo de que se trata, seis bytes siguientes que identifican uno de 2^{48} posibles elementos del mismo tipo, y un último byte (el más significativo) de redundancia cíclica basada en la información contenida en los primeros siete bytes. Esta configuración de datos permite no solamente la verificación de errores en la lectura sino que ofrece, fundamentalmente, una cantidad de direcciones que permite evitar la duplicación de códigos de los dispositivos fabricados.

El protocolo utiliza niveles lógicos convencionales, compatibles con las familias lógicas TTL y CMOS, y admite un rango de tensiones de alimentación entre 2,8 y 6 V. Para su funcionamiento se adopta una configuración de comunicación en semi duplex, lo que significa que tanto el maestro como los esclavos pueden transmitir y recibir información, pero no en forma simultánea.

III. DESCRIPCIÓN DEL SISTEMA REGISTRADOR

Se describe en este trabajo un sistema registrador continuo de temperaturas, basado en un microcontrolador de 8 bits, el que controla un conjunto de termómetros digitales desarrollados sobre la base del protocolo conocido como 1-Wire®. El registrador que se describe incluye, además de la interfaz para el manejo de los sensores de temperatura, una interfaz para manejo de una memoria externa, tipo SD o similar para el almacenamiento de los registros, y una interfaz con una computadora supervisora, para la descarga de dichos registros y para la interfaz con el usuario. Para trabajar en forma independiente, la interfaz con el usuario se establece con un teclado de cuatro teclas y un elemento visualizador LCD de dos líneas de texto. La figura 1 presenta un diagrama en bloques del sistema desarrollado.

Dado el protocolo planteado para el manejo de los sensores de temperatura, un aspecto fundamental a desarrollar en el sistema registrador es el de la identificación de cada uno de los dispositivos conectados en la red de sensores. La solución a esta cuestión es importante debido a que en una red como la que se analiza, es necesario poder identificar la medición

realizada y relacionarla con el sensor que realizó dicha medición.

En una nota de aplicación [2], desarrollada por la firma propietaria del protocolo, se describe una aplicación basada en un esquema de búsqueda binaria. La misma se basa en la lectura secuencial de los bits provenientes de los sensores para identificar la existencia de uno o más elementos esclavos que puedan responder al requerimiento del maestro. La implementación del sistema propuesto en esa nota de aplicación puede exceder los recursos disponibles en algunos microcontroladores de bajo costo, en especial en lo que hace a su capacidad de memoria, por lo cual, en este trabajo, se plantea una implementación alternativa a la propuesta de la firma propietaria.

Para desarrollar el sistema registrador de temperaturas que se describe se utilizó un microcontrolador de la familia 68HC908 de la firma Freescale Semiconductor.

Este microcontrolador se ocupa de la implementación del algoritmo de búsqueda, la administración de la red de sensores, el registro de las temperaturas medidas y su eventual transferencia hacia un sistema supervisor, opcional, basado en PC.

De acuerdo con la figura citada, en este proyecto en particular se utilizaron ocho termómetros compatibles con protocolo 1-Wire. El interrogatorio de los dispositivos, de acuerdo con lo dicho, se lleva a cabo a través de un único par de cables, del tipo colector abierto, y se basa en una relación maestro esclavo.

Para comenzar los interrogatorios, el dispositivo maestro fuerza la línea a su valor lógico cero durante un tiempo determinado, tras lo cual, si el interrogatorio se establece en modo lectura, el esclavo responde, luego de un tiempo que podría considerarse como tiempo de acceso, con un cero o con un uno.

Para la escritura se procede de manera similar, pero, en este caso, el maestro fuerza la línea a los niveles lógicos de cero o

de uno por un tiempo establecido que permita que el dispositivo esclavo asuma la escritura del bit en cuestión.

En el caso particular de la determinación del número de serie, el problema a resolver, sobre todo cuando se cuenta con más de un dispositivo en la línea de transmisión, es la determinación de cada bit de ese número de identificación, ya que los dispositivos se interrogan en forma simultánea y responden todos al mismo tiempo. El problema que se plantea en este caso es la determinación de todos los números de serie individuales. El protocolo desarrollado funciona de la siguiente manera:

- Se envía un comando de reinicio (reset) global, lo que se logra forzando un cero lógico en la línea de transmisión aproximadamente durante 500 μ s.
- Se envía un comando "search R"
- Los dispositivos responden con el primer bit.
- Se reenvía el primer bit de la cadena.

En este segundo paso, solamente responden al requerimiento los dispositivos que poseen el bit en esa posición coincidente con el enviado, quedando inhibidos los que poseen el bit complementario hasta que se genere un nuevo estado de reinicialización. Los dispositivos responden con el próximo bit de la cadena.

Se continúa con la secuencia hasta completar los 64 bits. De existir una discrepancia se elige uno de los dos caminos del árbol de búsqueda.

La implementación del algoritmo se resuelve con una palabra de 64 bits (8 bytes) que se inicializa en cero, un contador de dispositivos encontrados inicializado en cero, y tres punteros de 8 bits que se inicializan en el número 65. Estos punteros se consideran como punteros al bit de la palabra de 64 bits. La figura 2 ilustra el esquema planteado.

Se comienza el proceso por medio de la inicialización de la línea de transmisión. Luego se procede a enviar un comando de búsqueda, "Search R", lo que provoca que los dispositivos contesten con su primer bit, en la primera lectura con su valor verdadero y en la subsiguiente con el valor complementario. Esto provoca cuatro estados posibles a saber:

- 1 seguido de 1: es un caso que indica que no hay dispositivos, es poco probable que suceda, pero debe tenerse en cuenta.
- 1 seguido de 0: implica que el bit correspondiente a esa posición es un 1 y que todos los dispositivos interrogados poseen en esa posición un 1.
- 0 seguido de 1: idéntico al caso anterior pero el bit de esa posición es un cero.
- 0 seguido de otro 0: existe una discrepancia, es decir hay dispositivos que tienen un 1 y otros un cero en esa posición. Este último es el caso de análisis, debido a que existe una bifurcación en la lectura del número de serie.

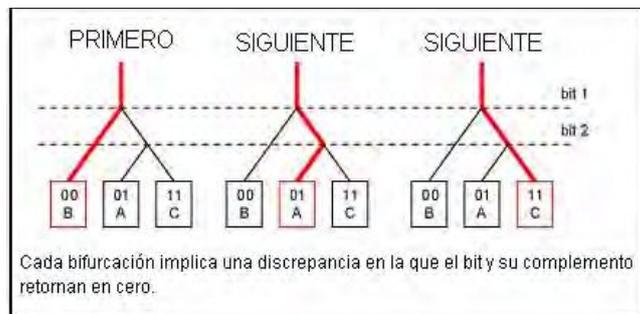


Figure 2. Descripción del algoritmo de identificación

El algoritmo optimizado que se describe, ante esta situación asume un cero en esa posición y marca en un puntero que existió dicha diferencia. A medida que se interroga por cada bit, los bits ya resueltos se envían en primera instancia y se interroga el próximo. Cada vez que se determina un bit nuevo, se decrementa uno de los punteros inicializados en 65. Cuando este puntero llega a cero se asume una cadena completa.

Una vez determinada una cadena completa se inicia una nueva búsqueda partiendo del último punto en el que haya habido una discrepancia no resuelta, hasta terminar la cadena completa. Pueden surgir nuevas discrepancias que serán resueltas en las subsiguientes búsquedas.

La implementación del algoritmo, difiere de la solución recomendada por el fabricante, básicamente en la optimización y aprovechamiento de punteros, registros y memoria aplicada a la búsqueda. Para determinar la identificación de los dispositivos sensores conectados al sistema registrador solo se usan 12 bytes de memoria de lectura escritura.

Los resultados obtenidos se almacenan en una memoria no volátil, incluida en el sistema registrador, para su utilización directa o para su transferencia posterior a un sistema supervisor externo.

IV. DESCRIPCIÓN DEL SENSOR UTILIZADO

El registrador de temperaturas utilizado en el presente trabajo se basa en un termómetro digital, modelo DS 18B20, cuyas características lo hacen apropiado para la aplicación a desarrollar. En efecto, es un sistema sensor de temperaturas que ha sido desarrollado por sus fabricantes para ser compatible con el protocolo 1-Wire. Es capaz de medir temperaturas en el rango de -55° C a $+125^{\circ}$ C, ofreciendo una precisión de $0,5^{\circ}$ C en el rango de -10° C a $+85^{\circ}$ C. Su alimentación eléctrica se toma directamente desde la línea compartida, lo que evita la necesidad de fuentes de alimentación adicionales.

La identificación única de cada dispositivo, por medio de un código de 64 bits, permite su utilización en conjunto con un sistema controlador, distribuidos en un área de gran tamaño.

El dispositivo entrega los valores de temperatura, en grados centígrados, en un formato de 9 a 12 bits, para lo que incluye en su electrónica un registro de dos bytes, para almacenar la salida del sensor de temperatura incorporado, así como también un registro de configuración de un byte (el que permite configurar la resolución de la conversión de temperaturas a 9, 10, 11 o 12 bits), y dos registros de disparo de alarma por alta y

baja temperatura. Estos últimos registros son todos no volátiles, basados en EEPROM, lo que permite retener los parámetros de configuración aún ante la falta de alimentación eléctrica.

V. IMPLEMENTACION DEL SISTEMA

El sistema descripto fue implementado, en su versión original (que se encuentra en funcionamiento) sobre la base de un microcontrolador Freescale 68HC908JK1.

Dado que este elemento no posee un canal serie implementado como tal, la comunicación serie requerida para la transmisión de datos fue desarrollada por software, utilizando las rutinas internas habitualmente utilizadas para programación y depuración.

El sistema adquiere los datos de temperatura de N sensores conectados al mismo, determinando, al inicio, la cantidad N de sensores conectados, para lo que se utilizan los algoritmos descriptos en el presente trabajo.

Los datos de temperatura adquiridos se transmiten en tiempo real y a intervalos de tiempo regulares y previamente determinados, a través del mencionado canal serie, a un sistema supervisor basado en una computadora personal.

Estos datos se envían en un formato compatible para su descarga directa a una planilla de cálculo convencional.

Una versión más completa del registrador de temperatura descripto prevé el agregado al sistema de una memoria SD de capacidad apropiada, lo que permite que el sistema funcione en forma autónoma almacenando los datos medidos en caso de no estar conectado a un supervisor, y hasta que se establezca la conexión correspondiente,

En esta misma mejora se prevé el agregado de un elemento de visualización, de tecnología LCD, que sirve como interfaz de usuario, al que le exhibe, a pedido, los valores de temperatura medida en cada uno de los sensores, conjuntamente con la identificación del mismo. Se prevé que este elemento visualizador sirva, en conjunto con un teclado de cuatro teclas, tal como se muestra en la Figura 1, como interfaz de configuración,

Para estas mejoras previstas en el registrador descripto, se prevé asimismo el reemplazo del microcontrolador mencionado por otro con mayor capacidad de memoria y de manejo de entrada salida. En este caso podrá utilizarse el canal serie implementado físicamente sin necesidad de utilizar el software previamente mencionado.

REFERENCIAS

- [1] Linus Wong, 1-Wire (Protocol) Dallas Semiconductor/Maxim. A.N.
- [2] Dallas Semiconductor/Maxim. DS18B20 Programmable Resolution 1 Wire Digital Thermometer..

Diseño de un sistema portable para la implementación de un Host USB

Sistema Host para Detección de dispositivos USB y SD

Jorge Osio*; Matias Palomeque; Jose Rapallini;
Centro de Técnicas Analógico – Digitales (CeTAD)
Facultad de Ingeniería – Universidad Nacional de La Plata
La Plata, Argentina

* Becario de Perfeccionamiento CIC – Comisión de investigaciones Científicas de la prov. de Bs. As.
Jorge.osio@ing.unlp.edu.ar; Palomequematias@hotmail.com; josrap@gmail.com

Resumen— El Protocolo USB se ha convertido en la interfaz universal por excelencia, no solo se encuentra disponible en las computadoras, sino también en la mayoría de los dispositivos que permiten lectura y reproducción de archivos en diversos formatos. De aquí surge la necesidad de implementar un sistema que permita detectar dispositivos USB esclavos y Memorias SD.

Para la implementación del Sistema se ha utilizado una placa denominada “USBWiz”, la cual implementa el Host y mediante diferentes comandos permite la detección de dispositivos USB y memorias SD. Dicha placa también posibilita la detección de sistemas de archivos y de una amplia variedad de dispositivos HID.

Mediante el diseño de una placa de control, se implementa una interfaz visual mediante un display LCD y un teclado que permiten recorrer el menú de opciones y entrar o salir de las mismas según se desee. Adicionalmente la placa de control contiene un sistema de encendido y apagado implementado en HW.

Mediante la interfaz visual el usuario puede detectar los dispositivos conectados, determinar el espacio libre en dichos dispositivos y acceder a los mismos para analizar su contenido.

Palabras Clave – *Sistemas Embebidos, Host USB, Lenguaje de Programación C.*

I. INTRODUCCIÓN

Este trabajo presenta el diseño de un sistema autónomo para la implementación de un dispositivo que permite detección y acceso a Dispositivos USB y memorias SD. El sistema se compone de 2 placas que interactúan entre sí mediante el protocolo SPI.

Una de las placas llamada USBWiz implementa el Host USB que permite la detección de dispositivos USB esclavos y la detección de memorias SD. Esta placa está formada por un Microcontrolador de la empresa NXP y un HUB USB. El Microcontrolador también contiene las librerías necesarias para la implementación de sistemas de archivos Fat32, permitiendo

acceder a la información de los dispositivos USB y SD conectados.

La segunda placa ha sido diseñada para que el sistema funcione de manera autónoma, permitiendo leer datos de dispositivos USB y SD sin la necesidad de una PC. Esta placa provee la posibilidad de alimentación mediante una batería de 9V o mediante un transformador que provea entre 7,5 y 9V. Adicionalmente contiene un sistema de On-Off con seguridad para evitar errores en los dispositivos conectados. Para poder visualizar y manipular los datos se provee de un display LCD de 2x16 en donde se muestra un menú principal que permite acceder a los dispositivos y varios submenús con la posibilidad de acceso y análisis de contenidos.

Para recorrer las distintas opciones se provee de un teclado en forma de cruz en donde la flecha superior en inferior permite recorrer las distintas opciones de un menú y la flecha derecha e izquierda permite acceder y salir de los distintos submenús respectivamente.

Dicha placa contiene un microcontrolador atmel AT89C5131 [1], el cual se encarga de realizar el encendido y apagado del sistema, configurar el display, el teclado y de la interacción con el sistema HOST mediante el protocolo SPI. Este Dispositivo tiene la ventaja de programación en circuito mediante una interfaz USB y es programado en lenguaje C [2], para lo cual se utiliza el entorno de desarrollo Keil [3], lo que facilita mucho la actualización del Firmware.

II. DESCRIPCIÓN DE PLACA USBWIZ

El USBwiz chipset [4], permite acceder a archivos FAT (12, 16 o 32) sobre una SD y 2 dispositivos USB simultáneamente. USBwiz tiene 3 cores FAT independientes y una amplia variedad de comandos. Además, USBwiz soporta varios dispositivos usb, tales como teclados, joysticks, impresoras, celulares, ftdi, prolific, etc [5]. Se puede acceder a estos dispositivos a través de comandos simples enviados sobre un bus UART, SPI o I²C.

La placa USBwiz-OEM, que se muestra en la Figura 1, contiene un chipset USBwiz y otros bloques adicionales.

Se encuentran disponibles las librerías de código fuente 'C' para usar USBwiz gratuitamente. Las librerías se comunican con el USBwiz a través de un simple driver.

La ventaja de usbwiz es que permite manejar 3 dispositivos a la vez sin la necesidad de un buffer. La desventaja es que no permite "long file name", es decir que no soporta nombres de archivos mayores a 8 caracteres.



Figura 1. Placa USBwiz

El chip usado para implementar el host usb es el ISP1160, esto posibilita soportar 2 dispositivos usb al mismo tiempo. El integrado provee 2 puertos usb host con un hub interno.

El microcontrolador que contiene los drivers usb y permiten detectar dispositivos usb es el lpc2134 [6], cuyo diagrama en bloques se muestra en la figura 2.

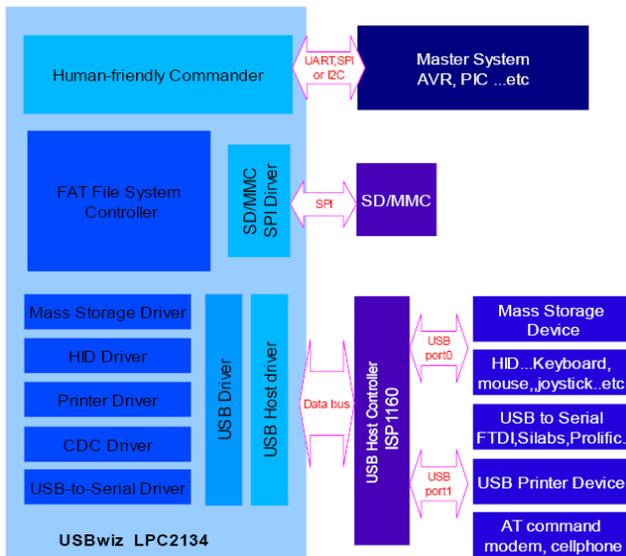


Figura 2. Diagrama en bloques del microcontrolador LPC2134

El LPC2134 es un microcontrolador basado en un CPU ARM7TDMI-S de 32/16 bits, con emulación en tiempo real, que combina el microcontrolador con la memoria flash embebida de 256KB de alta velocidad. Una interfaz de memoria de 128 bit de ancho y una Arquitectura que habilita ejecución de código de 32 bits a la frecuencia máxima de clock [6].

La interfaz con esta placa se puede realizar mediante los 3 protocolos antes mencionados. Para controlar esta placa se dispone de una serie de comandos, en donde los más significativos se muestran en la tabla siguiente.

TABLA I. COMANDOS DE CONTROL USBWIZ [4]

Nombre	Comandos de control
	Descripción
FM	Monta el sistema de archivos
II	Proporciona información del Dispositivo
IL	Inicializa la lista de archivos y carpetas
NF	Proporciona el nombre del siguiente archivo o carpeta
OF	Abre un archivo para lectura o escritura
CD	Permite cambiar de directorio
CF	Cierra un archivo
RW	Lee un archivo y escribe en otro archivo
MS	Proporciona información de tamaño del dispositivo y espacio libre

III. DISEÑO DE LA PLACA DE CONTROL Y ALIMENTACIÓN

Para lograr un sistema portable se diseñó una placa que provee alimentación al sistema, ya sea, por medio de una batería de 9V o mediante alimentación externa entre 7,5 y 9V. En la figura siguiente se muestra el esquemático del circuito de alimentación y de on-off de la placa diseñada.

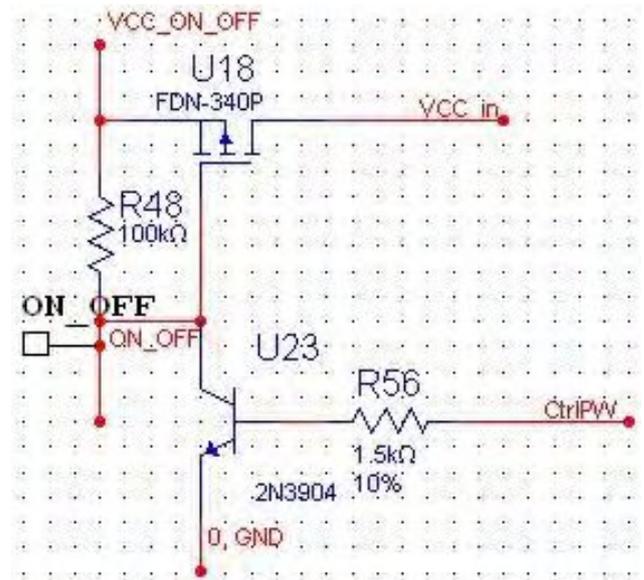


Figura 3. Circuito On-Off

La alimentación llega un regulador de 5V, que se utiliza para generar la tensión necesaria para alimentar los dispositivos USB conectados. Por otro lado la placa USBwiz provee alimentación de 3,3V para alimentar el resto del Sistema.

En la Figura 4 se muestra la placa diseñada, la cual se encarga de realizar el control, proveer alimentación, la interfaz a un display LCD y a un teclado. Se debe destacar que el esquemático y el Layout de la placa fueron diseñados mediante el software multisim [7], muy potente para dichas aplicaciones.

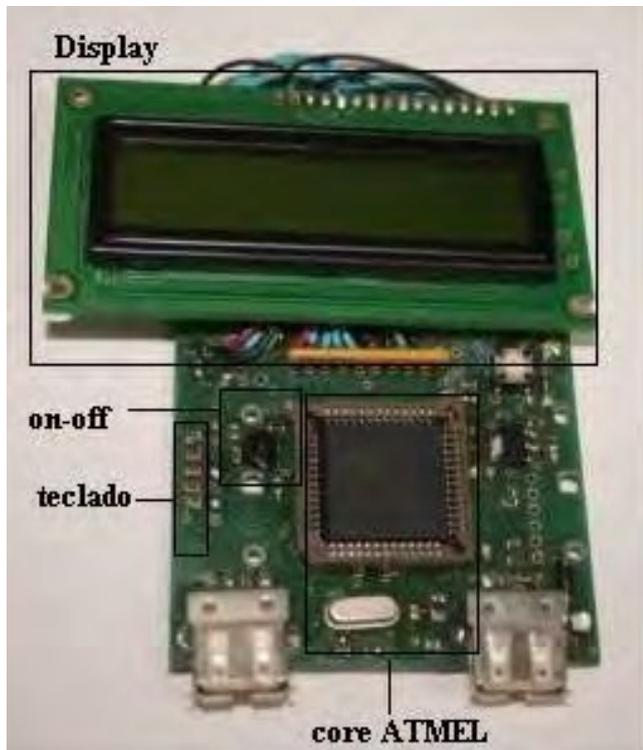


Figura 4. Placa de control e interfaz humana

Esta placa se comunica mediante el protocolo SPI a la placa USBwiz encargada de detectar los dispositivos USB y SD.

El core de esta placa es un Microcontrolador ATMEL AT89C5131 de 8 bits que permite el encendido y apagado del dispositivo mediante un pin que indica que la placa debe encenderse y con un retardo de 2 segundos que permite el apagado del sistema.

La figura 5 muestra el diagrama en bloques del microcontrolador, en donde se observa un módulo SPI utilizado para la comunicación con la placa USBwiz, un módulo usb utilizado para la actualización del firmware mediante programación en circuito. Módulos de temporización que permiten generar los diferentes retardos necesarios para la correcta funcionalidad del sistema y los puertos de Entrada/Salida que permiten la interfaz con el teclado y con el display LCD [8].

Por otro lado se debe destacar la gran cantidad de bloques de memoria de dicho dispositivo, lo que permite implementar un programa con una gran variedad de funcionalidades y una

amplia cantidad de opciones que conforman el menú del sistema completo.

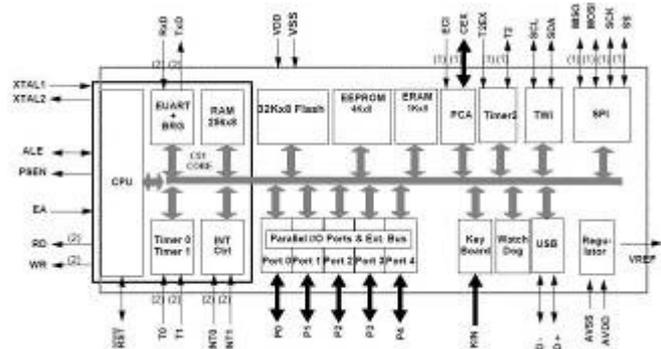


Figura 5. Diagrama en Bloques del Microcontrolador ATMEL

IV. DESCRIPCIÓN FUNCIONAL DEL SISTEMA

En la Figura 6 se muestra un diagrama en bloques del Sistema completo, en donde fácilmente se lo puede dividir en cinco bloques principales:

- **Circuito on-off:** Por un lado se encuentra el circuito de on-off y el software correspondiente que permite su funcionamiento.
- **Interfaz con la placa USBwiz:** Está formada por el módulo SPI y por un conjunto de funciones que implementan los comandos necesarios.
- **Menú de opciones:** Implementado por software.
- **Configuración de Teclado:** El teclado se configura por software y su estado sirve como entrada al menú de opciones.
- **Configuración de Display:** Se configura por software y permite visualizar el menú.

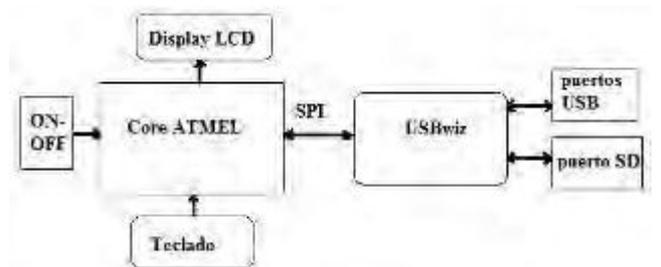


Figura 6. Diagrama en Bloques del Sistema completo

A. Circuito ON-OFF

Como se muestra en el esquemático de la Figura 3, el circuito de encendido y apagado está formado básicamente por 2 transistores, al presionar el botón de encendido se pone a tierra la línea ON-OFF activando el transistor mosfet, lo que permite alimentar el resto del circuito. Una vez alimentado el microcontrolador, energiza mediante un pin la línea CtrIPW que se conecta directamente con la base del transistor bipolar, polarizándolo. Mientras se mantenga esta condición el transistor mosfet permitirá que el circuito se mantenga energizado.

Al presionar el pulsador de apagado, la línea intPW se pone a tierra indicando al microcontrolador que se debe cerrar toda transferencia antes de poner en cero la línea CtrIPW, la cual desenergizará la base del transistor bipolar. De esta manera el

gate el mosfet quedará en alta impedancia, haciendo que la tensión VCC_in caiga a cero.

B. Interfaz con la placa USBwiz

La interfaz entre la placa de control y la placa USBwiz se realiza mediante el protocolo SPI a una frecuencia de clock 8Mhz. El Microcontrolador ATMEL posee un módulo SPI, el cual se configura mediante una función en C, la cual es llamada cada vez que se desea enviar comandos desde la placa de control hacia la USBwiz. A continuación se describe el código necesario para enviar un caracter a la USBwiz.

```
void PutC(int8 ch)
{
    while(BUSY_PIN);
    if( ch==NDT)
    {
        // se necesita enviar HDT
        SSEL_PIN=0;
        SPDAT = HDT;
        while ( SPSTA != 0x80);
        ProcessRX(SPDAT);
        SSEL_PIN=1;
        ch=0;// se envía cero para indicar 0xFF
    }else if( ch==HDT )
    {
        // se debe enviar HDT
        SSEL_PIN=0;
        SPDAT = HDT;
        while ( SPSTA != 0x80);
        ProcessRX(SPDAT);
        SSEL_PIN=1;
        // se envía HDT por segunda vez para indicar 0xFE
    }
    SSEL_PIN=0;
    SPDAT = ch;
    while ( SPSTA != 0x80 );
    ProcessRX(SPDAT);
    SSEL_PIN=1;
}
```

C. Menú de opciones

El menú de opciones está formado por máquinas de estados. Por defecto, el sistema se encuentra recorriendo el menú principal que muestra los 3 dispositivos posibles como se observa en la Figura 7. Una vez detectado un dispositivo, se accederá al primer submenú que permite ver la memoria del dispositivo o acceder al mismo mediante otra máquina de estados como muestra la Figura 8.



Figura 7. Menú principal – selección de dispositivos

Por último, dentro del dispositivo se accede a un menú dinámico que permite recorrer los contenidos hasta los niveles más anidados.

Dentro de un dispositivo, sea cual sea el nivel en que se encuentre, si se deja presionada la flecha derecha se vuelve al menú principal del dispositivo.



(a) Primer submenú – Lectura de memoria de la SD



(b) Primer submenú – Lectura del sistema de archivos

8. Primer submenú. (a) lectura de memoria. (b) lectura de archivos

A continuación se muestra la estructura de programa que ejecuta la máquina de estados que permite acceder al primer subnivel.

```
switch(level_screen){
case 0: { //nivel 0 o top level, muestra los dispositivos accesibles

    switch(screen0){
        case 0: { //Device 1
            break; }
        case 0x01: { ..... // Device 2}
        case 0x02: { ..... // Device 3 }
    }
case 0x01: { //nivel 1, permite el acceso a tamaño de memoria o archivos
    switch(screen1){
        case 0: { //Memory u1
            switch(date_task){
                case 0: {
                    aux1= MountFileSystem(USB_PORT_1);
                    if(aux1!=0) {
                        lcd_line(0x40,"No Device ");
                        work_flag=0;}
                    else
                        date_task=0x01;
                    break; }
                case 0x01: {
                    aux1=GetC();
                    if(aux1=='r')
                        date_task=0x02;
                    break; }
                case 0x02: {
                    aux1=GetC();
                    if(aux1=='r')
                        date_task=0x03
                    break;}
                case 0x03: {
                    lcd_line(0x40,"~ Memory U1 1/2");
                    devise='1';
                    work_flag=0;
                    date_task=0;
                    break;}
            }
        case 0x01:// read u1
        case 0x02: //memory u2
        .....}
    }
```

Case 0x02 { //menu dinámico break;}

D. Configuración de Teclado

El teclado está formado por 2 pulsadores para recorrer un mismo nivel en el menú, uno para cambiar de nivel y otro para volver al estado anterior. Adicionalmente, se proveen 2 pulsadores para el encendido y apagado del dispositivo.

Todos los pulsadores poseen resistencias de pull-up, lo que quiere decir que al presionarlos se pondrán a tierra las respectivas líneas.

La configuración por software consiste en una máquina de estados, en donde los estados son “new” (cuando se presiona una nueva tecla), “running” (contiene una serie de tiempos de espera, que sirven para interpretar diferentes funcionalidades de algunos pulsadores), “stopped” (permite analizar cuál es el pulsador que cambió), “delayed” (se analiza cual fue la tecla presionada más de 2 seg).

De acuerdo a la información obtenida en estas funciones, se envía el mensaje correspondiente al display.

E. Configuración de Display

El display LCD se conecta al puerto 0 mediante un array de resistencias de pull-up, esto es así puesto que el puerto 0 del ATMEL de un puerto de alta impedancia. Por otro lado, mediante un potenciómetro se regula la tensión de referencia VEE para regular la luz de dígito [8].

La configuración por software consiste en una función de inicialización, que realiza los pasos necesarios para poder entablar una comunicación con el display utilizando 8 líneas de datos y una función que es llamada cada vez que se desea envía un string de caracteres al display.

Lo primero que hace el dispositivo es inicializar el LCD mediante la siguiente función:

```
void init_lcd(void){           // Rutina de inicio
    LCD_BL=0;                 //backlight on
    task_lcd_in[read_pt_lcd].state=new;
    DelayMs(200);
    lcd_putcomm(0x38); // Modo 2 líneas, 5x7 dots y modo 8 bits
    DelayUs(80);
    lcd_putcomm(0x0c); // Display on, cursor off y blink off
    DelayUs(80);
    inicio_clear(); // Clear display con retardos (solo para el inicio)
    DelayMs(4);
    lcd_putcomm(0x06); // Increment mode, entere shift off
    DelayUs(80);
    init_message();
}
```

Luego pone el mensaje inicial, correspondiente a la selección de los 3 dispositivos posibles.

La función principal del display llamada “LCD()” también consiste en una máquina de estados formada por los estados: “new” (en donde se verifican punteros del LCD y cmd mediante el seteo del estado de entrada y salida de la pila), “running” (se muestra el mensaje en pantalla verificando la posición del cursor, el estado y cmd), “stopped” (estado que indica que se terminó de mostrar el mensaje), “reset_msg”

(resetea el puntero, limpia el mensaje y entra nuevamente en new para mostrar un nuevo mensaje).

El display recibe los mensajes desde el menú, de acuerdo al pulsador presionado del teclado.

V. RESULTADO OBTENIDOS

Luego de realizado el programa y de las pruebas de HW se comprobó que el programa se volvía inestable cuando se intentaba acceder a un puerto en donde no había dispositivo conectado. Luego de varias pruebas se comprobó que no se había contemplado la posibilidad de volver al menú principal en el caso de no tener un dispositivo conectado.

Otro problema que dejaba al dispositivo en un estado desconocido se daba cuando se insertaba detectar una memoria SD, en donde el dispositivo se bloqueaba intentando acceder a la misma. Haciendo pruebas de bajó nivel se comprobó que el mensaje que devuelve la SD al realizar el montaje de la misma es diferente al de los dispositivos USB y eso provoca que el sistema entre en un estado de bloqueo.

Solucionados estos dos grandes inconvenientes de software se procedió a realizar las pruebas de hardware correspondiente mediante el prototipo que se muestra en la Figura 9.

En las pruebas de Hardware se comprobó que el sistema es bastante lento, por un lado por el hecho de ser un dispositivo USB 1.1 full speed. Pero, por otro lado comparando con un dispositivo usb 1.1 conectado a la PC se comprobó un retardo un poco mayor, el cual se debe a la configuración interna del dispositivo USBwiz [4].

En la Tabla 2 se puede observar la comparación entre una PC con USB 1.1 y el sistema host implementado. Evidentemente el tamaño del archivo influye mucho en el tiempo de demora entre un sistema y el otro. Esto se verifica porque para copiar un archivo de 1MB el dispositivo host tarda el doble que la PC y para copiar uno de 23MB el dispositivo host tarda 6 veces más. Lo que nos lleva a suponer que el método de transferencia de datos utilizado por la placa USBwiz es muy ineficiente si se utiliza con dispositivos USB full-speed [5].

TABLA II. TIEMPOS ENTRE EL HOST USB DISEÑADO Y UNA PC CON USB1.1

Tiempos		Pruebas Realizadas
PC	Host USB	
-	35 s	Lectura de memoria de un dispositivo de 15Gigas
12 s	16s	Lectura de memoria de un dispositivo de 1Giga
15 s	37 s	Archivo de 1.1MB de un dispositivo USB a otro
2m	12 m	Archivo de 23MB de un dispositivo USB a otro

Por otro lado las pruebas con la SD fueron de igual manera exitosas, permitiendo leer el espacio disponible de memoria y acceder al contenido de la misma como en los dispositivos USB.

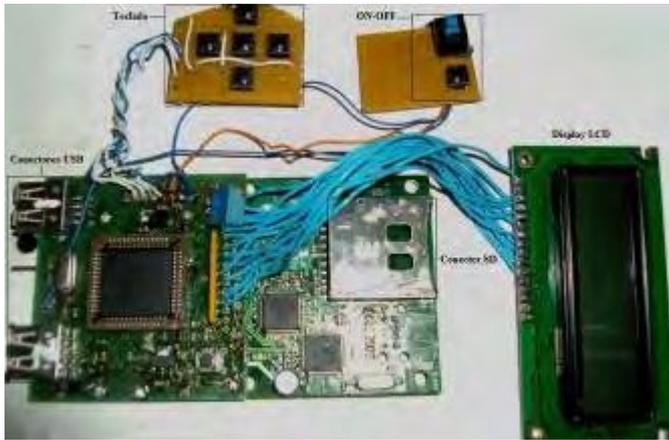


Figura 9. Prototipo del Sistema Host USB Portable.

VI. CONCLUSIONES

A grandes rasgos se ha cumplido con los objetivos del proyecto, mediante la obtención de un dispositivo totalmente portátil, con la posibilidad de alimentación con batería o alimentación externa.

Se logró implementar un Sistema que permite acceder a dispositivos USB y SD, posibilitando el acceso a la información de cada dispositivo.

A pesar que este dispositivo se encuentra en etapa de test, se ha logrado un dispositivo funcional, estable en cada uno de los menús y confiable.

REFERENCIAS

- [1] User's manual: Atmel USB microcontrollers AT89C5131.
- [2] Brian W. Kernighan, Dennis M. Ritchie. "El lenguaje de programación C" 2 Edición.
- [3] User's manual: Entorno de desarrollo KEIL uVision 3. Antonio Moreno Fernández-Caparrós.
- [4] User's manual: "USBwiz User's manual" rev 2.27 April 20, 2009.
- [5] Jan Axelson "USB Mass Storage, Designing and Programming Devices and Embedded Hosts"
- [6] User's Manual: Philips. "LPC 213x. microcontrollers" rev 02 , 25 July 2006.

Este dispositivo tiene las limitaciones de la placa USBwiz que soporta USB full speed y tiene un modo ineficiente de transferir información, limitando la velocidad de funcionamiento a velocidades inferiores a 12Mbits por segundo.

VII. TRABAJO A FUTURO

Como trabajo a futuro se pretende unificar el sistema implementando en un mismo Microcontrolador y de esta manera reducir notablemente el tamaño del dispositivo y optimizar los recursos utilizados. La Parte de implementación del Host USB ya se ha implementado en el trabajo "*Sistema Host USB para gestionar archivos entre dispositivos*" mediante el Microcontrolador LPC2478. Por lo que solo resta adaptar el código diseñado para el dispositivo ATMEL a dicho microcontrolador y de esta forma se obtendrá un dispositivo portable Funcional completamente diseñado por el Laboratorio.

Por otro lado, se desea implementar el USB 2.0 que soporta transferencia a High speed y mejorar el sistema de archivos implementando el sistema fat fs, lo que posibilitará la lectura y escritura de archivos de nombre superior a 8 caracteres y ampliar el menú de opciones, con la posibilidad de crear archivos de texto e ingresar texto a los mismos.

[7] Addlink software científico. "Curso de Multisim 9" año 2006.

[8] User's Guide: INTECH "Liquid Cristal Display Module"

Aspectos de implementación en una interfaz I2C para controladores PSoC y AVR

Integración en el diseño de un data logger

Rafael B. Oliva

Universidad Nacional de la Patagonia Austral
 Área Energías Alternativas y
 L&R Ingeniería
 Río Gallegos, Argentina
 roliva@lyr-ing.com

Nestor J. Cortez

Universidad Nacional de la Patagonia Austral
 Área Energías Alternativas
 Río Gallegos, Argentina
 nesjaco@gmail.com

Resumen—La utilización de la interfaz I2C está ampliamente documentada en publicaciones desde que fuera introducida por Philips como protocolo industrial, para comunicación de dispositivos en distancias cortas. Sin embargo, su complejidad subyacente y la interdependencia entre la programación y el hardware frecuentemente dificultan su implementación en circuitos reales. Aquí se presentan algunos aspectos de implementación en controladores Cypress PSoC y en controladores Atmel AVR, en modalidades maestro y esclavo, como módulo de software o con soporte de hardware. Dichas implementaciones corresponden a un proyecto con financiamiento FONTAR (ANR N° SC002/2003, reformulado 2004) para implementación de un data logger que ha dado resultados satisfactorios.

Palabras clave: Interfaz I2C, controladores PSoC, controladores AVR, Sistemas embebidos, lenguaje C

I. INTRODUCCION

El bus I2C (*Inter-Integrated Circuit*) es un bus serial de dos líneas desarrollado por Philips [1] a fines de los '70 para la interconexión de microcontroladores y periféricos. Su uso se enfocaba a distancias cortas (dentro de la placa o a lo sumo entre placas) y se concibió para aplicaciones de audio, televisión y electrónica de consumo. Sus principales ventajas son su simplicidad circuital (reducido número de líneas y pines de controlador) y su efectividad. Aunque Philips mantiene la propiedad intelectual del uso del bus, el mismo ha sido replicado (Intel con *SMBus* [2], Atmel lo denomina *TWI* o *Two-Wire-Interface* [3]) en variantes con distintos grados de similitud. La longitud del bus, sin buffers adicionales, puede llegar a unos 6 a 8m, con hasta 40 componentes. El I2C de Philips tiene variantes de 100kHz, 400kHz y recientemente 3.4MHz. Es un bus maestro/esclavo, con previsión para maestros múltiples. Todas los dispositivos acoplados se conectan con dos líneas: SDA o *serial data*, y SCL o *serial clock*. Esta simplicidad circuital trae aparejada cierta complejidad en la programación, ya que se requiere un mecanismo de direccionamiento para que un dispositivo maestro establezca comunicación con un esclavo (o con otro maestro). Todos los dispositivos deben tener una única dirección en el bus. Los dispositivos esclavos tienen una

dirección predefinida (en la mayoría de los casos), pero los bits bajos de la dirección pueden asignarse de modo de tener múltiples dispositivos del mismo tipo en el bus (así por ejemplo, un reloj de tiempo real o RTC Philips PCF8563 viene con una dirección 0xA2, y una memoria serial 24LC256 tiene una dirección 0xA0, aunque son direcciones de 7 bits que requieren manipulación por software). Cada dispositivo "mapea" a partir de su dirección base una serie de registros (o buffer de memoria) que están disponibles al resto. Una posibilidad que da mucha flexibilidad a este esquema es utilizar microcontroladores como esclavos —sea que tengan hardware específico I2C o utilicen "bit-banging", en cuyo caso es posible alterar por software no solo la dirección sino el mapa de registros puestos a disposición del bus. La estructura de hardware típico del bus puede verse en la Figura 1, donde se muestran las dos líneas SDA y SCL, sus respectivos resistores de *pull-up* y la configuración bidireccional de los pines en cada dispositivo.

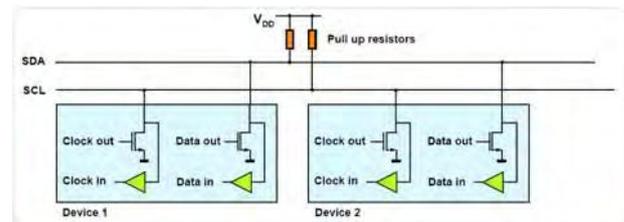


Figura 1. Estructura del bus I2C (Philips / NXP.com)

La configuración de múltiples dispositivos sobre el bus puede observarse en la Figura 2, que muestra una estructura con dos maestros y dos esclavos.

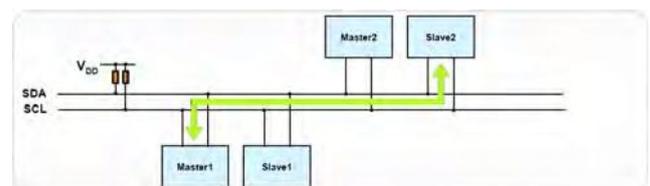


Figura 2. Bus multimaster I2C (Philips / NXP.com)

El protocolo se inicia en el caso más sencillo con un maestro y varios esclavos. El maestro inicia la comunicación, con la siguiente secuencia:

1. El dispositivo maestro emite una condición de START o inicio, esto informa a los esclavos que deben escuchar sobre la línea serial de datos (SDA) para determinar las instrucciones.
2. El maestro emite la dirección del esclavo a quien se dirige, junto con un *flag* de R/W (lectura o escritura).
3. El esclavo que detecta su propia dirección en el bus responde con una señal de reconocimiento (ACK).
4. La comunicación procede entre maestro y esclavo sobre el bus de datos, tanto el maestro como el esclavo pueden recibir o transmitir datos dependiendo del *flag* R/W, y el que transmite emite 8 bits de datos con un ACK de 1 bit. Cuando la comunicación se completa, el *master* emite una condición de STOP para terminar la comunicación. Estas condiciones se emiten con transiciones en la línea SDA alto a bajo o bajo a alto, con la línea SCL alta (Figura 3)

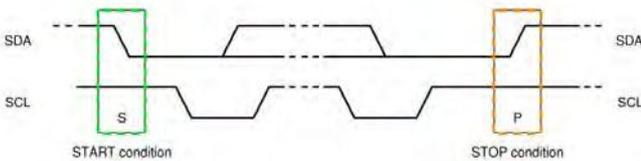


Figura 3. Temporización simplificada I2C (Philips / NXP.com)

II. IMPLEMENTACIONES CON PSoC

A. Antecedentes en el proyecto ANR: el PSoC como maestro (por software) y dispositivos I2C convencionales

En los inicios del proyecto ANR N° SC002/2003 de L&R Ingeniería [8], se planteaba el desarrollo de un data-logger de arquitectura abierta en dos bases de microcontrolador distintas, con distintos niveles de costo y complejidad. Se inició con los dispositivos PSoC de la línea 8C26443, en ese momento novedosos ya que combinaban características de una FPGA, con módulos analógicos configurables y un *core* M8C propietario, con algún parecido al venerable 8051, mas una cantidad reducida de memoria Flash (16K) y RAM. Los dispositivos se configuraban con un software gratuito (PSoC Designer) en forma similar a una FPGA, y la programación del controlador en lenguaje C permitía implementar un sistema con la ventaja de poder combinara señales analógicas con funciones digitales en el mismo chip. Esa primera versión (2002-2003) se adquirió con un ICE (*In-Circuit Emulator* ó emulador) que se conectaba al puerto paralelo de una PC (Figura 4). En la primera etapa, el PSoC se conectó al bus I2C configurado como maestro a través de un módulo de software (*bit-banged*) provisto por Cypress, que permitía acceder a dos dispositivos esclavos: una memoria serial 24LC256, y un reloj de tiempo real (RTC) PCF8563 de Philips.

B. Ensayo del acceso a EEPROM Serial vía I2C

Los ensayos de la interfaz I2C por software implicaron un caudal importante de trabajo y repetidas consultas a Cypress y sus publicaciones [5],[6], ya que no se contaba con experiencia en la utilización de este bus. El módulo I2Cm_1 es una API (*Application Program Interface*) que enlaza la aplicación escrita por el usuario con rutinas de bajo nivel dentro del PSoC y se basa en líneas de E/S seleccionables (una se elige como SDA, la otra como SCL). En el listado siguiente se muestra una inicialización básica de las primeras pruebas (2004):

```
// *****
//Now write TxBuf Array to EEPROM, starting from
// Adress 0000.
I2Cm_1_Start(); //I2Cm_1_Startinitializes
//interface module..
//31.1.04 Status chk added
if(status=I2Cm_1_fSendStart(EEPROM_ADDR,I2Cm_1_WR
-- ITE))
{
    Comm_TxCStr ("S"); // OK
}
else
{
    Comm_TxCStr ("X"); // err
}

I2Cm_1_fWrite(0x00); // Write AH within EEPROM
I2Cm_1_fWrite(0x00); // Write AL within EEPROM
// A write involves directly continuing with no
// Start..
for (i=0; i< 11; i++) { //31.1.04 Status chk
    if(status=I2Cm_1_fWrite(txCBuf[i]))
    {
        Comm_TxCStr ("1"); // OK
    }
    else
    {
        Comm_TxCStr ("0");// write fail..
    }
}
I2Cm_1_SendStop();
```

Después de acomodar ciertas particularidades especiales de la EEPROM 24LC256 utilizada, el sistema funcionó correctamente, y posteriormente se avanzó con la implementación de un *File System* rudimentario para obtener una utilidad razonable de los 32KB del dispositivo I2C instalado. La placa permitía instalar hasta 2 chips de memoria en la cadena I2C, y ampliar de esa manera la memoria disponible.

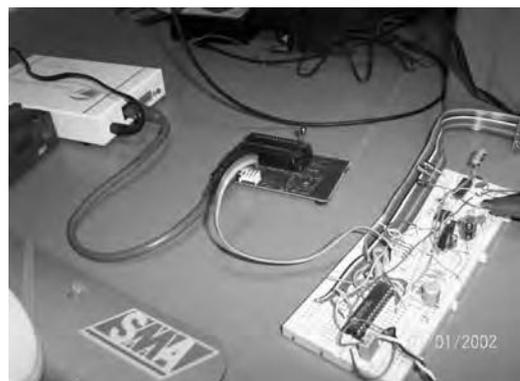


Figura 4. Detalle de conexión a ICE - Ensayo de PSoC - CY8C26443

C. *Reloj de tiempo real vía I2C y evolución posterior*

Una tarea similar requirió la interfaz con el reloj de tiempo real PCF8563 [7], para el cual se montó un circuito con una pila de backup de 3V de litio, lo cual permitía el mantenimiento de la hora real aún después de apagar el circuito. Este dispositivo mapea registros de hora, minuto, segundo en formato BCD, y el acceso se realiza realizando una lectura a RAM del buffer completo a través del bus, y después convirtiendo los registros a números concretos y formateando de acuerdo a fecha y hora.

El circuito fue evolucionando con el avance del proyecto hasta convertirse en la placa DLCy cuyo diagrama en bloques vemos en la Figura 5, y que en sus versiones finales incorporó el microcontrolador PSoC de la línea 8C29443, con prestaciones analógicas muy superiores, 32K de Flash y 2K de RAM, lo cual lo hacía más adecuado para su uso como un data logger sencillo (aunque la memoria Flash queda prácticamente llena en la mayoría de las aplicaciones).

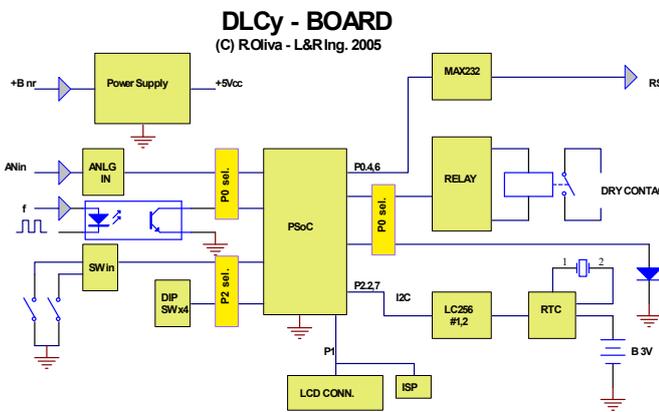


Figura 5. DLCy con PSoC - CY8C29443

Este esquema siguió utilizando dos pines elegidos P2.2, P2.7 para que el módulo de Maestro I2C por software implementara el acceso a los datos en la memoria LC256, y coordinaba las operaciones de adquisición de datos con el RTC, permitiendo las funciones básicas de un data logger.



Figura 6. DLCy con PSoC - CY8C29443

La descarga de datos se realiza a través de un puerto serie RS232. Este equipo ha dado muy buen resultado, y se han realizado múltiples aplicaciones. En la Figura 7 se muestra el registro de datos de un sistema de control de freno para un pequeño aerogenerador [4].

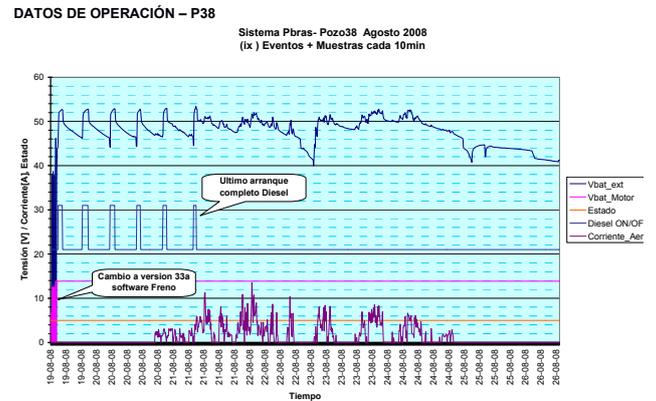


Figura 7. DLCy con PSoC - CY8C29443

En este caso, el almacenamiento es realizado en la EEPROM mencionada, y en ella se registran entre otros datos la tensión de la batería y la corriente que produce el aerogenerador.

III. EXPANSIÓN I2C EN ARQUITECTURA ATMEL AVR (TWI)

A. *Placas de mayor capacidad con procesador AVR*

La utilización de I2C de Philips (o TWI para Atmel) se expandió en la segunda etapa del proyecto con la placa CL2bm1, orientada a realizar un datalogger ampliado utilizando procesadores Atmel AVR ATMega [3] de mayores prestaciones. Incluye por ejemplo capacidad para almacenamiento en tarjetas SD hasta 2GB, puerto serie dual configurable a conexiones RS232, RS485 y/o USB y reloj de tiempo real con compensación por temperatura (Figura 8).



Figura 8. Placa CL2b-m1 con procesador AVR

Asimismo, la mayor capacidad de memoria (128K de Flash, 4K de SRAM en ATMega1284P) permite la

construcción de un firmware con funcionalidades más complejas, por ejemplo manejo de archivos y registro de eventos.

B. Acceso a periféricos con bus I2C/TWI en AVR

En las placas CL2bm1, la interfaz I2C es un elemento central de su estructura de comunicaciones. Internamente, el procesador configura su módulo I2C de hardware como maestro y accede a los periféricos RTC (el mismo PCF8563) y de I/O tipo PCA9538, que permite expandir el número de entradas o salidas discretas del procesador. Un conector específico de expansión I2C con protecciones de sobretensión (Figura 10) permite agregar módulos esclavos externos. La implementación del código para el RTC no presentó dificultad ya que la API del compilador C para AVR utilizado (CodevisionAVR [9]) contenía rutinas para el PCF8563. Para el PCA9538 se escribió un driver especial.

Se eligió utilizar para los primeros desarrollos una placa DLCy como “periférico” para conectar dicho dispositivo al CL2b, y de paso utilizar la función “I2C-Hardware-Slave” presente en los modelos más nuevos (ej 8C29443) del PSoC. Esta función implementa un módulo de hardware específico de I2C (maestro o esclavo) con su propia API, que resulta en una comunicación más veloz y confiable respecto a la versión anterior “bit-banged”. Se encontraron algunos problemas en la conexión (el camino de GND entre ambas placas debe ser de baja resistencia), y en el software, pero el resultado ha sido por demás satisfactorio y se han implementado ya dos módulos periféricos que utilizan un PSoC 8C29443 como esclavo I2C con esta función, denominados M4/E (Figura 9) y M4/Freno.

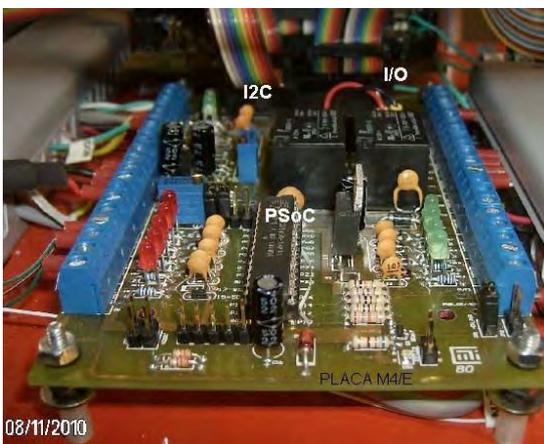


Figura 9. Placa de Expansión M4/E con PSoC como I2C/Slave

C. Reutilización de código I2C/TWI en AVR

Para el procesador ATmega644P/1284P en CL2bm1 se utilizó el módulo de hardware I2C incluido en la CPU, con pines asignados explícitamente. Se reutilizó para los drivers de los periféricos (esclavos) código de placas comerciales AVR, para lo cual fue necesario realizar una revisión exhaustiva de sus funciones. Por ejemplo, en una de las rutinas de menor nivel, *twi_step()* que se transcribe a continuación, se presentaba un error aleatorio que dejaba al bus colgado. Esto

podía ocurrir ante ruido o desconexión de una segunda placa, y se debía a un *timer* que no era incrementado durante los tiempos de espera del bus. Al realizar la corrección desapareció el error. Es común que placas comerciales se suministren con módulos de código “de muestra” que no ha sido probado exhaustivamente, y su reutilización puede conducir a problemas muy difíciles de detectar.

```

/* 17.5.09 Modify options.h to access twi-cl2-2.c/.h, Add
label TIMERMAX for TWI Timer in TWIStep() routine, and
increment this timer.
/*****
Sends a two wire interface command - para CL2b a 184kHz
**
** Parameters: twcr_mask, Command to be sent
** Status, Flag to see if we need to wait for the status
**
** Returns: 0 - Command sent successfully
**          1 - An error occurred
**
** Modified 17.5.09 Added TWI_STEP_TIMER_MAX label,made
** = 100 as before, and ** make TWITimer active (there
** were no increments!!)
*****/
int8 twi_step(uint8 twcr_mask, uint8 status)
{
    uint8 twi_status;

    TWCR = twcr_mask | TWI_ENABLE;
    if(status != TWI_NO_WAIT)
    {
        TWITimer = 0;
        while(((TWCR & 0x80) == 0) && (++TWITimer <
            TWI_STEP_TIMER_MAX))
            //17.5.09 Increment TWITimer!..
            ;

        twi_status = (TWSR & 0xFC);

        if((status != TWI_IGNORE_STATUS) && ((twi_status
            != status) || ((TWCR & 0x80) == 0)))
        {
            TWCR = TWI_SEND_STOP | TWI_ENABLE;
            TWITimer = 0;
            while(((TWCR & 0x80) == 0) && (++TWITimer <
                TWI_STEP_TIMER_MAX))
                // 17.5.09 Increment TWITimer!..
                ;

            return(TWI_ERROR);
        }
    }
    return(TWI_SUCCESS);
}
    
```

La interfaz I2C conectada al reloj permite mantener una hora medianamente precisa con el cristal standard de 32.768kHz (Figura 10). Aún así, se observó deriva a lo largo de varios meses en productos reales como el DLCy, por lo cual la placa CL2bm1 de producción (Figura 11) incorpora la opción de un TXCO, oscilador compensado por temperatura.

D. Aplicaciones de control mas complejas con bus I2C/TWI en combinaciones AVR y PSoC

Se ha verificado la posibilidad de llevar adelante aplicaciones relativamente complejas a través de la interfaz I2C utilizando el conector de expansión de la placa CL2bm1. En la Figura 12 se aprecia uno de los sistemas que realiza el control de un aerogenerador, paneles fotovoltaicos, banco de baterías de 48V y dosificación con bombas especiales, y que funciona en un emplazamiento de clima extremo desde fines de 2010. La placa de CPU actúa como maestro, y las placas M4/E y M4/Freno como esclavas en dos direcciones distintas sobre el mismo bus. Cada una de las placas periféricas tiene un controlador PSoC 8C29466, que utiliza el módulo I2C por hardware en configuración esclavo, y las direcciones en el bus

se programan en la memoria flash del PSoC. El programa interno del periférico “publica” en el bus I2C una cantidad de registros, algunos de lectura/escritura y la mayoría de lectura. Al momento de compilar el programa principal del CL2bm1, se enlazan un par de archivos .c y .h que contienen las rutinas que constituyen la API, con las funciones de alto nivel que utiliza el programa principal para acceder a los registros de las dos placas esclavas a través del bus I2C. No se observaron problemas de compatibilidad entre las implementaciones TWI de Atmel e I2C de Cypress, y una vez resueltos los accesos de bajo nivel, la comunicación aparece al programador como una secuencia de lecturas y escrituras de registros.

Como se puede apreciar en la Figura 12, las distancias entre placas no son significativas y esto contribuye a una mayor inmunidad al ruido. Si bien Philips y otras firmas producen integrados denominados “bus extenders” para ampliar alcance físico de las conexiones I2C, su aplicación principal para reducir los costos y la complejidad sigue siendo dentro de un mismo equipo.



Figura 12. Aplicación de CL2bm1 con dos placas (M4/E y M4/Freno) conectadas como esclavas I2C en direcciones individuales

CL2B Proto Board - (c) 2009 / LyR Ingeniería
I2C Peripherals
rev.8 08-09 / (c) R.Oliva

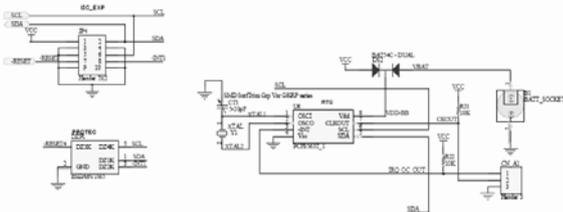


Figura 10. Conector de expansión y RTC conectada al bus I2C

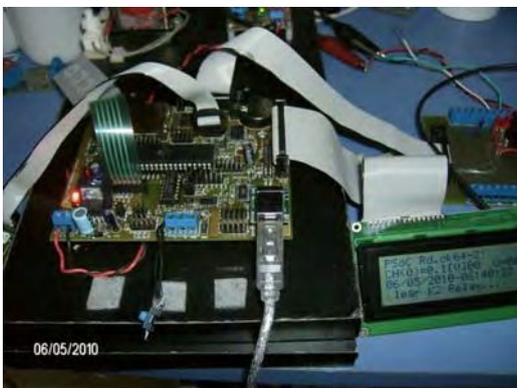


Figura 11. Placa CL2bm1 de producción en ensayos

IV. CONCLUSIONES

La utilización del bus I2C presenta múltiples ventajas para la implementación de sistemas embebidos, aunque la complejidad subyacente y el esfuerzo inicial de programación son mayores que en otros tipos de sistema de comunicación.

Además, el diseño concreto y construcción de equipos que utilicen I2C encierra ciertos aspectos prácticos que son poco difundidos. Sin embargo, si se sortean estos obstáculos iniciales, los ahorros en costo y el incremento de confiabilidad (por tratarse de una tecnología con madurez adecuada) son muy importantes.

REFERENCIAS

- [1] Philips/NXP The I2C-Bus Specification, Version 2.1. January 2000 http://www.semiconductors.philips.com/products/interface_control/i2c/facts
- [2] SM Bus (System Management Bus – Intel 1995) <http://smbus.org/specs/>
- [3] Atmel – AVR Processors www.atmel.com
- [4] Oliva, R. y Vallejos, R , “Requerimientos para la Evaluación de Curvas de Potencia en aerogeneradores de baja potencia para carga de baterías - Diseño de su Implementación.”, ASADES 2006, Buenos Aires (2006) www.asades.org.ar/asades06/horario-ponencias.xls.
- [5] Van Ess, D. , A Thermistor- Based Thermometer, PSoC Style, Cypress Semiconductor App. Note AN2017, (2002)
- [6] Cypress Semiconductor AN2305 – Using Cypress I2C port Expanders with Flash Storage, <http://www.cypress.com>
- [7] Philips PCF8563 datasheet (<http://www.semiconductors.philips.com>)
- [8] 2004-2010 Proyecto ANR-SC02/2003 -FONTAR:“Sistema de Adquisición de Datos (Data Logger) de Bajo Costo y Arquitectura Abierta para Aplicaciones Ambientales y de Energía” Presentación 03/10: http://www.lyr-ing.com/Assets/Images/Projects/ANR/PresANR-Evolucion_a_03-2010.pdf
- [9] CodevisionAVR - <http://www.hpinfofotech.ro/html/cvavr.htm>

Modulo de leds para iluminación publica.

Aurelio, Damián Alberto; Morales, Pablo Nicolás; Tantignone Hugo; Zaradnik, Ignacio José
Cátedra de Tecnología Electrónica (383), Departamento de Ingeniería e investigación Tecnológica
Universidad Nacional de la Matanza. Buenos Aires, Argentina.

da_aurelio@yahoo.com.ar, pablmorales_84@yahoo.com.ar, htantignone@gmail.com; izaradnik@unlam.edu.ar

Abstract—En el presente trabajo se pretende explicar en forma detallada el diseño de un modulo de leds para iluminación publica, a través del cual se podrán ofrecer soluciones escalables para las distintas necesidades. El diseño incluye la definición de las características del modulo, la selección de los leds a utilizar y su configuración, el diseño del circuito impreso y la selección del material sobre el cual se va realizar. No será abordado en este trabajo la elaboración de la fuente de alimentación, quedando como futuro desarrollo.

Keywords- *leds; lumens; corriente constante; resistencia termica; metal core pcb (MCPCB);esfera integradora de Urlich;*

I. INTRODUCCION

La principal ventaja que presentan los leds frente a las otras fuentes de luz es el ahorro en el consumo de energía. En este aspecto se han conseguido ahorros desde un 25% hasta un 50%. Además, de acuerdo a los recursos locales, la electricidad y la energía solar pueden ser combinadas para así alcanzar un mejor costo y beneficio.

Otra característica importante que presentan estas luminarias es la eficiencia lumínica. Mientras las lámparas de vapor de sodio de alta presión, de uso común en el alumbrado público, brindan una eficiencia de 85 lumens por vatio, la tecnología LED va camino de superar los 150 lumens por vatio y esta última cifra se está incrementando a medida que se progresa en el desarrollo de semiconductores.[1]

Con respecto al ahorro de costos de mantenimiento, también se consiguen grandes ahorros, ya que la vida útil de estas lámparas de LED es aun mayor a la convencional iluminación mercurial, ya que con el sistema de control que incorporan, este tipo de lámparas pueden durar hasta 50,000 horas de servicio continuo utilizándolas 10 horas al día. Con lo cual estaríamos hablando de una vida igual o mayor a los 13 años.

La curva de atenuación luminosa de las luminarias LED presenta una disminución de un 30% de luz a las 50.000 horas con una pendiente muy gradual, en cambio, una lámpara de sodio tiene una curva de depreciación que cae un 10% en las primeras 4000 horas y su vida útil se encuentra entre 8000 y 12000 horas.[2][3]

La última característica sobre la que se hace mención, se relaciona con los beneficios que trae esta tecnología con respecto a sus competidores en el aspecto ecológico. Las luminarias LED minimizan los costos de tratamiento de los desechos típicamente asociados a la iluminación pública, ya que carecen de cualquier contenido de mercurio, plomo u otras sustancias altamente contaminantes. Adicionalmente, emiten

una menor emisión de CO₂. En promedio, la emisión de gases es de 585gr de CO₂ x KW. La reducción de emisión de gases es entonces proporcional a la reducción de consumo energético. Los LEDs reducen la contaminación lumínica (iluminan áreas delimitadas y no producen reflejos), y no emiten rayos UV o infrarrojos. [3]

En base a lo expuesto anteriormente, podemos inferir que el desarrollo de luminarias en base a leds es una alternativa con un gran futuro, en reemplazo de los equipos de iluminación convencionales.

II. DEFINICION DE PRODUCTO

A. Objetivos del Alumbrado Publico

- Permitir a los conductores de automóviles, motocicletas, bicicletas y otros tipos de vehículos actuar con seguridad.
- Permitir que los peatones vean los peligros, puedan orientarse, reconozcan otros peatones y tengan sensación de seguridad.
- Mejorar la apariencia nocturna del espacio urbano.

En la iluminación de rutas y vías de acceso la importancia relativa de estos ítems debe ser sopesada particularmente, porque las necesidades de los conductores de vehículos y la de los peatones son diferentes. En el tercer caso la apariencia del entorno, y la posibilidad de destacar puntos importantes de la ciudad es útil para ambos, tanto como placer visual como referencia para la orientación.

En función de los objetivos mencionados, la norma IRAM AADL J 2022/2 clasifica las arterias y define los niveles de iluminación para cada una de ellas. La ecuación N°1 detalla el calculo de la iluminancia media (E_{med}), la cual se expresa en Lux (lm/m²), y la tabla N°1 suministra los valores recomendados para las calzadas urbanas. [4]

$$E_{med}=(A \times F \times K \times V)/(l \times e) \quad (1)$$

- A: Tipo de montaje (unilateral, bilateral).
- F: Flujo Luminoso de la fuente.
- K: Factor de utilidad.
- V: Factor de mantenimiento.
- l: Ancho de calzada.
- e: Separación de columnas.

El flujo luminoso es el factor de interés para nuestro desarrollo, ya que los otros dependerán de la luminaria o de la instalación de esta.

TABLA 1. Calzadas Urbanas – Valores Recomendados.

Clases	Ejemplo	Descripción	Emed
C	Avenida Principal	Semi Rápido, hasta 60km/h. Calzada en dos direcciones, con o sin carriles de estacionamiento, con intensa presencia de peatones y obstáculos.	40
D	Arteria Comercial	Lento, hasta 40km/h. Calzada con desplazamiento lento y trabado; con o sin carriles de estacionamiento; con intensa presencia de peatones y obstáculos.	27
E	Avenida Secundaria	Moderado, hasta 50km/h. Acumulan y conducen tránsito desde un barrio hacia vías de tránsito de orden superior.	16
F	Calle Residencial	Lento, hasta 40km/h. Calles residenciales de una o dos manos; con tránsito exclusivamente local. Presencia de peatones y obstáculos.	10

De lo anteriormente expuesto surge que la necesidad del mercado, en lo que se refiere a iluminación de la vía pública, requiere un producto modular, permitiendo que una luminaria se adapte a las diferentes tipos de arterias y condiciones de la calzada.

B. Productos existentes.

Teniendo en mente el diseño de un modulo para iluminación publica se realizo un estudio de mercado. La tabla 2 presenta un resumen de los productos de varias empresas, entre ellas la mexicana DMX, la italiana Ruud Led, y las chinas Elumin8, Shylon y LedEnergy.

El análisis de estas líneas de productos y muchas otras, ayudo a determinar las características de nuestro modulo, las que se detallan a continuación.

C. Especificaciones.

- Potencia: entre 20 y 30W.
- Flujo luminoso: entre 1800 y 2200 lm.
- Temperatura de Color: entre 5000- 7000°K.

La especificación de la vida útil fue omitida ya que al trabajarse con leds, esta se sabe superior a las 5000 horas. El ángulo de apertura dependerá de los Leds que se encuentren en el mercado para realizar modulo.

TABLA 2. Productos en el mercado.

Marca	Potencias [W]	F. Luminoso [lm]	Temp.Color [K]
DMX	28, 56, 112, 168.	2100, 4200, 8400, 12600.	3000-4000, 5000-7000.
RUUD LED	53, 129, 207, 306.	4000, 10000, 16000, 24000.	3500, 4300, 6000.
ELUMIN8	38, 78, 114, 143.	1800, 3880, 5860, 8110.	2000, 6500.
SHYLON	60, 90, 120.	4600,7200, 9600.	5000-6000.
LEDENERGY	28, 56, 70.	2300, 4600, 8400.	5000-6000.

III. DISEÑO

En esta parte del proyecto se tuvieron en cuenta varios aspectos, entre ellos la elección del led, la cantidad y su configuración, los circuitos de protección, el manejo térmico y el diseño del circuito impreso.

A. Eleccion del Led.

Para la elección del led se evaluaron los siguientes aspectos.

- Potencia / Eficiencia.
- Angulo.
- Temperatura de Color.
- Índice de reproducción cromática.
- Encapsulado.
- Marca.

Las marcas evaluadas fueron Osram, Philips, Cree, Everlight y Z-Light. En todas ellas encontramos productos que podían cumplir en mayor o menor medida las especificaciones definidas, pero se termino optando por un led de la marca alemana Osram, la cual provee abundante información en las hojas de datos de sus productos, buena disponibilidad de catálogos y notas de aplicación para cada uno de sus producto y para el desarrollo de nuevos diseños, además de tener un distribuidor local con soporte.

El tipo de led escogido fue el Golden Dragon LW-W5PM oval Plus. El mismo es ideal para iluminación en la vía pública, ya que posee un ángulo de visión de 120° en el eje horizontal, y de 70° en el vertical. Es capaz de disipar una potencia de 1 W y tiene una excelente eficiencia óptica, de aproximadamente 107 lm/W a 100 mA. En su versión blanco frío, emite luz blanca con una temperatura de 6500 K. Su encapsulado es fácilmente manejable por operarios como por pick and place. La figura 1, nos muestra el footprint del led seleccionado y algunas de sus características técnicas. [5]

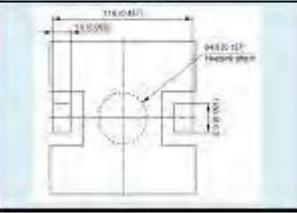
MARCA	OSRAM
MODELO	GOLDEN DRAGON LW-W5PM OVAL
POTENCIA	1W
FLUJO LUMINOSO	95 lm a 350mA hasta 213 lm a 1A
TEMPERATURA DEL COLOR	5600K
ANGULO DE VISION	Horiz.: 120° - Vert.: 70°
EFICIENCIA OPTICA	107 lm/W a 100 mA
Vf	2.7 a 3.7 V
PRECIO	N/D
FOOTPRINT / DIMENSIONES	

Figura 1.

B. Cantidad y configuración de los leds

El módulo está constituido por un array de 16 leds. A través de cada uno de ellos circula una corriente de 350 mA, si bien con esta corriente no se obtiene la mayor eficiencia del led, pero la utilización de este a menor corriente implicaría un gran número de leds para obtener el flujo luminoso especificado. La caída de potencial en cada leds es del orden de los 3,3 V, lo que implica una potencia aproximada de 1W por led. El total de potencia del modulo es aproximadamente 18,5 W, alcanzando el limite inferior de flujo luminoso especificado. Los leds se distribuyeron en dos ramas con 8 leds, como consecuencia la corriente con el que se alimenta el módulo debió ser de 700 mA. Si se hubieran dispuesto mas ramas en paralelo la corriente de alimentación debía ser más mayor, y si se hubieran puesto todos los leds en serie, la tensión de alimentación debía ser del doble. Además, no se dispusieron más de dos ramas, porque las diferencias entre tensiones de forward de cada led quedan compensadas cuanto mayor sea la cantidad de leds. Por esto se decidió que esta disposición es la más adecuada. El hecho de conectar los leds en paralelo, si bien asegura la misma tensión sobre cada uno de ellos, no asegura la misma corriente, ya que ésta dependerá de la tensión de ruptura de cada led, que estará dentro de un rango posible, y tendrá un valor particular para cada uno. Resumiendo, el conectar leds en paralelo puede tener como resultado una corriente, un flujo luminoso, y una vida útil distintos para cada led.

Con el objetivo de proveer una corriente constante a cada rama, seleccionamos un regulador LM317, el cual provee limitación de corriente y protección contra sobrecarga térmica. Se utiliza un regulador lineal, debido a que en esta etapa no se está priorizo la eficiencia de la alimentación, sino la de iluminación. En etapas futuras, que escapan al contenido de este informe, se estudiara la posibilidad de realizarlo con un circuito del tipo switching, el cual posee un rendimiento mucho más alto.

La configuración seleccionada tiene la función de proveer una corriente de salida constante, independientemente de la tensión en la carga. Para ello, se vale de la tensión de referencia interna ADJ, fija y propia del componente (de valor

1,25 V), y de una resistencia de 3,3 ohm entre la salida Vout y la salida de referencia, fijando una corriente por la misma de 350 mA, tal como se ilustra en la figura 2. [6]

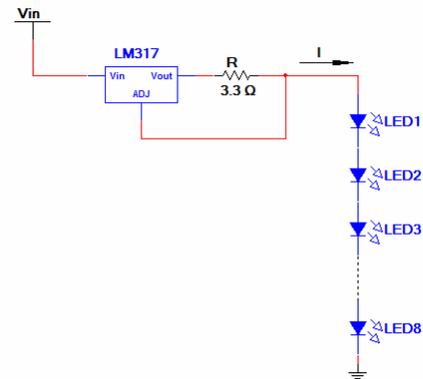


Figura 2.

C. Circuito de proteccion.

Si bien la vida útil de los leds es mayor a 50000 horas, es posible que estos fallen, la falla habitual suele ser que los leds se abran, produciendo que toda la rama deje de funcionar. Para que el circuito continúe en funcionamiento en el caso de que uno de los leds falle, se seleccionaron unos shunt de led. Los mismos se conectan en paralelo y entran en acción en el caso de que un led quede en circuito abierto, haciendo que la corriente circule a través de él y presentando una caída de tensión similar a la del led, de manera tal que los otros leds de la rama continúen encendidos.

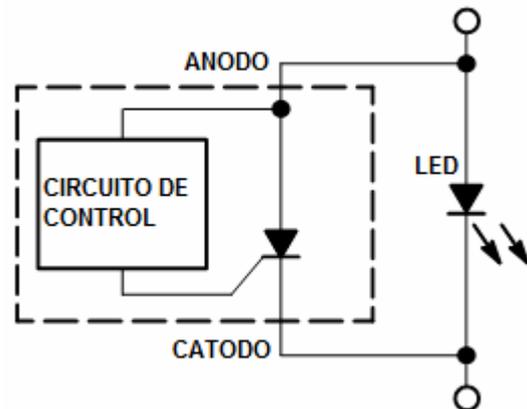


Figura 3.

Para este componente se evaluaron dos posibilidades, el PLED18Q12 de Litelfuse y el NUD4700 de On Semiconductor. Por una cuestión de disponibilidad se seleccionó para el proyecto la opción de Litelfuse. [7][8]

D. Consideraciones Termicas.

Para encapsulados de LEDs de alta potencia una buena conductividad térmica es uno de los puntos clave. PCB basados en FR4 tienen una muy baja conductividad térmica (0,23 W/mK). Por ello se utilizan las soluciones basadas en cerámicas como el oxido de aluminio (Al2O3) y nitruro de

aluminio (AlN) con valores típicos entre 25 W/mK y 180 W/mK, o PCB de núcleos metálicos (MCPCBs) con valores de 400 W/mK son de uso frecuente. Las características distintivas de los materiales, como el coeficiente de dilatación térmica, la conductividad térmica y el costo determinan su uso en diferentes aplicaciones.

La tabla 3 presenta un cuadro comparativo con valores de resistencia térmica típica entre el punto de soldadura y la placa. [8]

TABLA 3. Resistencias Térmicas

TECNOLOGIA DEL SUSTRATO	RESISTENCIA TERMICA
MCPCB con dieléctrico optimizado	3,4 K/W
MCPCB con dieléctrico en FR4	7,3 K/W
FPC sobre aluminio con PSA estándar	9,5 K/W
FPC sobre aluminio con PSA térmico optimizado	7,6 K/W
PCB sobre FR4 adherido sobre aluminio con vías térmicas	9,7 K/W

Podemos concluir que la tecnología más adecuada y más simple de implementar en nuestro diseño es el MCPCB, ya que se obtienen valores muy bajos de resistencia térmica, sin necesidad de realizar vías sobre el sustrato, obteniendo de esta manera condiciones óptimas en cuanto al manejo térmico.

Como mencionamos antes para lograr una buena confiabilidad y un óptimo rendimiento, es necesario un manejo térmico adecuado. La temperatura de operación admisible para un tiempo de vida determinado está limitada por los componentes de resina del led. Esto significa que la temperatura del componente interno, no debe exceder el valor límite especificado en la hoja de datos.

La disipación de potencia en la juntura del chip se distribuye en el encapsulado y en el sustrato por conducción del calor, y desde las superficies libres al ambiente por radiación y convección. La juntura hace referencia a la juntura p-n dentro de la cápsula semiconductor, donde se generan los fotones.

Este led consiste en un chip montado sobre un disipador de calor soldado, o adherido. El disipador de calor consiste en un material de alta conductividad como el cobre.

En la figura 4 se representa el circuito térmico equivalente, compuesto por una fuente de corriente que simboliza la potencia disipada (P_D), resistencias en serie entre la juntura y el ambiente (R_{thJA}), y una fuente de tensión, que representa la temperatura ambiente o temperatura de la carcasa (T_A).

Para saber si nuestro modulo esta operando dentro de rangos de temperatura que aseguren la vida útil de los leds,

debemos calcular a que temperatura se encuentra a juntura en condiciones normales de trabajo. Las ecuación 2 y 3 nos muestra como calcular dicha temperatura.

$$T_J = R_{thJA} \times P_D + T_A \tag{2}$$

$$T_J = (R_{thJS} + R_{thSB} + R_{thBA}) \times P_D + T_A \tag{3}$$

P_D se calcula como lo indica la ecuación 4.

$$P_D = 350mA \times 3.2V = 1.12W \tag{4}$$

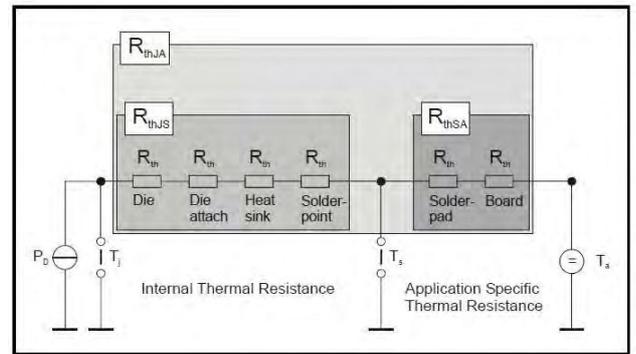


Figura 4.

Si queremos calcular la resistencia térmica de un paquete entero, necesitamos conocer los diferentes materiales dentro del sistema, sus resistencias térmicas, y las dimensiones de cada capa.

La figura 5 muestra un detalle de todas las resistencias térmicas que están en juego.

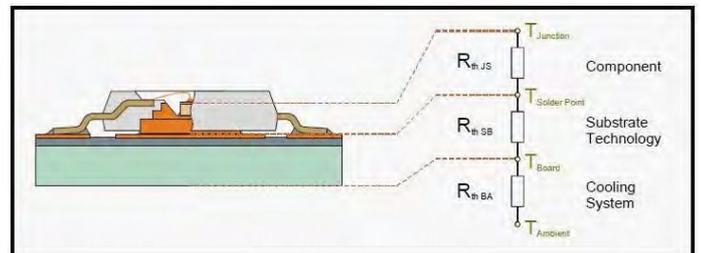


Figura 5.

Resistencia térmica de un material de estado sólido de ángulos rectos esta definida por la ecuación 5.

$$R_{th} = d / \lambda \times A = KT / P \tag{5}$$

- d = espesor de la capa
- A = área de la capa
- λ = conductividad térmica
- KT = diferencia de temperatura
- P = potencia disipada

Para el caso de una conexión en serie de N materiales diferentes, la resistencia térmica esta determinada por la ecuación 6.

$$R_{th\text{serie}}=R_{th1}+ R_{th2}+\dots+R_{thN} \quad (6)$$

En caso de tratarse de MCPCB, podemos observar tres capas de distintos materiales: una de cobre, otra dieléctrica y una última de aluminio. Las siguientes ecuaciones detallan el cálculo de la resistencia serie de la placa de MCPCB, los datos empleados para este cálculo fueron brindados por el proveedor de los circuitos impresos, INARCI S.A. [10]

$$R_{thSB} = R_{thCu} + R_{thD} + R_{thAl} \quad (7)$$

$$R_{thSB} = (d_{cu}/ \lambda_{Cu} \times A) + (d_D/ \lambda_D \times A) + (d_{Al}/ \lambda_{Al} \times A) \quad (8)$$

$$R_{thSB} = (1/A) \times ((d_{Cu}/ \lambda_{Cu}) + (d_D/ \lambda_D) + (d_{Al}/ \lambda_{Al})) \quad (9)$$

$$R_{thSB} = (1/A) \times ((35 \times 10^{-6} \text{m} / 400 \text{W/mK}) + (150 \times 10^{-6} \text{m} / 0.6 \text{W/mK}) + (1.6 \times 10^{-3} \text{m} / 180 \text{W/mK})) \quad (10)$$

$$R_{thSB} = (1/A) \times (259 \times 10^{-6} \text{Km}^2/180 \text{W}) \quad (11)$$

Considerando un área de 144 mm^2 ($12 \text{ mm} \times 12 \text{ mm}$), que corresponde al footprint recomendado por el fabricante obtenemos,

$$R_{thSB} = 1.8 \text{ K/W} \quad (12)$$

Se utilizará un disipador de aluminio de $115 \text{ mm} \times 150 \text{ mm}$ con 20 aletas de 12 mm . Consultando fabricantes se obtuvo que la resistencia térmica de este tipo de disipadores, en el peor de los casos es,

$$R_{thBA} = 1 \text{ K/W} \quad (13)$$

Y revisando la hoja de datos del led utilizado se extrajo que la resistencia térmica interna del dispositivo es,

$$R_{thJS} = 11 \text{ K/W} \quad (14)$$

Y la temperatura máxima de junta es de 135°C o lo que es lo mismo 408°K . Por lo tanto, nuestro cálculo debe dar un resultado menor a esta temperatura. Si suponemos una T_A de 75°C (348°K),

$$T_J = (11 + 1.8 + 1) \text{ K/W} \times 1.12 \text{ W} + 348 \text{ K} \quad (15)$$

$$T_J = 15.46 \text{ K} + 348 \text{ K} = 363.5 \text{ K} = 90.5^\circ\text{C} \quad (16)$$

De esta forma, queda demostrado que el área prefijada es capaz de disipar una potencia que asegura una temperatura de junta por debajo de la temperatura máxima especificada por el fabricante.

E. Circuito impreso

El diseño del PCB fue realizado con el software gratuito Kicad. Con el se generaron el circuito esquemático, los footprints, el PCB y la vista 3D de la placa.

Con el objetivo de hacer un producto adaptable a modificaciones del tipo de leds elegido, ya sea por un tema de disponibilidad del led o por un motivo económico, se generó un footprint en el que puede ser soldado dos modelos de leds distintos. Además del Golden Dragon LW-W5PM oval Plus de Osram y se seleccionó como alternativa: ZL-XEL011W-*BA de Z-Light, por cuestiones económicas Utilizando la información disponible en las hojas de datos se generó el footprint que se puede ver en la figura 6.

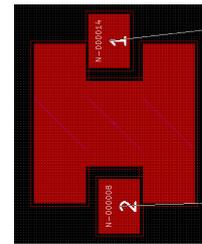


Figura 6.

En la figura 7 y 8 se puede ver una fotografía de la placa montada y diseño de la placa fabricada.

En el diseño del circuito impreso se cometió un error a raíz de no estar acostumbrado a trabajar con circuitos impresos del tipo MCPCB. Se emplearon componentes pasantes, sin considerar que el elemento sustrato es conductor, produciendo cortocircuito entre las patas del regulador y la resistencia. Este error fue salvado gracias a la detección del fabricante del circuito impreso, INARCI S.A., quien gentilmente modificó los archivos para adaptar los componentes a montaje superficial.



Figura 7.

IV. MEDICIONES

Para medir el flujo luminoso, se debe utilizar una esfera integradora de Ulrich, figura 9, la cual suma todo el flujo radiante sin importar la dirección hacia donde radia. La misma consiste básicamente en un cuerpo esférico con un interior hueco pintado de blanco, con pequeñas aberturas respecto de su tamaño. El principio de funcionamiento es el siguiente: después de la enésima reflexión en sus paredes interiores, si las mismas están recubiertas de un material altamente difusor, el flujo radiante reflejado se uniformiza, por lo que es correcto medir el flujo luminoso que llega a una área pequeña y multiplicarlo proporcionalmente al área total de la esfera, para obtener así el flujo total que emite la fuente. Lamentablemente no se cuenta con este equipamiento y el mismo es de difícil acceso. A continuación se detalla la prueba sobre el modulo, las condiciones y el instrumental utilizado.

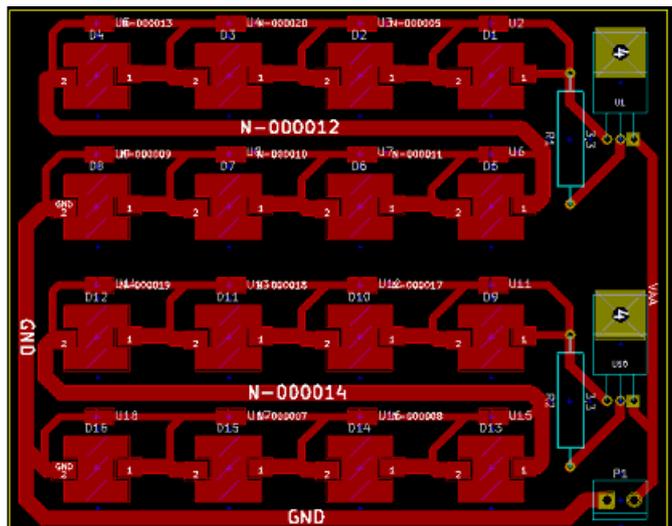


Figura 8.

Para realizar las mediciones, se preparó una habitación de manera tal de que no exista ninguna fuente de luz que pueda afectar las mismas. Tal condición se corroboró con la ayuda del luxómetro, modelo TM-201 de la empresa TENMARS[11], obteniéndose un valor de iluminancia cero antes de comenzar los ensayos. Luego, se ubicaron los LEDs sobre una pared, de manera tal de que exista una zona libre de elementos que puedan afectar la medición, entre los mismos y el equipo de medición. El luxómetro se ubico a una distancia de 1m y la tensión de alimentación del modulo fue de 30V. El modulo estuvo funcionando 1 hora, durante este tiempo no se observo cambio en el flujo luminoso del modulo, lo que fue nuestro primer indicio de que todo estaba funcionando correctamente.

Para realizar las mediciones, se preparó una habitación de manera tal de que no exista ninguna fuente de luz que pueda afectar las mismas. Tal condición se corroboró con la ayuda del luxómetro, modelo TM-201 de la empresa TENMARS [11], obteniéndose un valor de iluminancia cero antes de comenzar los ensayos. Luego, se ubicaron los LEDs sobre una pared, de manera tal de que exista una zona libre de elementos

que puedan afectar la medición, entre los mismos y el equipo de medición. El luxómetro se ubico a una distancia de 1m y la tensión de alimentación del modulo fue de 30V. El modulo estuvo funcionando 1 hora, durante este tiempo no se observo cambio en el flujo luminoso del modulo, lo que fue nuestro primer indicio de que todo estaba funcionando correctamente.

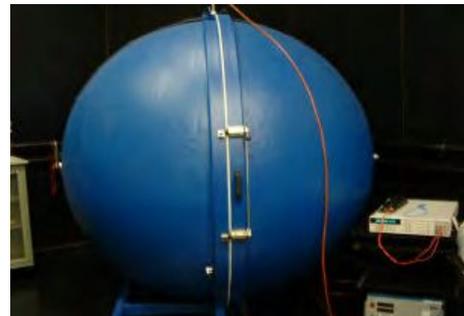


Figura 9.

La tensión sobre cada LED dio un valor de 3,2 V aproximadamente, y la corriente, arrojó un valor de 380 mA (establecido por la configuración de fuente de corriente del LM317). El valor de iluminancia obtenido fue de 180,4 Lux, valor el cual se considera dentro de lo esperado. Y la temperatura sobre la placa estuvo en los 35-40°C.

V. CONCLUSIONES

El presente trabajo ha representado una muy buena herramienta para explicar conceptos relacionados a la cátedra donde el proyecto fue realizado. Además de brindar un acercamiento a los alumnos a una tecnología que está en pleno auge. En referencia al comportamiento del modulo, este ha tenido un desempeño satisfactorio cumpliendo las expectativas.

REFERENCIAS

- [1] <http://www.solociencia.com/ingenieria/07060505.htm>
- [2] http://www.pantallasled.com.mx/productos/iluminacion_exterior/
- [3] http://www.probattery.com.ar/nueva/home_ilu.php
- [4] Iluminacion – Luz, Vision, Comunicacion. Tomo1 y 2 Asociacion Argentina de Luminotancia.
- [5] Datasheet LUW_W5PM_Pb_free.pdf. <http://catalog.osram-os.com/catalogue/catalogue.do?favOid=000000020001a48406900023&act=showBookmark>
- [6] AN-181 3-Terminal Regulator isAdjustable. <http://www.national.com/an/AN/AN-181.pdf>
- [7] http://www.onsemi.com/pub_link/Collateral/NUD4700-D.PDF
- [8] http://www.littelfuse.com/data/en/Data_Sheets/Littelfuse_PLED6.pdf
- [9] Thermal_Management_Of_Golden_dragon_Led.pdf <http://catalog.osram-os.com/catalogue/catalogue.do?act=showBookmark&favOid=000000000002529300090023>
- [10] <http://inarci.com.ar/>
- [11] <http://www.tenmars.com/cetacean/front/bin/ptdetail.phtml?Part=TM-201&Category=115301>

Soldadura, inspección y verificación, en laboratorio, de un prototipo con chip BGA

Diego Brengi, Salvador Tropea, Matías Parra Visentin, Christian Huy
Instituto Nacional de Tecnología Industrial
Centro de Electrónica e Informática
Laboratorio de Desarrollo Electrónico con Software Libre
Buenos Aires, Argentina. Email: {brengi,salvador}@inti.gov.ar

Resumen—Este trabajo presenta el procedimiento utilizado para la soldadura e inspección de un chip con encapsulado BGA sin plomo. Se mencionan los criterios considerados para definir el perfil de temperatura y el procedimiento para lograrlo utilizando un equipo de soldadura por infrarrojos. Luego se mencionan las inspecciones realizadas con microscopio, con rayos X, y las pruebas utilizando *boundary scan*.

I. INTRODUCCIÓN

El proyecto FPGALibre[1][2] busca desarrollar y brindar herramientas de software libre y diseños de hardware abierto para trabajar con tecnologías FPGA. Uno de sus objetivos finales es el de crear una plataforma FPGA¹ que pueda alojar un diseño con un procesador LEON3 y un sistema GNU/Linux embebido.

Las capacidades necesarias en la FPGA definen en gran parte el encapsulado a utilizar ya que los fabricantes mantienen una relación entre recursos lógicos y pines de E/S en los modelos ofrecidos al público. Por este motivo, para un sistema con los recursos lógicos necesarios para el proyecto, es casi obligatorio trabajar con encapsulados BGA². Esto obliga también a utilizar un circuito impreso multicapa, ya que de otra forma se hace imposible rutear adecuadamente el sector del BGA donde el espacio es poco y la cantidad de pads y conexiones a realizar es alta. Utilizar un BGA suma además la dificultad de lograr un perfil de temperatura correcto para la soldadura, cuando se utilizan equipos de bajo costo³ y componentes con terminales sin plomo, ya que poseen punto de fusión más alto y entonces los márgenes de temperatura son más ajustados que con la soldadura tradicional con plomo.

Por criterios definidos en el proyecto, se desea además solucionar dentro del país la mayor cantidad de tareas posibles, reducir los costos finales de fabricación cuando sea posible y realizar la experiencia de forma tal que pueda ser documentada y replicada por otros grupos de trabajo, ya que se planea brindar los diseños como Hardware Libre[3] una vez terminado, usando la misma metodología que con la tarjeta s2proto[4].

Para abordar el desafío que presenta la tecnología BGA, como un paso intermedio, se realizó el diseño de una placa

con menores capacidades que las necesarias, pero utilizando el chip FPGA del sistema final en un circuito impreso multicapa.

II. CIRCUITO PROTOTIPO

Explicaremos brevemente las características del circuito prototipo utilizado en la experiencia.

II-A. Características generales

El diseño realizado posee como componente central una FPGA Spartan 3E de Xilinx, modelo XC3S1600E-FGG320, que posee un encapsulado BGA de 320 terminales sin plomo. Este BGA es del tipo *fine-pitch* con espaciado de 1mm entre bolitas, organizadas en una matriz de 18 x 18 terminales, quitando las cuatro centrales. El chip ocupa un área de 19 x 19 mm.

El circuito posee además, dos memorias de configuración, reloj externo, conversor de niveles RS-232 y USB, leds, pulsadores, llaves y conectores para E/S y JTAG⁴. La fuente de alimentación se realiza con un módulo de alimentación separado, diseñado específicamente para este proyecto[5].

II-B. Circuito Impreso

El diseño del circuito impreso se realizó con el software KICAD[6], una herramienta de software libre[7] con licencia GPL. Se utilizaron cuatro capas para rutear adecuadamente la red de alimentación y las señales necesarias para esta aplicación.

Por los criterios de proyecto, mencionados anteriormente, la fabricación del circuito impreso fue encargada a una empresa nacional que realizó todo el proceso de manufactura en el país, llegando al límite de las capacidades actuales en cuanto a tolerancias y distancias mínimas, inevitables en el sector del BGA donde es necesario colocar vías entre los pads del BGA. Se solicitó acabado superficial de níquel oro electrolítico en los pads, para obtener pads bien planos, que no interfieran con el posicionamiento y la soldadura del BGA, ya que el proceso tradicional HASL⁵ no está recomendado para estos casos.

El circuito total resultante posee un área de 7x7 cm.

¹Field Programmable Gate Array.

²Ball Grid Array.

³En comparación a los hornos de producción en serie o sistemas más sofisticados y precisos.

⁴Joint Test Action Group

⁵Hot Air Solder Leveling

III. PERFIL DE TEMPERATURA

III-A. Perfil de temperatura deseado

Para definir el perfil de temperatura ideal para la soldadura del componente, es necesario tener en cuenta varias condiciones[8][9][10]:

- **Punto de fusión:** Es la temperatura donde la aleación deja de ser sólida y pasa directamente a líquida en el caso de aleaciones eutécticas. Para Sn63Pb37 es de 183°C, para Sn95.6Ag3.5Cu0.9[11] de 217°C y para SnAg3.5 de 221°C. En nuestro caso se trata de una aleación de SnAgCu⁶.
- **TAL:** Time Above Liquidus. Es el tiempo durante el cual se supera la temperatura de fusión. Se recomienda un tiempo entre 60 y 150 segundos.
- **PPT:** Package Peak Temp. Es la temperatura medida arriba del encapsulado. No debe superarse para evitar estropear el chip. Es un límite dado por el fabricante del chip y depende del volumen y el grosor del chip. Normalmente está entre 245°C y 260°C. Para nuestro BGA el PPT es de 260°C.
- **SJT:** Solder Joint Temp. Es la temperatura deseada en la junta de soldadura para lograr una correcta unión de soldadura. Importa la mínima necesaria para que se suelde correctamente el BGA. Para SnPb está entre 225°C y 235°C. Y para SnAgCu entre 234°C y 245°C. Se recomienda mantener esta temperatura por lo menos 10 segundos.

El perfil de temperatura debe contemplar las siguientes etapas y condiciones:

- **Pre calentamiento:** Es el proceso de pre calentamiento de la placa y el chip, antes de acercarse a las temperaturas de activación de flux. Se dan recomendaciones de gradientes máximos de 1°C/s.
- **Activación del flux:** El flux comienza a realizar su trabajo alrededor⁷ de los 150°C, y para cuando lleguemos a los 200°C ya debería haber realizado su función. Los fabricantes recomiendan que se mantenga la placa entre estas dos temperaturas durante 60 a 120 segundos.
- **Reflow:** Es la zona donde ocurre la soldadura.
- **Enfriamiento:** Es la zona siguiente al reflow donde los materiales y componentes vuelven a la temperatura ambiente. Se debe tener cuidado de realizar esta etapa en forma gradual para evitar shock térmico en los componentes y la placa.
- **Ramp-up:** Pendiente de crecimiento. Es la máxima pendiente de crecimiento recomendada para no dañar los materiales, pasadas las etapas de preheat y activación de flux. Se recomienda no superar los 3°C/s.
- **Ramp-down:** Pendiente de caída o enfriamiento. Es la máxima pendiente de enfriamiento recomendada. Si se superan estos valores pueden dañarse los materiales

⁶Hay varias aleaciones SnAgCu con mínimas diferencias en los porcentajes pero poseen similar punto de fusión.

⁷Dependiente del tipo de flux utilizado.

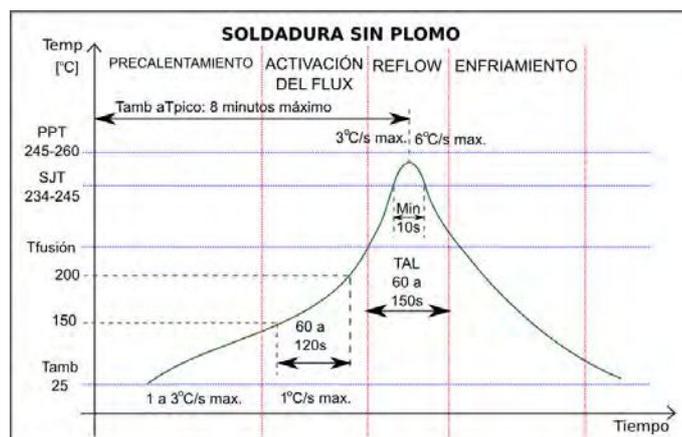


Figura 1. Perfil de temperatura deseado para soldadura sin plomo.

involucrados, principalmente el PCB. Se aconseja no superar los 6°C/s.

Se recomienda además no superar los 8 minutos desde iniciado el proceso de pre calentamiento hasta el valor máximo de temperatura. La mayoría de los conceptos y valores mencionados están plasmados en la norma IPC/JEDEC J-STD-020D.1[12]. En la fig.1 se grafican estos conceptos.

III-B. Calibración del perfil

Debido a que el equipo de soldadura utilizado no regula la temperatura aplicada, sino que trabaja a lazo abierto, para lograr los requisitos del perfil fue necesario realizar varias prácticas y ajustar el procedimiento para este caso particular, ya que el perfil obtenido dependerá del equipo de soldadura, el chip y el circuito impreso.

Varias notas de aplicación recomiendan, para definir y calibrar el procedimiento de soldadura, instalar termocuplas en varios puntos claves como la superficie de la placa en una zona cercana al BGA, la parte superior del componente BGA, y dos o tres puntos entre el BGA y el PCB, perforando la placa y pasando la termocuplas desde abajo hacia arriba.

En nuestro caso se realizaron varias pruebas utilizando un PCB idéntico al del prototipo, un chip BGA similar apoyado sobre el PCB y un registrador de temperatura de hasta 16 canales. Se colocaron tres termocuplas, una encima del encapsulado, otra en una zona cercana, y la tercera por debajo del PCB, ésta última para medir la diferencia de temperatura entre la parte superior e inferior. No se realizaron perforaciones en la placa.

IV. PROCEDIMIENTO DE SOLDADURA

Mencionaremos los equipos utilizados y el procedimiento seguido para realizar la soldadura del dispositivo BGA.

IV-A. Equipos utilizados

- **Estación de soldadura por infrarrojos:** Modelo Jovy RE-7500 (fig.2) con mesa XY para sujeción del PCB. Este equipo posee un calentador inferior y uno superior. El inferior puede usarse en cuatro potencias: Apagado,



Figura 2. Equipo de soldadura por infrarrojos.

Preheat, Reflow y Fast reflow. El superior puede usarse en *Apagado, Reflow y Fast reflow*. Además este último calentador puede quitarse completamente (*Park mode*) girándolo, dejando de calentar inmediatamente al circuito. En esta posición se puede encender un pequeño ventilador que queda posicionado encima del área de soldadura.

- **Registrador de temperatura:** Se utilizó una PC con una placa de adquisición, termocuplas tipo J y software de registro⁸. Se debe utilizar termocuplas de respuesta rápida (poca masa), y tener cuidado que el extremo de las termocupla no esté soldado con estaño, ya que en ese caso, su respuesta será más lenta al llegar a la temperatura de fundición del estaño.
- **Equipo de inspección:** Luego del proceso de soldadura es conveniente realizar algún tipo de inspección para verificar que las bolitas se han fundido. Existen equipos que realizan inspección lateral, específicos para BGA, que permiten ver bolitas en los niveles internos del BGA. En nuestro caso utilizamos un microscopio digital de propósitos generales, modelo Digimes DMS-133, que nos permitirá observar solamente el nivel exterior, pero que nos dará una idea de como ha resultado el proceso. Este equipo permite una magnificación desde 18.7X hasta 120X.

IV-B. Insumos, accesorios y materiales

- Pinza brusela antiestática, cepillo antiestático y alcohol isopropílico.
- Flux. En nuestro caso hemos utilizado un flux *no-clean*, tipo NC 6-412-A de Norson EFD.
- Pulsera y/o talonera antiestática.
- Pinzas cocodrilo. Para sujetar y posicionar la termocupla.

⁸La estación de soldadura posee una termocupla con visor integrado y software de control y registro, sin embargo presenta varios inconvenientes: alta inercia térmica, alto error de medición en las temperaturas de interés y el software no permite guardar el perfil obtenido en un formato útil para cálculos y análisis posteriores.

- Circuito PCB y componente BGA a soldar.

IV-C. Secuencia realizada para la soldadura del BGA

IV-C1. Preparar el espacio de trabajo: Para comenzar el trabajo, es recomendable apagar aire acondicionado y ventiladores para que no se produzcan fluctuaciones de temperatura. En caso que existieran corrientes de aire colocar paneles que las frenen.

Proveer una buena iluminación sobre el equipo. Ordenar el espacio a utilizar para trabajar cómodos y sin estorbos visuales. Reunir las herramientas y distribuirlas de forma práctica y de fácil acceso. Colocarse la pulsera y/o la talonera antiestática⁹.

IV-C2. Limpiar la placa: Limpiar adherencias o suciedades en los pads de la placa con alcohol isopropílico y el cepillo. Una vez realizada la limpieza, secar con un papel que no deje fibras o restos del mismo.

IV-C3. Aplicar Flux: Aplicar una pequeña cantidad de flux sobre los pads del PCB. Distribuirlo con el pincel antiestático hasta que quede una fina película de flux sobre la placa. Exceso de flux puede ocasionar desplazamientos del BGA al soldarlo. Poco flux puede dificultar que las superficies se suelden adecuadamente.

IV-C4. Posicionar el PCB: Colocar el PCB en la mesa XY y centrarlo. En nuestro equipo, el centro donde se aplica la mayor temperatura está indicado por un puntero láser.

IV-C5. Posicionar el componente: Desplazar la placa mediante los rieles de la mesa XY hacia un lado para poder centrar el componente sin que molesten los cabezales de la soldadora. Esto es necesario ya que la alineación manual del componente requiere observarlo exactamente desde arriba.

Tomar y colocar el componente BGA sobre el PCB con una pinza brusela antiestática o la bomba de vacío de la estación. Centrarlo con respecto a las marcas de la placa. Es muy importante colocar en la serigrafía las marcas de posicionamiento, según las instrucciones de la hoja de datos de nuestro componente BGA a soldar. Utilizar pinza brusela o algún elemento que permita desplazar lateralmente en forma precisa el componente, una vez apoyado el mismo.

IV-C6. Colocar las termocuplas: Fijamos una de las termocuplas, con ayuda de las pinzas cocodrilo, a un lado del componente a soldar, apoyando sobre un pad de cobre expuesto en el PCB. Asegurarse que quede apoyada y haciendo presión sobre el pad. Si disponemos de otra termocupla podemos registrar también la temperatura inferior de la placa.

IV-C7. Registrar la temperatura: Preparar el sistema de registro de temperatura. El sistema debe permitir visualizar a cada momento la temperatura medida, y es aconsejable que los datos se guarden para luego poder analizar el perfil aplicado. Se tomaron mediciones de temperatura cada segundo.

IV-C8. Pre calentamiento: Encender la estación y esperar al menos 5 minutos para que se estabilice la temperatura del calentador inferior¹⁰ antes de iniciar el soldado del BGA.

⁹Se recomienda también utilizar un mantel anti-estático para el manejo previo del chip.

¹⁰Instrucciones del fabricante del equipo.

Pasado este tiempo, iniciar el sistema de registro y desplazar la mesa XY hacia el área de soldadura.

IV-C9. Soldar el componente: La secuencia de soldadura es bastante dependiente del equipo utilizado y como se mencionó anteriormente es particular de cada caso y deberá variarse incluso según el chip y el circuito impreso, ya que el equipo utilizado no posee control de temperatura.

Realizamos el soldado del componente con la siguiente secuencia:

- Ponemos la estación con ambos calentadores en *Reflow* y esperamos que la temperatura llegue a 90°C.
- Cambiamos el calentador superior¹¹ a *Fast reflow* hasta 145°C.
- El calentador superior vuelve a *Reflow* y esperamos hasta 200°C.
- El calentador superior pasa a *Fast reflow* hasta llegar a 235°C.
- Apagamos el calentador superior (pero sin girarlo) y continuamos en *Reflow* con el inferior durante 60 segundos.
- Apagamos el calentador inferior y giramos el superior (*Park Mode*) hasta que la temperatura baje a 150°C.
- Encendemos el ventilador del equipo hasta que el PCB se enfríe completamente (aprox. 30°C.).

Como hemos utilizado un flux del tipo *no-clean*, no será necesario limpiarlo (tarea no tan sencilla en un BGA). En este caso, antes de energizar y encender el circuito se aconseja esperar el tiempo necesario para que el SIR¹² del flux no pueda causar un mal funcionamiento del circuito.

V. ANÁLISIS, INSPECCIÓN Y PRUEBAS

Si bien el éxito final de la tarea será el propio dispositivo funcionando satisfactoriamente, lo complejo de todo el proceso hace necesario analizar y verificar el resultado para continuar mejorándolo y detectar errores prematuramente. Esto cobra mayor importancia en los circuitos prototipo donde los problemas por un mal funcionamiento pueden deberse a un error de diseño y no sólo a un mal armado o una mala soldadura.

Se realizan entonces varias pruebas y análisis para detectar posibles errores en el procedimiento de soldadura del BGA.

V-A. Análisis del perfil de temperatura aplicado

Observando el perfil obtenido (ver fig.3, fig.4 y fig.5) vemos que se han superado los 235°C durante 16 segundos, por arriba de 217°C ha permanecido durante 67 segundos, y que la temperatura máxima fue de aproximadamente 241°C.

V-B. Inspección con microscopio digital

No poseemos en el laboratorio un equipo de inspección lateral específico para BGA, con el cual podrían verse defectos de forma, fisuras y cortocircuitos en los niveles internos del BGA. Inspeccionamos entonces las bolitas exteriores con un

¹¹La altura del calentador superior se reguló a 3,25 cm en la escala graduada de la columna de sujeción. La estación posee un mástil con una escala en centímetros que va de 1 a 7,5

¹²Surface Insulation Resistance. Parámetro brindado en hoja de datos del flux.

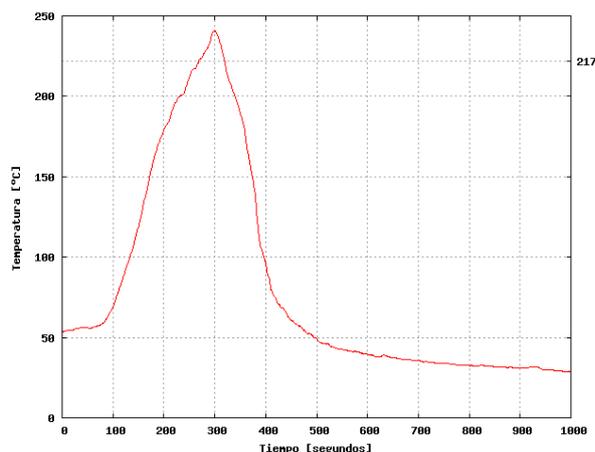


Figura 3. Perfil de temperatura aplicado.

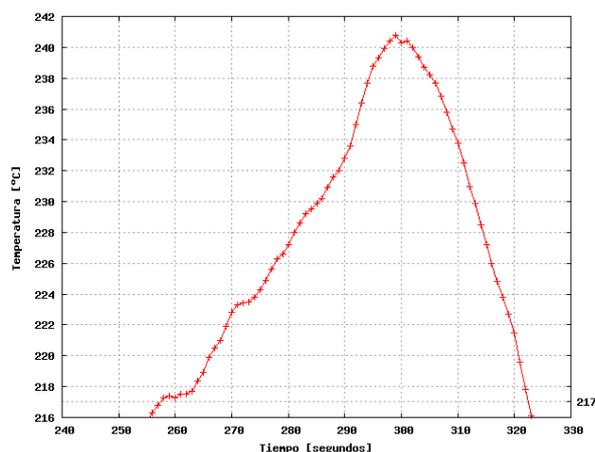


Figura 4. Perfil de temperatura aplicado. Detalle arriba de 217°C.

microscopio digital como se puede observar en la fig.6 y la fig7. Con este método pueden detectarse problemas de temperatura si las bolitas no han fundido adecuadamente o si se han deformado demasiado por exceso de calor. Será muy difícil detectar errores de alineación o cortocircuitos internos.

Al comparar imágenes de chips correctamente soldados, se debe tener en cuenta que las bolitas sin plomo luego de ser soldadas se ven menos brillosas y menos aplastadas que cuando tienen plomo. En la inspección realizada no se detectaron defectos.

V-C. Inspección con rayos X

La inspección con rayos X puede brindarnos mucha información sobre como ha salido la soldadura del BGA. Mediante este método se hacen evidentes los cortocircuitos, bolitas faltantes, deformadas o con menos estaño, errores de alineación, etc. Sin embargo, el equipamiento para realizar este tipo de inspección es costoso y deben tenerse recaudos especiales por trabajar con radiación.

Se tomaron radiografías en INTI-Mecánica con la siguiente configuración:

- Tubo de rayos modelo PHILIPS MG 225L.

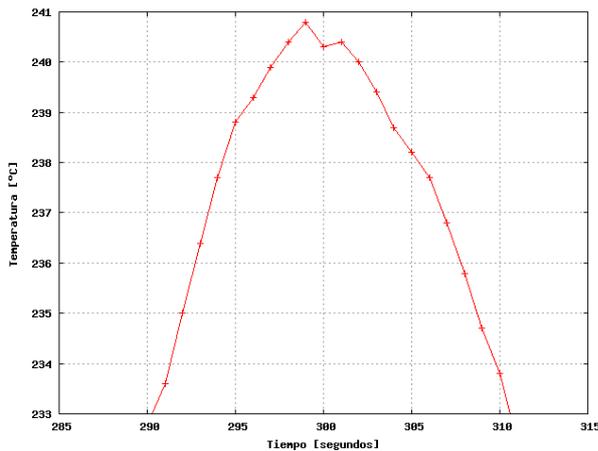


Figura 5. Perfil de temperatura aplicado. Detalle arriba de 235°C.



Figura 6. Microscopio digital utilizado para inspección del nivel exterior.

- I de tubo de 3 mA.
- Potencial ánodo a cátodo de 40 KV(pico).
- Foco de 0,6 x 0,6 mm.
- Película Structurix D3 de 8,9x43 cm, posteriormente digitalizada.
- Distancia del tubo a la placa de 1 m.
- Tiempo de exposición de 8 minutos.
- Pantalla intensificadora posterior de plomo de 300 μ m.
- Filtro de protección para el silicio[13][14] de aluminio¹³ de 2 mm colocado a 4 cm por encima de la placa.
- Reveladora automática GE Nova.
- El circuito se ubicó con el chip hacia la placa radiográfica y el PCB apuntando hacia la fuente de rayos, para minimizar la radiación recibida por el silicio[15].

¹³La mejor alternativa recomendada es una lámina de zinc de 300 μ m

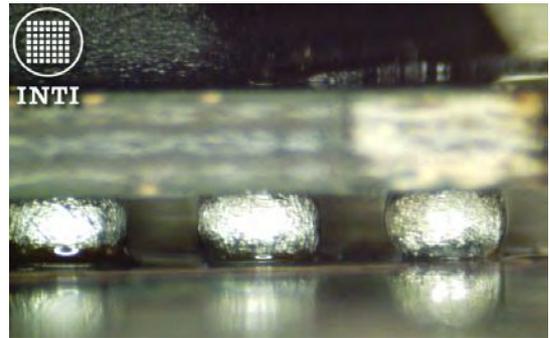


Figura 7. Captura del microscopio, donde se observan las bolitas soldadas.

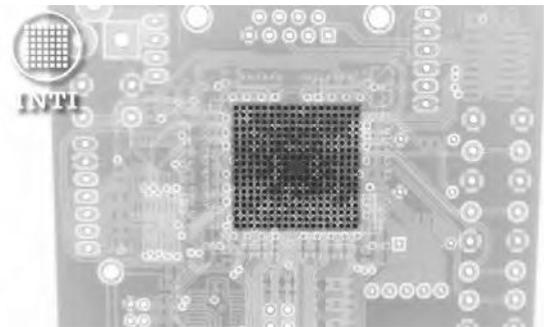


Figura 8. Radiografía del PCB.

- Dosis de radiación estimada: 100 a 130 mRems.

En la radiografía de la fig.9 podemos observar que las bolitas han conservado su forma, no se observan deformaciones ni cortocircuitos evidentes y se encuentra correctamente alineado el BGA con el PCB ya que no se distinguen los pads.

V-D. Pruebas eléctricas mediante boundary scan

Luego de soldar los componentes mínimos de soporte de la FPGA (red de alimentación, puentes de configuración y conector JTAG), podemos comunicarnos con el dispositivo mediante JTAG y utilizar la norma IEEE 1149.1 (*Standard Test Access Port and Boundary-Scan Architecture*) para verificar la mayoría de los pads del dispositivo. Por supuesto será necesario que por lo menos estén correctamente soldados y sin cortocircuitos los pads de alimentación y del puerto JTAG.

Para estas pruebas utilizamos el software GNU JTAG[16], agregando el soporte correspondiente para nuestro dispositivo, y usando el hardware del proyecto FPGALibre.

El testeo básico implica conmutar un pad y medir con un voltímetro en alguna parte del PCB donde pueda accederse con una punta de prueba, normalmente en el extremo opuesto del pad BGA. Presentamos a continuación un ejemplo simple de testeo:

```

jtag> cable ppdev /dev/parport0 DLC5
Initializing Xilinx DLC5 JTAG Parallel...
jtag> detect
IR length: 22
Chain length: 1
DeviceId: 00100001110000111010000010010011
Manufacturer:Xilinx
Part: xc3s1600e
Stepping: 2
Filename: /usr/./xc3s1600e/xc3s1600e
    
```

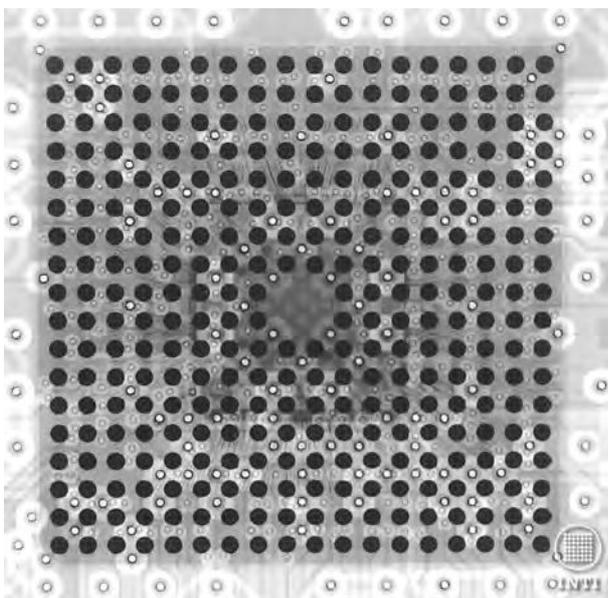


Figura 9. Radiografía del PCB. Detalle del BGA.



Figura 10. Circuito final en funcionamiento.

```
jtag> part 0
jtag> instruction EXTEST
jtag> shift ir
jtag> set signal PAD297 out 0
jtag> shift dr
jtag> set signal PAD297 out 1
jtag> shift dr
```

Las pruebas con el JTAG resultaron exitosas.

VI. CONCLUSIONES

Se ha realizado exitosamente la utilización de un dispositivo BGA, comenzando con la etapa de diseño del PCB, pasando por la soldadura del mismo en las instalaciones del laboratorio y terminando con la verificación y puesta en marcha. Pasar por este proceso brinda una visión más amplia sobre el trabajo con encapsulados BGA y soldadura sin plomo, a la vez que ayuda a mejorar los criterios de diseño, incluso si posteriormente se decide tercerizar la soldadura y verificación.

Poseer estas capacidades de equipamiento y de recursos humanos en el laboratorio también brinda mayor flexibilidad a

la hora de trabajar con circuitos prototipos en pocas unidades. Según los objetivos del proyecto, se espera además que la documentación del proceso ayude a cualquier interesado en la utilización de dispositivos BGA cuando las necesidades de diseño lo justifiquen.

VII. AGRADECIMIENTOS

Se agradece a J. P. Laurino de la empresa Inarci S.A. por la buena atención recibida, a S. Guberman de la firma Electrocomponentes S.A. por brindarnos la muestra del flux para BGA, y muy especialmente a William Crease de INTI-Mecánica por las imágenes radiográficas.

REFERENCIAS

- [1] INTI Electrónica e Informática *et al.*, "Proyecto FPGA Libre," <http://fpgalibre.sourceforge.net/>.
- [2] S. E. Tropea, D. J. Brengi, and J. P. D. Borgna, "FPGALibre: Herramientas de software libre para diseño con FPGAs," in *FPGA Based Systems*. Mar del Plata: Surlabs Project, II SPL, 2006, pp. 173–180.
- [3] I. González, J. González, and F. Gómez-Arribas, "hardware libre: clasificación y desarrollo de hardware reconfigurable en entornos gnu/linux," <http://www.iearobotics.com/personal/juan/publicaciones/art4/hardware-libre.pdf>.
- [4] D. J. Brengi, S. E. Tropea, and J. P. D. Borgna, "Tarjeta de diseño abierto para desarrollo y educación," in *2007 3rd Southern Conference on Programmable Logic Designer Forum Proceedings*, Mar del Plata, 2007, pp. 57–60.
- [5] C. Huy and D. Brengi, "Módulo de alimentación para placas con dispositivos FPGA," in *Congreso de Microelectrónica Aplicada, uEA2010*. San Justo, Buenos Aires: Universidad Nacional de La Matanza, 2010, p. 21. [Online]. Available: http://utic.inti.gov.ar/publicaciones/uEA2010/uea2010_submission_49.pdf
- [6] J.-P. Charras, "Kicad: GPL PCB Suite," http://www.lis.inpg.fr/realise_au_lis/kicad.
- [7] Free Software Foundation, Inc., "The Free Software Definition," <http://www.gnu.org/philosophy/free-sw.html>.
- [8] (2006, Jul.) General Soldering Temperature Process Guidelines, Solder Joint and Package Temperature for Pb-free BGA in SnPb and Pb-free Solders in IR or Convection Reflow, Application Note: AN3300. Freescale Semiconductor. [Online]. Available: http://cache.freescale.com/files/microcontrollers/doc/app_note/AN3300.pdf
- [9] M. Lee. (2010, Feb.) Implementation and Solder Reflow Guidelines for Pb-Free Packages, Application note, XAPP427 (v2.5). Xilinx. [Online]. Available: http://www.xilinx.com/support/documentation/application_notes/xapp427.pdf
- [10] (2010, Sep.) Device Package User Guide, Chapter 7, Reflow Soldering Process Guidelines, User guide UG112 (v3.6). Xilinx. [Online]. Available: http://www.xilinx.com/support/documentation/user_guides/ug112.pdf
- [11] (2011, Jun.) Solder. Wikipedia. [Online]. Available: <http://en.wikipedia.org/wiki/Solder>
- [12] (2008, Mar.) Moisture/reflow sensitivity classification for nonhermetic solid state surface mount devices, IPC/JEDEC J-STD-020D.1. IPC and JEDEC Solid State Technology Association. [Online]. Available: <http://www.ipc.org/TOC/J-STD-020D-1.pdf>
- [13] R. Blish. (2008, Oct.) Impact of X-Ray inspection on spansion flash memory, Application note, rev 1. Spansion. [Online]. Available: http://www.spansion.com/Support/AppNotes/X-ray_inspection_on_flash_AN_01_e.pdf
- [14] R. Blish II, S. X. Li, and D. Lehtonen, "Filter optimization for x-ray inspection of surface-mounted ics," in *IEEE Transactions on device and materials reliability*, vol. 2, no. 4, Dec 2002. [Online]. Available: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1176469
- [15] R. C. Blish II, S. X. Li, D. S. Lehtonenand, C. J. Black, and D. C. Darling, "Prevention of parametric or functional changes to silicon semiconductor device properties during x-ray inspection. United States Patent 6751294," <http://www.freepatentonline.com/6751294.html>, AMD, Advanced Micro Devices (Sunnyvale, CA).
- [16] (2003, Oct.) Openwince GNU JTAG Tools. [Online]. Available: <http://openwince.sourceforge.net/jtag/>

Implementación de MODBUS en FPGA mediante VHDL – Capa de Enlace –

Olmedo Sergio, Guanuco Luis, Panozzo Zenere Jonatan, Rubio Agustin

Centro Universitario de Desarrollo en Automación y Robótica “CUDAR”

Universidad Tecnológica Nacional - FRC

Córdoba, Argentina

solmedo@scdt.frc.utn.edu.ar, {lguanuco, 49190, 49286}@electronica.frc.utn.edu.ar

Abstract—La descripción de hardware, mediante la programación en VHDL, permite una amplia versatilidad en el diseño de circuitos digitales. En este artículo se presenta una descripción sobre la realización de una comunicación entre dispositivos lógicos programables, según el protocolo MODBUS. Este estándar de comunicación, de amplia aceptación, define protocolos para las capas de “Aplicación”, “Enlace” y “Física”. En este documento se aborda el desarrollo del mismo en “Capa de Enlace”, y de manera resumida la forma en que esta interactúa con las otras dos capas. Esto se lleva a cabo mediante la descripción de los principales bloques, la síntesis, simulación y finalmente implementación en dispositivos FPGA.

Keywords—MODBUS; Data-Link; FPGA; VHDL

I. INTRODUCCIÓN

En el desarrollo de cualquier protocolo de comunicación se deben considerar niveles de abstracción para el tratado de la información como así también diferentes formas de implementación tanto *hardware* como *software*. Para definir éstas pautas de diseño se considera el modelo OSI.

El modelo OSI (*Open System Interconnection*) es un marco de referencia para la definición de arquitecturas de interconexión de sistemas de comunicaciones desarrollado por la Organización Internacional para la Estandarización [1]. Este permite al desarrollador seguir una determinada estructura para el manejo de la información en dicha red, Fig. 1.

Cada uno de los niveles de este modelo se regirá de acuerdo a las especificaciones del protocolo. Este modelo logra imponer un nivel de abstracción en el cual la comunicación es entre capas del mismo nivel de dos o más dispositivos. Sin embargo, la comunicación existe solo entre capas adyacentes de un mismo dispositivo, conectándose a otro únicamente a través de las capas físicas.

A. Capa de Enlace

MODBUS [2] [3] define un protocolo en esta capa para la comunicación serie entre un único dispositivo Maestro y entre uno a 247 Esclavos. En el caso de haber un único Esclavo, la comunicación se denomina “punto a punto” y si existe más de un Esclavo, la comunicación es “multipunto”.

MODBUS define protocolo, en Capa de Enlace, para diferentes modos, como ser: “Maestro/Esclavo”, “Ethernet

II/802.3”, “MODBUS+/HDLC”, y otros. En este caso se utiliza “Maestro/Esclavo”.



Figure 1. Modelo OSI con sus diferentes niveles.

Una comunicación siempre la inicia un Maestro, por lo que un Esclavo sólo transmite información luego de una petición; de lo cual se deduce que no es posible la comunicación directa entre Esclavos. Cada uno de estos dispositivos, tiene una dirección específica que los distingue.

El dispositivo Maestro puede transmitir datos en dos modos diferentes: *Unicast* o *Broadcast*. El primero, está dado por una petición del Maestro a un Esclavo específico y siempre la respuesta de este. El segundo es una transmisión del Maestro hacia todos los Esclavos al mismo tiempo, no habiendo respuesta alguna de ninguno de ellos.

MODBUS permite la codificación de la información en la red en dos formas diferentes, RTU (*Remote Terminal Unit*) y ASCII (*American Standard Code for Information Interchange*) [3].

RTU, los datos se presentan en bits consecutivos formando tramas de datos, cuyo inicio y fin son indicados por intervalos de tiempo.

ASCII, la información se encuentra codificada en caracteres ASCII. La trama de datos comienza y termina con caracteres definidos.

Los tiempos de transmisión y recepción de una trama en cada uno de éstos modos de codificación difieren en gran medida. En modo ASCII los datos deben ser convertidos en su correspondiente carácter además de ser ponderados en formato hexadecimal. Por ejemplo, el byte 0x5B es codificado como dos caracteres: 0x35 y 0x42 (0x35 = “5”, y 0x42 = “B” en ASCII) [3]. Por el contrario, en el modo RTU la información se encuentra en forma de bits consecutivos, permitiendo que para

un mismo tiempo, haya un mayor flujo de información por la red que en el modo ASCII.

B. Codificación en modo ASCII

Si bien el modo RTU debe implementarse en todo los dispositivos, se elige en primera instancia y para el presente desarrollo el modo ASCII, debido a la mejor legibilidad de la información. En este modo se puede apreciar la trama circulante por el bus, conectando a él un dispositivo con las capacidades de interpretar caracteres ASCII. Esta es una característica fundamental si se quiere realizar un análisis en cualquier punto de una red donde se encuentra aplicado MODBUS.

La codificación en modo ASCII cuenta con una trama limitada por un caracter de comienzo “:” y dos de fin “CR (Charriage Return) – LF (Line Feed)”. El mensaje se encuentra dentro de éstos caracteres distribuido como se observa en la Fig. 2. Los cuatro campos que forman el mensaje son:

Dirección; del dispositivo esclavo que está actuando en la comunicación.

Código de Función; códigos preestablecidos por MODBUS que establecen las operaciones que debe llevar a cabo el esclavo.

Datos; es la información.

CRC (Cyclic Redundancy Check) /LRC (Longitudinal Redundancy Check); campo que sirve para la detección de errores, y no para la corrección de estos.

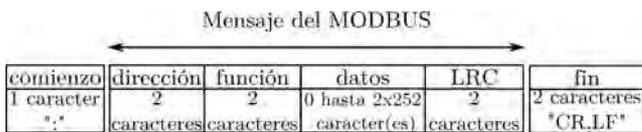


Figure 2. Trama de MODBUS en modo ASCII.

II. DISEÑO

La implementación de un protocolo MODBUS en FPGAs requiere un diseño en algún lenguaje de descripción de hardware, basado en gran medida, en el desarrollo de máquinas de estados finitas.

La generación de una trama comienza con el envío de un caracter que define el principio de la misma. En forma consecutiva se transmiten los campos de dirección, función, datos, chequeo de error LRC y para terminar los caracteres de fin de trama. De forma semejante se plantea para la recepción de la trama. En forma general se definen los estados de codificación/decodificación de la trama en la Fig. 3.

Como bloques específicos de mayor relevancia en el diseño, se considera los de Recepción y Transmisión, los que se definirán como máquinas de estados, a nivel de componentes, dentro de la descripción principal en VHDL.

Las máquinas de estados se clasifican en dos tipos: “Moore” y “Mealy” [4]. Ambas se diferencian por la dependencia o no, de las salidas con respecto al estado de las entradas.

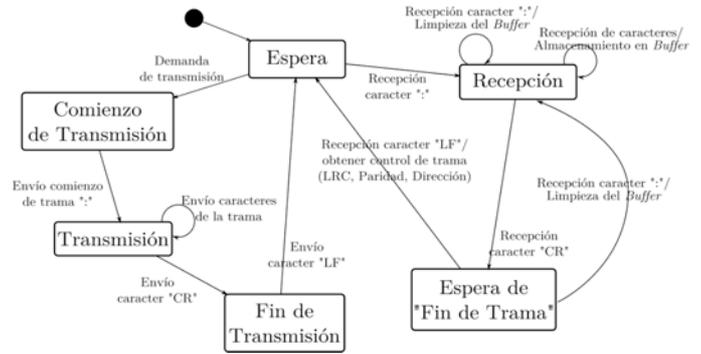


Figure 3. Diagrama de estados en transmisión y recepción.

En virtud de los requerimientos necesarios para la capa de enlace del MODBUS, se opta por la implementación de máquinas de estados tipo Mealy.

A. Bloque de RAM

La información que contiene la trama del MODBUS debe ser almacenada en registros para su tratado en los diferentes niveles. En este sentido, este bloque funciona como puente entre las capas de “Enlace” y “Aplicación”. La primera, guarda en la RAM los datos recibidos en el mensaje, preparando el servicio de la capa de aplicación. Esta toma los datos desde la RAM, los procesa y escribe en ella la información a transmitir.

Se logra realizar la descripción de hardware de un bloque de memoria RAM mediante la sintaxis VHDL. Existen dos posibilidades de llevar dicha descripción al dispositivo lógico, bloques lógicos reconfigurables o dispositivos primitivos. La elección de uno u otro no se encuentra, en general, al alcance del diseñador, sino que será el sintetizador quién infiera en su elección.

Los bloques de RAM embebidos en FPGAs, llamados también bloques de RAM primitivos, se encuentran físicamente en el chip [6]; compuestos de entradas/salidas, bus de direccionamiento y señales de control. La limitación en su utilización, es que no se cuenta con un modelo descriptivo de los mismos. Restringe el diseño, al ser de un tamaño ya determinado por el dispositivo FPGA en donde se encuentra, en definitiva, hace dependiente la descripción al hardware a utilizar.

En el bloque de RAM descriptivo se puede llevar a cabo análisis de tiempo y reducir la cantidad de bloques lógicos en función de la necesidad de la implementación. Considerando un bloque de RAM primitiva instanciado mediante el uso de librería o un bloque de RAM descriptivo, se opta en el presente trabajo por este último, en base a lo explicado anteriormente. Sin embargo, el diseño global ocupa mayores recursos dado que las RAM primitivas están igualmente incorporadas y disponibles en el chip.

B. Transmisor y Receptor

El Transmisor funcionalmente debe generar la trama a ser enviada, esto, tanto en el Maestro como en los Esclavos. Se diseña una máquina de estados, pendiente del proceso de

escritura del bloque de RAM, llevada a cabo por la capa de aplicación.

La máquina de estados realiza las lecturas sucesivas desde el bloque de RAM hasta enviar uno a uno los caracteres, respetando los marcadores de comienzo y fin de trama.

El Receptor, al igual que el Transmisor, utiliza nuevamente una máquina de estados, que deberá cumplir con las especificaciones del modo de codificación. En este caso se cuenta con la información en forma serial recibida por la capa "Física". Los datos son almacenados en el bloque de RAM, momento en el que el bloque de recepción posee el control absoluto de escritura en la memoria.

Por lo expuesto, resulta necesaria la presencia de un control de accesibilidad del bloque de RAM, dado que varios componentes precisan de la escritura y/o lectura de dicho bloque.

Tanto el Transmisor como el Receptor deben chequear la presencia de un error en la trama, lo que se representa por los bytes del LRC.

Como se presentó anteriormente, el cálculo del LRC resulta sencillo en su formulación. Esta compuesto el complemento a dos de la sumatoria de todos los elementos de la trama. En el diseño comportamental se traducirá a unas simples líneas de código que en forma lógica será compuesta por un sumador digital y simples compuertas. Aquí se puede ver la versatilidad del lenguaje y la forma abstracta del diseño, donde se utiliza recursos primitivos de la FPGA con una descripción básica.

C. UART

MODBUS define para las capas 1 y 2 del modelo OSI, el "Protocolo MODBUS de Línea Serial" [3]. Esto implica la utilización de una UART (*Universal Asynchronous Receiver Transmitter*) para poder transmitir y recibir los datos en forma serie.

La UART constituye entonces la conexión de la capa de "Enlace" con la capa "Física". Esta última puede ser RS232 o el estándar RS485 adoptado en el presente desarrollo.

Este bloque se realiza al igual que los demás de manera descriptiva en VHDL, y en forma general presenta el dato recibido en forma serial, como salida en paralelo. De forma análoga, recibe el dato a transmitir en paralelo y envía los bits de información en forma serie atendiendo las configuraciones de velocidad elegidas, y las condiciones preestablecidas por el protocolo MODBUS sobre la conformación de la palabra a enviar: *bits* de comienzo, datos, paridad y parada [3].

III. SÍNTESIS E IMPLEMENTACIÓN

La implementación se realiza en una FPGA Xilinx Spartan 2E XC2S200E [6]. La síntesis se realiza con el XST (*Xilinx® Synthesis Technology*) [7], herramienta que forma parte del paquete ISE Xilinx versión 6.0 [8] disponible en el centro de investigación donde se lleva a cabo el desarrollo.

La FPGA cuenta con una gran cantidad de recursos físicos, los principales se detallan a continuación:

- Bloques de entradas y salidas.
- Bloque lógico configurable.
- Bloques de RAM.
- Distribución de Clock: DDL (*Delay-Locked Loop*).
- *Boundary Scan*.

Con las pautas de diseño ya presentadas, como así también la identificación de los distintos bloques que componen nuestra descripción, se presenta el resultado de la síntesis, TABLA I.

TABLA I. RESUMEN DE UTILIZACIÓN DE RECURSOS

Dispositivo FPGA: 2S200EPQ208-6Q			
Recurso	Utilizado	Disponible	Porcentaje
Slices	349	2352	14%
Flip Flops	296	4704	6%
LUTs	496	4704	10%
IOBs	42	146	28%
GCLKs	1	4	25%

De la TABLA I se aprecia los escasos recursos utilizados, ya que se cuenta con un dispositivo con gran número de CLBs (*Configurable Logic Block*). Igualmente es de suma importancia la simulación, verificación y posterior simplificación de la descripción, para lograr un mejor rendimiento de los recursos en vista de su implementación en diferentes dispositivos lógicos.

La utilización de un único reloj para el sincronismo de los CLBs resulta ser más flexible en el diseño que disponer de varios clocks externos conectados a la FGPA. Sin embargo, debe tenerse presente que esto se logra con el correspondiente consumo de recursos físicos, ya que un divisor de clock, implementado con bloques lógicos, se sintetiza como un contador lógico.

RTL (*Register Transfer Level*) permite la representación gráfica del diseño descrito en VHDL. En la Fig. 4 se presente la entidad de la arquitectura del proyecto.

En la presentación de las características del protocolo MODBUS se ha señalado que le mismo especifica las capas de "Aplicación", "Enlace" y "Física". Se deja en claro que se ha desarrollado la capa de Enlace en función de éstas especificaciones. Ahora, la implementación física en FPGA se realizó en un prototipo de desarrollo, en el cual se adaptó una línea serie mediante RS232 conectando entre sí dos FPGA. Uno de ellos implementados como Maestro y el otro como Esclavo.

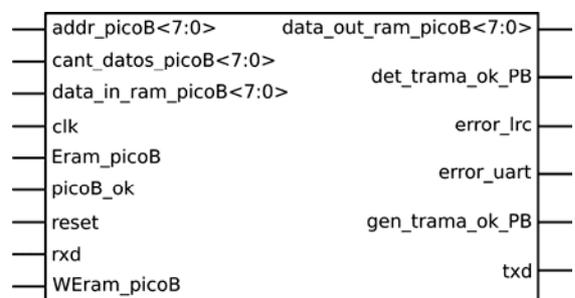


Figure 4. Entidad de la implementación de MODBUS en FPGA.

La entidad de la capa de Enlace descrita presenta puertos de control para comunicarse con la capa de Aplicación. Debido a la ausencia de la implementación de la capa de Aplicación, se ha reemplazado él mismo por llaves que hacen de control en la interacción con la capa de Enlace.

La implementación de la capa de Aplicación forma parte de un proyecto global que englobaría la implementación completa del protocolo MODBUS. Debido a la complejidad que esto presenta, se ha considerado como primera opción el uso de microprocesadores embebidos en FPGA. Para ser más preciso, *cores* tales como PicoBlaze o MicroBlaze. Mediante el empleo de compiladores destinados a éstos microcontroladores se puede realizar procesos secuenciales escritos en *assembler* al igual que cualquier microprocesador. Desde luego, se debe tener en cuenta las limitaciones en uso de la memoria de programa y demás información proporcionada por el fabricante.

IV. SIMULACIÓN

La simulación resulta fundamental en el proceso de síntesis e implementación. La estructura del proceso de simulación es acorde al esquema de la Fig. 5. De esta manera se crea un lazo que permite llegar al correcto funcionamiento del sistema. La herramienta de *software* con el que se llevó a cabo éstas simulaciones es ModelSim SE versión 6.0a.

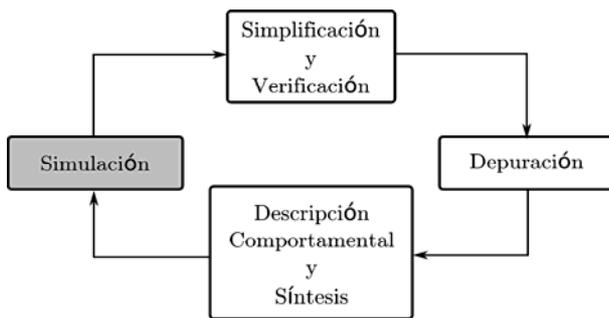


Figure 5. Proceso de validación del diseño digital

En función de las especificaciones de la capa de “Enlace” del protocolo MODBUS, se presenta un caso posible de comunicación tanto para la transmisión como la recepción de datos.

El proceso de simulación se basa en la instanciación de la descripción a simular en otra arquitectura, llamada *testbench*, donde se permite el uso de librerías de simulación que no son posibles sintetizar en un dispositivo lógico. El ejemplo más significativo es la descripción de periodos de tiempo, clave en el presente proyecto.

Dentro de la arquitectura del *testbench* se inyectan señales de entrada que sean representativas de una trama MODBUS tal y como se describió en la introducción de éste trabajo. Luego que se obtienen los datos decodificados de la trama, la capa de Enlace avisa a la capa superior, Aplicación, que los datos se encuentran listos para ser procesados. La capa de Aplicación realiza la operación correspondiente, lo que se traduce en la simulación como un determinado periodo de tiempo estipulado como el tiempo de respuesta. Para finalizar, se envían los datos

escritos en el bloque de RAM por la capa de Aplicación. Se resume éste proceso en la Fig. 6.

La simulación no sólo ofrece información útil para corregir problema en la síntesis, sino que además permite validar la trama. En la Fig. 7 se observa la decodificación de una trama de recepción acorde lo dicho en el párrafo anterior, en la Fig. 8 se ha re-transmitido la trama recibid, almacenada en la RAM, lo que demuestra el correcto funcionamiento de la descripción.

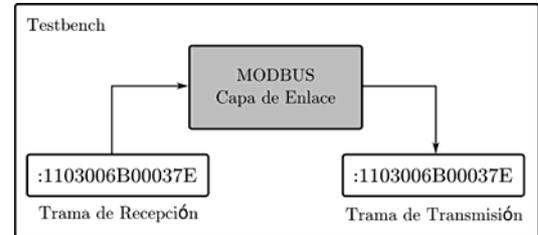


Figure 6. Datos de entrada y salida en simulación.

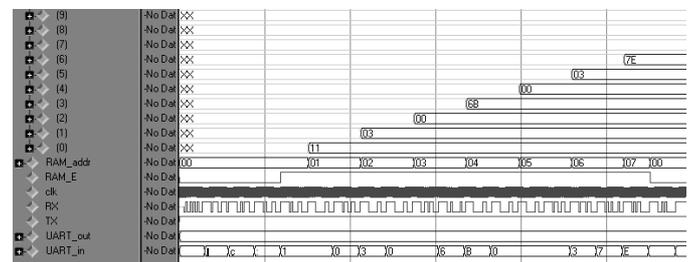


Figure 7. Resultado de simulación de una trama de recepción en Capa de Enlace del MODBUS.

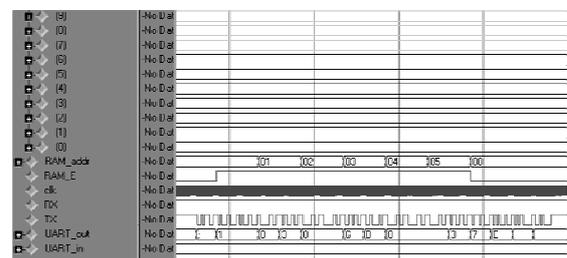


Figure 8. Resultado de simulación de una trama de transmisión en Capa de Enlace del MODBUS.

V. CONCLUSIÓN

En función a las especificaciones del protocolo MODBUS, se ha logrado un desarrollo totalmente descriptivo en el lenguaje VHDL. Lo que permite mejorar el rendimiento y eficiencia en su implementación como así también diferentes análisis funcionales mediante el uso de *software*. De ésta forma, se puede dar un carácter didáctico al presente trabajo. A continuación se resume éstos conceptos.

A. Implementación mediante VHDL (conurrencia)

La descripción de hardware mediante VHDL permite la flexibilidad en el diseño de sistemas digitales, dado que el mismo se realiza independientemente del dispositivo a utilizar,

por lo que se logra portabilidad en la implementación sobre PLDs. La concurrencia otorga un mejor aprovechamiento del tiempo, que se traduce en mayor velocidad de operación, en desmedro de una utilización de recursos también mayor.

B. Recursos de hardware de la FPGA

Con el avance tecnológico, los PLDs logran alcanzar velocidades de hasta los Giga Hertz, característica funcional de los bloques lógicos que componen el dispositivo.

C. Implementación de Dispositivos Lógicos Programables vs. Microcontroladores

En el proceso de investigación a cerca de la implementación de MODBUS en sistemas embebidos, presenta una preferencia en la utilización de microcontroladores para llevar adelante su desarrollo. El avance tecnológico de los microcontroladores, su evolución en nuevas arquitecturas y las herramientas de *software* han incrementado ésta tendencia.

Resulta complejo realizar una comparación directa entre la implementación de MODBUS en FPGA y microcontroladores, ya que se presentan muchas variables que caracterizan cada una de éstas tecnologías. En forma objetiva se pueden enunciar ítems que se han considerado en la comparación:

- Nivel de abstracción en la programación.
- Portabilidad de código.
- Herramienta de software.
- Consumo de recursos físicos.

Agregado a lo anteriormente expuesto, el presente trabajo posee un enfoque didáctico en la implementación de VHDL

con dispositivos lógicos programables. Con lo que se incentiva más aún el desarrollo, además de su continuo avance tanto en la mejora de su descripción como el diseño del *hardware*.

AGRADECIMIENTOS

El desarrollo de la implementación de MODBUS en FPGA forma parte de los proyectos desarrollados en El CUDAR "Centro Universitario de Desarrollo en Automación y Robótica". Se agradece a los Directivos y Miembros.

REFERENCIAS

- [1] MODBUS-IDA.ORG, "Modelo OSI". <http://es.wikipedia.org/>. 2010.
- [2] MODBUS-IDA.ORG, "*MODBUS application protocol specification*", V1.1b. <http://www.MODBUS.org>, 2010.
- [3] MODBUS-IDA.ORG, "*MODBUS over serial line specification and implementation guide*", V1.02. <http://www.MODBUS.org>, 2010.
- [4] K. Kuusilinna, V. Lahtinen, T. Hämäläinen, J.Saarinen, "*Finite state machine encoding for VHDL synthesis*", IEEE Proc.-Comput. Digit. Tech, Vol. 148, No. 1, Enero 2001.
- [5] A. Iborra y J. Suardiaz, "Diseño de Sistemas Electrónicos-DB4", Diseño Basado en Máquinas de Estado Finitas, Uni. 8. Mayo 2003.
- [6] Xilinx® Inc., "*Spartan-IIE 1.8V FPGA Family: Functional Description*", v2.1, Product Specification. Julio 2003.
- [7] ©2002-2008 Xilinx, "ISE 10.1 *Quick Start Tutorial*". <http://www.xilinx.com/>. Agosto 2010.
- [8] Xilinx® Inc. "ISE WebPACK *Design Software*". <http://www.xilinx.com/>. Agosto 2010.
- [9] J. Jiménez, E. Fernández, J. Martin, U. Bidarte, A. Zuloaga. "*Simulation environment to verify industrial communication circuits*". University of the Basque Country, Department of Electronics and Telecommunications, 2002.

Procesamiento de señales para aplicaciones y efectos de audio en tiempo real con FPGA

Félix Garro Martínez; Diego Costa; Carlos Sosa Páez (*)

Laboratorio de Electrónica, Investigación y Servicios
 Facultad de Ciencias Físico, Matemáticas y Naturales / Universidad Nacional de San Luis
 San Luis, Argentina
 e-mail: garrofelix@gmail.com; {dec, sosapaez}@unsl.edu.ar

Resumen— Se diseñó un sistema de procesamiento de señales en tiempo real para producción musical con un afinador y efectos de de trémolo y digital delay. Se implementó en FPGA describiendo el circuito en VHDL bajo estándar WISHBONE para integrarlo a un trabajo de referencia que contiene otros efectos de supresión de ruido, compresor, chorus y flanger en cascada, con una interfaz HM para el ajuste y visualización de los parámetros.

Palabras clave: Efectos de audio, afinador, trémolo, digital delay, eco, reverberancia, tiempo real, FPGA, VHDL, WISHBONE.

I. INTRODUCCIÓN.

En el presente trabajo se diseñó un procesador de señales que implementa una aplicación consistente en un afinador para guitarras, y efectos de trémolo y *digital delay* [1]. Se utilizó como trabajo de referencia [2] un rack de efectos de compresión, *chorus*, *flanger* y supresión de ruido de línea, el cual contenía una interfaz de control y visualización para selección de efectos y ajuste de parámetros además del sistema de conversión con circuitería de acondicionamiento y filtrado. El trabajo se realizó bajo las especificaciones WISHBONE [3] en 16 bits. Se hizo un diseño modular [4] lo que permitió probarla en dos FPGA de Actel [5] con leves modificaciones para adecuarlas a los recursos en cada caso.

II. ELEMENTOS EMPLEADOS.

A. Herramientas de diseño.

Para depuración del diseño se utilizó el Libero 9.1 con la herramienta Smart Gen para generar *cores*, Synplify DSP AE para la síntesis, Designer para posicionamiento-ruteo, Flash Pro para programación y ModelSim para simulación pre-síntesis, post-síntesis y post-layout [6]. Los circuitos se realizaron en VHDL describiendo directamente el código, con excepción del bloque de reloj que se hizo con Smart Gen mediante librerías de diseños parametrizados.

B. Dispositivos empleados.

Una de las placas usadas fue la RVI Prototype Board del ICTP (**) que posee un FPGA ProASIC3E A3PE1500 de Actel, pulsadores, LEDs y *displays* de siete segmentos. Dicha placa trabaja con la expansión LP Data Conversion Daughter Board (**) que está provista de un conversor A/D AD9201 de 10 bits y un conversor D/A LTC1654 serie de 14 bits.

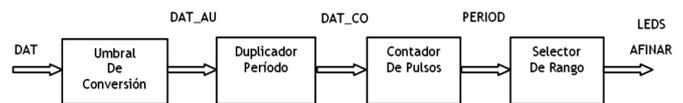


Figura 1. Módulos del afinador.

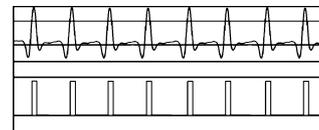


Figura 2. Señal de entrada DAT y señal umbralizada DAT_AU.

La otra placa empleada fue la Fusion Embedded Development de la misma firma. Posee un FPGA Fusion M1AFS1500 con encapsulado 484FBGA, y contiene LEDs y pulsadores. La placa porta un conversor A/D y potenciómetro, pero no tiene conversor D/A por lo que se le acopló la misma LP Data Conversion Daughter Board. Además, se adjunta un programador desconectable con puerto USB para bajar el código de la PC al FPGA.

El reloj se definió en 25 y 20 MHz para cada placa. De allí se derivó la frecuencia de muestreo de 44169 Hz.

III. DISEÑO.

A. Afinador.

Se implementó un afinador para guitarra eléctrica con detección automática de la cuerda que ha sido pulsada. En la Figura 1 se muestra el diagrama en bloques.

En la versión realizada para el FPGA ProASIC3E A3PE 1500, se utilizó un *display* de siete segmentos para mostrar la cuerda digitada en nomenclatura americana y tres LEDs para indicar si la frecuencia es mayor, menor o es exacta. En la versión para el FPGA Fusion sólo se utilizaron los LEDs.

Para el diseño del sistema de afinación se probaron dos métodos: La detección de cruce por cero y la detección de picos. La forma de onda típica del sonido de la guitarra posee, en cada período, múltiples cruces por cero, y además de un máximo absoluto, tiene varios máximos locales. El primer método produce errores por los múltiples cruces por cero. Por eso fue elegido el segundo método aunque requiere diferenciar el pico mayor de los picos menores que deben descartarse.

(*) Pertenecientes al Proyecto "Instrumentación Virtual Reconfigurable" financiado por Ciencia y Técnica de la UNSL.

(**) Esta placa ha sido provista por el ICTP (International Center For Theoretical Physics) y fue desarrollada por A. Cicuttin, M. L. Crespo y A. Shapiro.

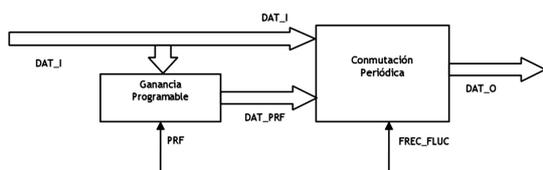


Figura 3. Módulos del trémolo.

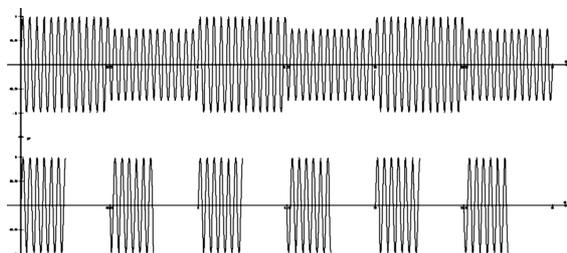


Figura 4. Señal de salida DAT_O para fluctuación = 1 y profundidad = 2; y fluctuación = 3 y profundidad = 7.

Para esa detección de picos se eligió un mecanismo sencillo y estable que consiste crear una señal digital, mostrada en la Figura 2, de igual período que la entrada, por umbralización mediante un comparador. A dicha señal se le duplica el período y corrige el ciclo de trabajo llevándolo al 50%. El conteo de pulsos se realiza durante medio ciclo. Este método fue útil para depurar el sistema y evitar disparos erróneos del contador. Un detector de rango compara la cuenta de pulsos con un mínimo y un máximo según los intervalos de frecuencia correspondientes mostrados en la Tabla 1. Cada intervalo se definió centrado en la frecuencia correspondiente a la nota estándar de cada cuerda. En dicha tabla se detalla el valor enviado al control de pantalla, para indicar la cuerda, en la versión de la RVI Prototype Board que posee ese recurso.

TABLA 1. INTERVALOS PARA LA DETECCIÓN DE LA CUERDA DIGITADA Y SU CORRESPONDIENTE SEÑALIZACIÓN.

Cuerda	Nota	Octava	Intervalo (Hz)	Señalización
6°	Mi (E)	2	[70; 96)	E (101)
5°	La (A)	2	[96; 128)	A (100)
4°	Re (D)	3	[128; 171)	D (011)
3°	Sol (G)	3	[171; 221)	G (010)
2°	Si (B)	3	[221; 288)	B (001)
1°	Mi (E)	4	[288; 365]	E (000)

Una vez detectada la cuerda digitada, el sistema realiza una segunda comparación, más precisa, acotando el intervalo de frecuencias a un entorno cercano de cada valor estándar de afinación, según se detalla en la Tabla 2. Dichos intervalos se definieron para una detección con un error menor al 1%. Esto permite distinguir el estado de la afinación de la cuerda, señalando si está dentro del entorno válido, si está por encima o por debajo. Esas situaciones se codifican con '01', '10' y '00' respectivamente en la señal que comanda los LEDs, la cual se refresca cada cierto tiempo para dar estabilidad en la visualización.

TABLA 2. INTERVALOS ACOTADOS PARA DISTINGUIR ESTADO DE AFINACIÓN.

Cuerda	Nota	Octava	Frecuencia (Hz)	Intervalo (Hz)
6°	Mi (E)	2	82,41	[82,58; 82,24]
5°	La (A)	2	110,00	[110,30; 109,70]
4°	Re (D)	3	146,83	[147,37; 146,29]
3°	Sol (G)	3	196,00	[196,58; 195,43]
2°	Si (B)	3	246,94	[247,86; 246,03]
1°	Mi (E)	4	329,63	[330,72; 328,55]

B. Trémolo.

El efecto de trémolo es la modulación en amplitud de la señal de audio con una señal moduladora de forma de onda cuadrada. El diagrama de bloques se muestra en la Figura 3.

En la Tabla 3, se exponen los parámetros ajustables:

- La profundidad PRF define la diferencia relativa entre la amplitud de la señal atenuada con respecto a la original.
- La fluctuación FREC_FLUC define la frecuencia con la que conmuta la amplitud modulada entre los valores de la señal original y el seleccionado con profundidad.

Los valores nominales de los parámetros se fijaron empíricamente a fin de que cada cambio en FREC_FLUC o PRF tenga un efecto distinguible. El bloque Ganancia Programable asigna a DAT_PRF la entrada DAT_I afectada por una ganancia. Esta depende del parámetro PRF según el algoritmo de la Tabla 4. Se observa que la representación es de 16 bits para respetar el estándar WISHBONE. El bloque de Comutación Periódica Programable alterna las señales DAT_I y DAT_PRF en su salida DAT_O a una frecuencia dada por el parámetro FREC_FLUC. La Figura 4 ejemplifica el efecto.

TABLA 3. VALORES NOMINALES PARA LOS PARÁMETROS PRF Y FREC_FLUC.

PRF	1	2	3	4	5	6	7
Ganancia	0,90625	0,75	0,625	0,5	0,375	0,125	0
FREC_FLUC	1	2	3	4	5	6	7
Período (ms)	1	0,75	0,5	0,25	0,16	0,12	0,1

TABLA 4. ALGORITMO DE PROFUNDIDAD DEL TRÉMOLO.

PRF	Señal de salida
1	$(DAT_I/2) + (DAT_I/4) + (DAT_I/8) + (DAT_I/32) + 3072$
2	$(DAT_I/2) + (DAT_I/4) + 8192$
3	$(DAT_I/2) + (DAT_I/8) + 12288$
4	$(DAT_I/2) + 16384$
5	$(DAT_I/4) + (DAT_I/8) + 20480$
6	$(DAT_I/8) + 28672$
7	32768

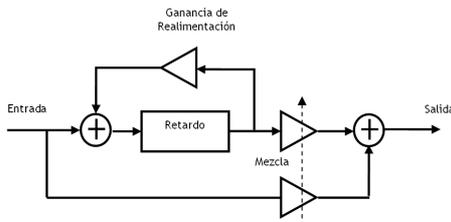


Figura 5. Diagrama de bloques del digital delay.

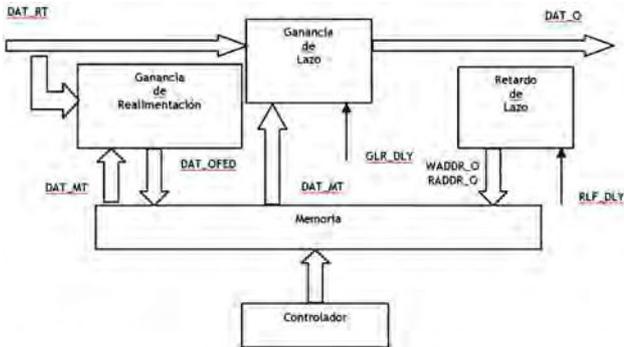


Figura 6. Módulos del digital delay.

C. Digital delay (eco y reberverancia)

Se implementó un Delay Base Realimentado, modificado como se expone en la Figura 5, con realimentación fija y control de mezcla que suma ponderadamente ambas señales a modo de balance. El efecto tiene dos parámetros ajustables:

- El retardo de lazo RLF_DLY controla el tiempo de la realimentación para los valores dados en la Tabla 5.
- La ganancia de lazo GLR_DLY controla la proporción de amplitud entre la señal directa y la retardada.

El diagrama de los módulos se ve en Figura 6. El bloque Ganancia de Lazo pondera los valores de la señal directa DAT_RT y la retardada DAT_MT. Su salida es DAT_O. El bloque Ganancia de Realimentación pondera los valores de DAT_RT y DAT_MT según el algoritmo de la Tabla 6 y escribe su valor en memoria. La Ganancia de Realimentación se fijó en un valor igual a $DAT_MT/2 + DAT_RT/2$. El bloque Retardo de Lazo calcula la dirección de memoria en la que se lee el valor de entrada DAT_MT según el parámetro RLF_DLY. El Controlador de Memoria gestiona el funcionamiento de lectura y escritura. La memoria se configuró en dos puertos, y dividida en dos partes, una destinada a escritura y otra a lectura de datos. El tamaño se definió en 16384 palabras de 16 bits. Para la frecuencia de muestreo de 44169 Hz se logran 371 ms de retardo máximo.

D. Interfaz humana

El usuario interactúa con el sistema diseñado a través de la interfaz que permite seleccionar cada uno de los parámetros de los distintos efectos y asignarle el valor deseado. Se usó el esquema de navegación del proyecto de referencia, con las modificaciones del caso. La máquina de estado maestro con un estado por efecto y función, llama a máquinas de estado esclavas, donde cada estado representa un parámetro.

TABLA 5. VALORES NOMINALES PARA EL PARÁMETRO RLF_DLY.

RLF_DLY	1	2	3	4	5	6	7
Retardo (ms)	68	113	181	226	271	317	362

TABLA 6. ALGORITMO DE MEZCLA DEL DELAY.

GLR_DLY	Ganancia
1	$DAT_MT/128 + (DAT_RT/2 + DAT_RT/4)$
2	$DAT_MT/64 + (DAT_RT/2 + DAT_RT/4)$
3	$DAT_MT/32 + (DAT_RT/2 + DAT_RT/4)$
4	$DAT_MT/16 + (DAT_RT/2 + DAT_RT/4)$
5	$DAT_MT/8 + DAT_RT/2$
6	$DAT_MT/4 + DAT_RT/2$
7	$DAT_MT/2 + DAT_RT/2$

En la versión para la Fusion, se utilizan tres pulsadores: Reset general, selección de parámetro y aumento del valor del parámetro seleccionado. En la versión de la RVI Prototype Board, se agregan dos pulsadores más: Selección de efecto y disminución del valor del parámetro. Adicionalmente, los cuatros displays de siete segmentos muestran los mnemónicos de los efectos y de los parámetros a editar con el valor almacenado, y también la cuerda digitada indicando la letra en notación americana para el afinador.

IV. RESULTADOS.

Se logró implementar con éxito un afinador y dos efectos con excelente funcionalidad, integrándolas a un diseño previo. Los reportes de la síntesis en la FPGA ProASIC3E (junto al diseño de referencia) y en la Fusion (con cada aplicación sintetizada por separado) se detallan en la Tabla 7.

TABLA 7. REPORTE DE RECURSOS

Recurso	ProASIC3E	Fusion
CORE cells	5981 de 38400 (16%)	2532 de 38400 (7%)
IO(W/clocks)	36	74 de 252 (29%)
RAM/FIFO	60 de 60 (100%)	60 de 60 (100%)

V. REFERENCIAS.

- [1] Documentos técnicos de <http://www.harmony-central.com>.
- [2] M. González, D. Costa, C. Sosa Páez, "Procesamiento de Señales para Efectos de Audio con Lógica Programable", Congreso de uEA 2010, Tercer Milenio. ISBN 978-978-9374-65-8
- [3] Specification for the WISHBONE System-on-Chip (SoC), Interconnection Architecture for Portable IP Cores; Revision: B.3, Released: September 7, 2002
- [4] A. Cicuttin, M. L. Crespo, A. Shapiro y N. Abdallah, "A block-based open source approach for a reconfigurable virtual implementation platform using FPGA technology", IEEE International Conference on Reconfigurable Computing and FPGA's ReConFig 2006, pp 1 a 8.
- [5] Documentos técnicos de Actel Corporation, <http://www.actel.com>
- [6] Manuales de uso del Libero, Designer, Flash Pro y ModelSim.

Arquitectura de un nodo sensor para aplicaciones de supervisión ambiental. Implementación de un prototipo reconfigurable.

Corti R., Martínez R., D'Agostino E., Belmonte J., Giandomenico E.

Departamento de Sistemas e Informática – Facultad de Ciencias Exactas, Ingeniería y Agrimensura
Universidad Nacional de Rosario
Rosario, Argentina

e-mail: {rcorti, romamar, estelad, belmonte, giandome}@fceia.unr.edu.ar

Resumen—Las redes de sensores se utilizan para medir variables del medio ambiente, con el objetivo de realizar la supervisión y control de diversos entornos y actividades. Estas redes suelen trabajar bajo fuertes restricciones de energía y esto tiene un gran impacto en la definición del soporte hardware para los nodos que las componen. Los procesadores, por razones de costo y consumo, han sido la base de las plataformas utilizadas tradicionalmente, pero el surgimiento de aplicaciones complejas con altos requerimientos de velocidad, flexibilidad y capacidad de procesamiento ha propiciado la incorporación de dispositivos reconfigurables en el soporte hardware. Este trabajo presenta la arquitectura de un nodo sensor en el dominio de las aplicaciones de supervisión ambiental, con medición periódica de variables del medio. La misma se definió en base a los requerimientos de las aplicaciones elegidas y las características de un algoritmo de encaminamiento distribuido, particularmente adecuado para el dominio de trabajo. La arquitectura propuesta se ensayó en una plataforma reconfigurable cuya flexibilidad permitió explorar distintas opciones de implementación de los módulos constitutivos y seleccionar la más conveniente. Los ensayos realizados demostraron la adecuación de la arquitectura propuesta a la funcionalidad requerida.

Palabras clave: Redes de sensores; Plataformas reconfigurables; Partición HW/SW; FPGA.

I. INTRODUCCIÓN

Las redes inalámbricas de sensores inteligentes (RISI) se utilizan para medir variables del medio, con el objetivo de realizar la supervisión y control de entornos y actividades de la más diversa índole. Están constituidas por nodos que se auto organizan para adaptarse a topologías cambiantes y colaboran entre ellos para hacer llegar sus mediciones hasta la estación base. Las RISI se integran en aplicaciones industriales, médicas, agrícolas, de preservación del medio natural o creación de ambientes inteligentes, entre otras. En muchas de las aplicaciones mencionadas, la adquisición de las variables de interés debe realizarse en ambientes distantes u hostiles que hacen muy difícil el cableado y la atención periódica de los dispositivos de medición [1]. Estas redes suelen trabajar bajo fuertes restricciones de energía y esto tiene un gran impacto en la definición del soporte hardware (HW) para los nodos que las componen [2]. En este sentido, la mayoría de las plataformas

HW para RISI que se han presentado en la última década, se basan en procesadores pequeños de 8 o 16 bits que, además de ser baratos, permanecen en estado de bajo consumo cuando no están realizando las tareas que tienen asignadas en la red [3]. Sin embargo, al ampliarse el campo de aplicación de las RISI e incorporarse áreas de trabajo de complejidad creciente, se han incrementado las demandas de capacidad de cómputo incorporándose para estos casos procesadores de mayores prestaciones, que traen aparejado un aumento importante en el consumo [4].

Hoy en día se encuentran aplicaciones que agregan a los requerimientos de bajo consumo y capacidad de procesamiento la necesidad de plataformas flexibles y rápidas capaces de adaptarse a cambios en el ambiente de trabajo o, incluso, alterar su comportamiento en base al análisis de la información recolectada. Por estos motivos, muchos investigadores han comenzado a explorar otras opciones para las plataformas HW incorporando dispositivos de lógica reconfigurable que, en muchos casos, reparten sus responsabilidades con los procesadores que tradicionalmente han sido la base para la implementación de los nodos sensores [5].

Este trabajo presenta la arquitectura de un nodo para una RISI en el dominio de las aplicaciones de supervisión ambiental, con medición periódica de variables del medio. La misma se definió en base a los requerimientos de las aplicaciones elegidas y las características de un algoritmo de encaminamiento distribuido, particularmente adecuado para el dominio de trabajo. La arquitectura propuesta se ensayó en una plataforma reconfigurable basada en una FPGA (Field Programmable Gate Array), lo que permitió explorar distintas opciones de implementación de los módulos constitutivos y seleccionar la más conveniente.

El resto de la publicación se organiza de la siguiente forma, en la sección II se enumeran las ventajas e inconvenientes de las plataformas reconfigurables para RISI, la sección III fundamenta las características de la arquitectura de nodo sensor propuesta y la sección IV analiza las opciones exploradas para implementar el módulo SW de la misma. En la sección V se describen las pruebas realizadas con el prototipo reconfigurable

implementado y, finalmente, en la sección IV se obtienen conclusiones y se trazan líneas de trabajo futuro.

II. PLATAFORMAS RECONFIGURABLES PARA RISI

Los dispositivos de lógica reconfigurable poseen varias características que los vuelven muy atractivos para algunas aplicaciones de redes de sensores. Las mismas se refieren a su gran flexibilidad, alta velocidad de respuesta y elevada capacidad de procesamiento.

En la literatura se encuentra, por los motivos antes expuestos, un interesante número de propuestas ligadas a la incorporación de dispositivos reconfigurables en las plataformas HW para nodos sensores, entre las cuales se pueden mencionar los trabajos descriptos en [6][5][3].

La mayoría de los investigadores coinciden en que, pese a los avances de la tecnología que ha permitido desarrollar dispositivos con mejores prestaciones, las FPGA aún presentan el problema de mayor costo y consumo respecto de los microcontroladores, lo cual es un inconveniente importante para su utilización en redes de sensores. Sin embargo, considerando las ventajas que proporcionan en flexibilidad, velocidad y capacidad de procesamiento, varios de ellos apuestan al avance tecnológico y opinan que en un futuro cercano la utilización de estos dispositivos será más habitual en las plataformas HW para RISI [7][8][3].

En este trabajo se decidió utilizar una plataforma reconfigurable basada en una FPGA para los ensayos ligados a las pruebas de funcionamiento de la arquitectura de nodo sensor desarrollada. Esta decisión se fundamentó en la flexibilidad brindada por estos dispositivos para poder explorar distintas opciones de implementación de los módulos constituyentes sin necesidad de realizar cambios en la placa de trabajo.

III. ARQUITECTURA PARA EL NODO SENSOR

El nodo de una red de sensores está constituido por cinco módulos principales, esquematizados en la Fig. 1, a saber: adquisición de datos, adecuación de señal, procesamiento, comunicaciones y potencia.

La definición de los módulos de la arquitectura propuesta se fundamentó en los requerimientos del dominio de trabajo y en las características de un algoritmo de encaminamiento adecuado para el mismo [9][10].

- Se debe realizar la medición periódica de variables en toda el área bajo estudio. Los datos se recolectan, procesan y envían hacia la estación base una vez que se cumple un período T del orden de 10 a 15 minutos.
- El retardo en la llegada de la información a la estación base no es relevante, pero se deben diferenciar las mediciones correspondientes a distintas rondas de recolección.
- La red debe ser capaz de operar sin atención durante varios meses, manteniendo una calidad de servicio (QoS) definida como un porcentaje máximo admisible de pérdida de mediciones en cada ronda.

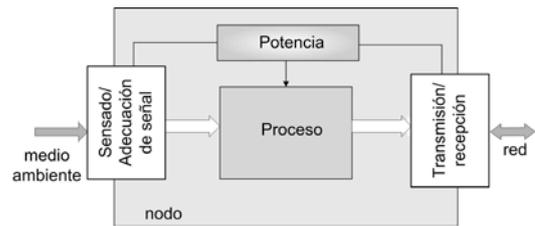


Fig. 1. Esquema de nodo sensor

El algoritmo de encaminamiento es distribuido y divide su funcionamiento en fases de trabajo en las cuales los nodos, homogéneos en recursos, asumen distintos roles. Esta característica tiene el objetivo de plasmar estrategias orientadas a disminuir el consumo y balancear la carga de trabajo entre los miembros de la red, colaborando en el logro de autonomía de funcionamiento.

- El nodo debe ser capaz de definir distintos tipos de mensajes para comunicarse con sus vecinos y de aplicar técnicas de agregación de datos a las mediciones colectadas. Esto se fundamenta en que las variables estudiadas están altamente correlacionadas espacial y temporalmente, por lo que la agregación de datos permite lograr un envío de información más eficiente y disminuye la congestión en la red.

El módulo de la unidad de proceso se ocupa de realizar las tareas inherentes al tratamiento local de la información y a la implementación del algoritmo de encaminamiento, definiendo los mensajes de datos y control asociados que luego transfieren al módulo de comunicaciones. Por lo tanto, considerando que se trabaja con un algoritmo distribuido que basa las decisiones de encaminamiento en información local, y que se aplicarán técnicas de agregación de datos, sus responsabilidades involucran una carga importante de trabajo. Esta funcionalidad podría haberse implementado utilizando una máquina de estados finitos (MEF), pero la misma debería contar con un número importante de estados y una lógica de evolución compleja, conduciendo a un diseño y prueba dificultosos. Si el número de estados necesarios en una MEF resulta elevado y los requerimientos de tiempo de respuesta no son muy exigentes como en este caso, es mucho más conveniente asignar la tarea a un módulo software. Este fue el enfoque adoptado, y se asignaron a un procesador las decisiones ligadas al encaminamiento, tratamiento y envío de información, responsabilizándolo del procesamiento local de los datos y de la definición de los mensajes necesarios.

La medición periódica de variables en toda el área bajo estudio implica periodos donde todos los nodos de la red envían mediciones a la estación base y otros, prolongados para nuestro caso, donde no realizan tarea alguna. Por lo tanto, es importante colocar en modo de bajo consumo todos los bloques posibles del nodo, con el objetivo de ahorrar energía y cumplir con el requerimiento de autonomía de funcionamiento. En este sentido se definió un módulo de encendido, que permanece siempre activo y asume la responsabilidad de indicar al resto de los bloques del nodo el momento en el cual deben iniciar sus tareas.

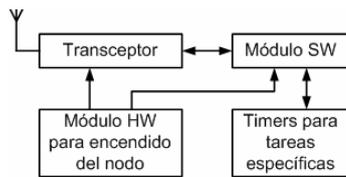


Fig. 2. Unidades de comunicación y procesamiento

El algoritmo de encaminamiento divide su funcionamiento en fases con tareas diferenciadas que deben ser estrictamente definidas. Para lograrlo, se definieron un conjunto de temporizadores encargados de determinar los momentos de toma de decisiones y cumplimiento de responsabilidades. Los mismos se implementaron como bloques HW, capaces de interrumpir al procesador para indicarle que ha llegado el momento de llevar adelante acciones específicas.

En resumen, las unidades de comunicaciones y procesamiento correspondientes a la arquitectura propuesta para el nodo sensor, están constituidas por los módulos de alto nivel que se muestran en la Fig. 2.

IV. EL MÓDULO SOFTWARE

Los altísimos niveles de integración existentes, y la heterogeneidad de las arquitecturas de los dispositivos reconfigurables actuales, convierten a las FPGA en integrados dotados de grandes capacidades de cómputo [11]. Actualmente existen numerosos núcleos software de procesadores que pueden ser embebidos en dichos dispositivos. Entre ellos se pueden mencionar, PicoBlaze de libre distribución [12], Nios II de la empresa Altera [13], y MicroBlaze de Xilinx [14].

En este sentido, se observa un incremento significativo del uso de dispositivos reconfigurables con núcleos de procesadores embebidos, que en opinión de varios autores parece consolidarse como tendencia firme para el diseño electrónico [15]. En particular, las plataformas FPGA y los ambientes de desarrollo asociados, resultan muy convenientes para llevar adelante la tarea de partir e interconectar los módulos asignados a funciones hardware y software dentro de la misma pastilla [16].

La implementación del módulo SW de la unidad de proceso se realizó con el enfoque antes mencionado, incorporándose núcleos software de procesadores de distintas características a la arquitectura del nodo sensor. Los ensayos realizados fueron incrementales, se comenzó con prototipos cableados basados en un procesador muy sencillo, y se continuó con un prototipo inalámbrico de mayores prestaciones, capaz de soportar la arquitectura definida en la sección III.

A. Implementación con un procesador de 8 bits

La primera experiencia realizada sobre el módulo SW, tuvo como objetivo explorar el nivel de complejidad asociado con la implementación de las responsabilidades asignadas al bloque. Se trabajó con el microprocesador Picoblaze, un núcleo

software de propiedad intelectual (IP) optimizado para la familia Spartan 3 de Xilinx [12]. Se trata de un procesador RISC de arquitectura muy simple que, junto con un bloque RAM que contiene el programa de 1Kbyte como máximo, se embebe en la FPGA de la placa Spartan-3 Starter Kit Board [17]. Esta disposición permitió conectar el procesador con otros bloques HW de la arquitectura.

Es importante destacar que esta prueba preliminar, no incluyó el módulo HW de encendido ni los temporizadores para tareas específicas necesarios para la arquitectura general del nodo antes descripta. El trabajo se centró en el análisis de la opción de implementación del módulo SW con el procesador PicoBlaze, y su interconexión con los periféricos necesarios para su correcto funcionamiento. Por lo tanto, se implementaron dos nodos, uno encargado de enviar información y otro de recibirla y procesarla. La transmisión en radiofrecuencia, fue reemplazada por una comunicación serie con dos hilos, incorporándose al diseño el núcleo IP de una UART (Universal Asynchronous Receiver-Transmitter) de libre distribución [18], bajo el estándar RS-232, compatible con el puerto serie de la placa utilizada.

Se programó el microprocesador en código ensamblador, y se instanciaron, utilizando el ambiente ISE de Xilinx [19], los núcleos del PicoBlaze, las UARTs y los módulos en VHDL diseñados para lograr la integración de todos los componentes en el sistema final. Si bien la implementación resultó viable y las pruebas satisfactorias, se hicieron evidentes algunas dificultades y limitaciones. El procesador PicoBlaze utilizado, posee una arquitectura muy sencilla que demanda pocos recursos de pastilla, pero hace necesario incorporar al diseño los periféricos requeridos para su funcionamiento. Estos dispositivos basados en núcleos IP deben ser adaptados y conectados en el sistema, tarea que puede resultar ardua si la complejidad de la plataforma hardware es grande. Además, la programación del procesador se realiza en ensamblador, lenguaje de bajo nivel, que demanda un esfuerzo considerable si se pretende implementar el comportamiento completo del nodo.

Teniendo en cuenta las consideraciones mencionadas, se decidió migrar el diseño al núcleo IP de un procesador con mayores prestaciones que permite trabajar en un lenguaje de alto nivel y dispone de un ambiente de desarrollo que facilita la conexión de periféricos.

B. Implementación con un procesador de 32 bits

El procesador seleccionado fue el núcleo de software MicroBlaze de 32 bits de la empresa Xilinx, que cuenta con un ambiente de desarrollo integrado para personalizar la plataforma hardware incorporando distintos tipos de periféricos, que se disponen en bibliotecas con sus correspondientes drivers, lo que reduce significativamente la cantidad de módulos necesarios para adaptación e interface [20]. La programación software puede realizarse en un lenguaje de alto nivel como C, lo que facilita en gran medida la codificación de algoritmos complejos [14].



Fig. 3. Ensayo del prototipo implementado

Estas características son muy ventajosas, ya que dependiendo de los requerimientos de cada aplicación, puede decidirse el número y tipo de periféricos a interconectar utilizándose sólo los recursos de pastilla necesarios.

Las características de MicroBlaze y su ambiente de desarrollo permitieron incorporar desde biblioteca, el módulo controlador de interrupciones, la UART, los temporizadores y los módulos GPIO (General Purpose Input/Output) para comunicarse con los recursos de la placa, que se utilizaron para ingresar la información de identificación del nodo y mostrar resultados del procesamiento local de mensajes. Además, se incorporó al prototipo un módulo de comunicación inalámbrica que reemplazó a la conexión de dos hilos implementada en las pruebas preliminares. El módulo de comunicación que se conectó con la placa Spartan 3 Starter Kit Board que implementa los módulos antes mencionados, fue el de la empresa Digi Internacional que soporta el estándar IEEE 802.15.4 elegido para las capas inferiores del protocolo de comunicaciones.

El correcto funcionamiento de la arquitectura propuesta se verificó mediante la implementación y ensayo de dos nodos idénticos, como el mostrado en la Fig. 3. El funcionamiento de los dispositivos se rigió por el algoritmo de encaminamiento

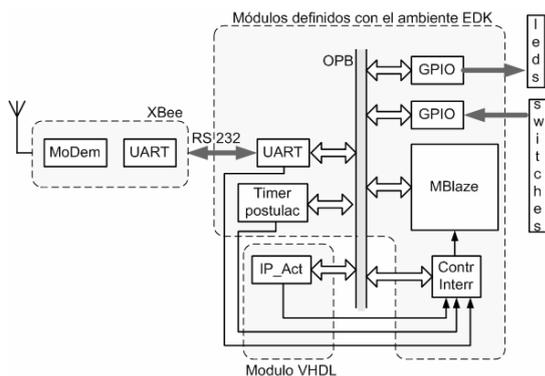


Fig. 4. Esquema de la arquitectura del nodo con MicroBlaze

TABLA I. RECURSOS DE PASTILLA UTILIZADOS

Recursos	PicoBlaze		Microblaze	
<i>Slice FF</i>	149 out of 3,840	3%	1,905 out of 3,840	49%
<i>4 input LUTs</i>	201 out of 3,840	5%	2,145 out of 3,840	55%
<i>Block RAMs</i>	1 out of 12	8%	8 out of 12	66%

mencionado en la sección II. La arquitectura implementada en cada nodo quedó constituida por los módulos mostrados en la Fig. 4. En la misma, además del procesador, pueden observarse varios periféricos personalizados en el ambiente EDK y también el bloque de activación del nodo conectados a través del bus OPB (On-chip Peripheral Bus) de la arquitectura CoreConnect de IBM [21].

- **Timer postulac:** Este módulo se ocupa de lanzar una rutina asociada con la fase de armado del árbol de encaminamiento mediante una interrupción al procesador
- **Módulos GPIO:** Implementados con IP disponibles en bibliotecas para conectar los recursos de la placa (llaves y diodos led) con el procesador embebido.
- **Módulo UART:** Implementado con un IP de biblioteca (UartLite) que se comunica vía RS-232 con la UART del módulo XBee, que implementa el bloque tranceptor.
- **IP_Act:** Es un módulo HW desarrollado en VHDL, que se ocupa de despertar en el momento apropiado los bloques que intervendrán en el procesamiento de la información y el intercambio de mensajes en la red (procesador y tranceptor).
- **Controlador de Interrupciones:** Implementado con un IP de biblioteca personalizado para recibir tres pedidos de interrupción (IP_Act, Timer postulac y UART).

Se debe puntualizar que durante las pruebas realizadas todos los módulos permanecen activos, y que el encendido de los bloques se simula en el prototipo mediante interrupciones al procesador, que lanzan rutinas en los momentos precisos. La implementación efectiva del apagado y encendido de todos los bloques software y hardware posibles queda pendiente para una implementación futura.

Los recursos de pastilla utilizados en la implementación del diseño con MicroBlaze resultaron, como era de esperar, superiores a los demandados por la opción basada en PicoBlaze, según puede verse en la Tabla I que presenta los resultados comparativos. Es importante destacar que el prototipo no constituye una implementación definitiva de la arquitectura propuesta. El objetivo fue explorar distintas opciones para el módulo software, verificando que la arquitectura propuesta es adecuada para soportar la funcionalidad requerida.

V. RESULTADOS OBTENIDOS

Para realizar las correcciones necesarias y verificar el funcionamiento del prototipo se utilizó el analizador lógico

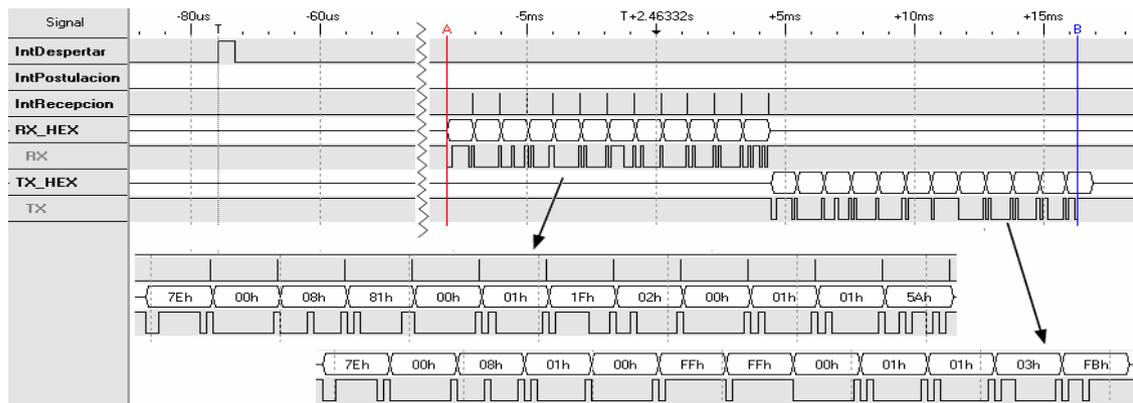


Fig. 5. Visualización de señales: Recepción de la postulación del Nodo 1 por parte del Nodo 3

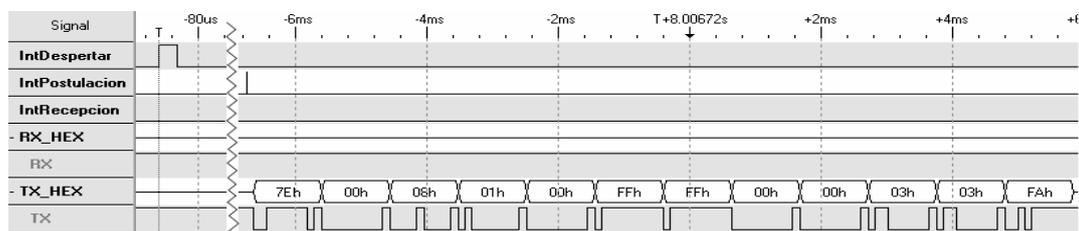


Fig. 6. Visualización de señales: Postulación del Nodo 3

LogicPort [22] para visualizar señales generadas a partir del intercambio de mensajes entre los dos nodos implementados. En el ensayo realizado se inicializó el sistema ingresando mediante las llaves de las placas el identificador de cada nodo y lanzando el módulo IP_Act. Luego de la inicialización, los nodos intercambiaron los mensajes correspondientes a situaciones ligadas a la definición del árbol de encaminamiento necesario para transmitir las mediciones hasta la estación base.

La Fig. 5 muestra la interrupción generada por el módulo IP_Act del nodo 3, que simula el encendido del procesador por parte del módulo de activación. A continuación, el nodo 3 recibe un mensaje del nodo 1, que indica que se postula como coordinador de un cluster en la estructura de encaminamiento. Como respuesta, el nodo 3 envía un mensaje anunciando que adopta al nodo 1 como su enlace en el cluster para transmitirle sus mediciones.

En la Fig. 5 también pueden verse las interrupciones producidas por el módulo UART del nodo cada vez que ingresa un byte enviado por el nodo 1 (IntRecepción). Los mensajes intercambiados son transmitidos por los módulos en su formato API (Application Programming Interface), y se muestran en las líneas RX y TX.

La figura Fig. 6 muestra otra situación en el nodo 3. La interrupción del módulo IP_Act despierta el nodo, que en este caso no recibe ningún mensaje de su vecino. Por lo tanto, una vez cumplidos los tiempos, se produce la interrupción generada por el temporizador de postulación (IntPostulación) y el nodo

3 envía (TX) un mensaje con el cual se propone como coordinador de un cluster de la estructura de encaminamiento.

Las pruebas realizadas se enfocaron en el buen funcionamiento del prototipo en las situaciones planteadas, sin establecer resultados respecto del consumo de energía de los nodos. La plataforma reconfigurable utilizada no constituye una implementación definitiva y está basada en dispositivos FPGA, muy adecuados para los objetivos planteados, pero que la hacen poco conveniente para un estudio del consumo asociado con su funcionalidad.

VI. CONCLUSIONES Y TRABAJO FUTURO

Este trabajo presenta la arquitectura de un nodo para una red de sensores en el dominio de las aplicaciones de supervisión ambiental, con medición periódica de variables del medio. La misma se definió en base a los requerimientos de las aplicaciones elegidas y las características de un algoritmo de encaminamiento distribuido, particularmente adecuado para el dominio de trabajo. Para implementar un prototipo capaz de soportar la arquitectura definida y realizar las pruebas correspondientes se eligió una plataforma reconfigurable basada en una FPGA.

Los ensayos realizados permiten afirmar que la arquitectura propuesta es adecuada para soportar la funcionalidad descrita de un nodo sensor en el dominio elegido. Las pruebas se centraron en el intercambio de mensajes correspondientes a la definición del árbol de encaminamiento y permitieron

demonstrar su buen funcionamiento, resultando promisorias para avanzar en la implementación de la funcionalidad completa del algoritmo utilizado.

La plataforma de prueba elegida demostró ser sumamente flexible para realizar los cambios y correcciones que se llevaron adelante al ensayar el comportamiento de los nodos. Sus características permitieron evaluar distintas opciones de implementación de los bloques de la arquitectura y elegir la más conveniente.

REFERENCES

- [1] S.K. Singh, M.P. Singh and D.K. Singh, "Routing protocols in wireless networks – A survey," in International Journal of Computer Science & Engineering Survey (IJCSES), vol.1 pp. 63-83, November 2010.
- [2] J. Yick, B. Mukherjee and D. Ghosal, "Wireless sensor network survey," in Computer Networks: The International Journal of Computer and Telecommunications Networking (Elsevier), vol. 52 pp. 2292-2330, August 2008.
- [3] J.Portilla Berruoco, "Plataforma modular e interfaces genéricas de transductores para redes de sensores inalámbricas," Tesis Doctoral. Madrid, España. Universidad Politécnica de Madrid, Escuela Técnica Superior de Ingenieros Industriales, 2010. 224 p.
- [4] Z. Pei, Z. Deng, B.Yang and X. Cheng, "Application-Oriented wireless sensor network communication protocols and hardware platforms: a survey," in Proceedings of The 2008 IEEE International Conference on Industrial Technology (2008, Chengdu, China). IEEE Press, 2008, pp. 1-6.
- [5] J. Wilder, V. Uzelac, A. Milenkovic and E. Jovanov, "Runtime hardware reconfiguration in wireless sensor networks," in Proceedings of The 40th Southeastern Symposium on System Theory (New Orleans, USA). IEEE Press, 2008, pp. 154-158.
- [6] S. Commuri, V. Tadigotla, M. Atiquzzaman, "Reconfigurable hardware based dynamic data aggregation in wireless sensor networks," in International Journal of Distributed Sensor Networks (ACM), vol. 4 pp. 194-212, April 2008.
- [7] R. Garcia, A. Gordon-Ross and A.D. George, "Exploiting partially reconfigurable FPGAs for situation-based reconfiguration in wireless sensor networks," in Proceedings of The 17th IEEE Symposium on Field Programmable Custom Computing Machines (Napa, USA). IEEE Press, 2009, pp.243-246.
- [8] H. Hinkelmann, A. Reinhardt, S. Varyani and M. Glesner, "A reconfigurable prototyping platform for smart sensor networks," in Proceedings of The 4th Southern Conference on Programmable Logic (San Carlos de Bariloche, Argentina). SPL 2008. IEEE Press, pp. 125-130..
- [9] E. D'Agostino, R. Corti, E. Giandoménico, J. Belmonte y R. Martínez, "Clustering dinámico para tiempo de encendido mínimo en redes inalámbricas de sensores (CLUDITEM). Definición del árbol de encaminamiento," en Libro de Trabajos del XIV Congreso Argentino de Ciencias de la Computación (Chilecito, Argentina). CACIC 2008.
- [10] R. Corti, E. D'Agostino, E. Giandoménico, R. Martínez y J. Belmonte, "Clustering dinámico para tiempo de encendido mínimo en redes inalámbricas de sensores (CLUDITEM). Análisis de las fases de envío de datos.," en Libro de Resúmenes de la 36ª Conferencia Latinoamericana de Informática (Asunción, Paraguay). CLEI 2010. pp. 49-50. Trabajo completo en el CD del evento.
- [11] J. Ou and V. K. Prasanna, "Rapid energy estimation for hardware-software codesign using FPGAs," in EURASIP Journal on Embedded Systems, vol. 2006, 2006, pp. 1-11.
- [12] XILINX INC. PicoBlaze 8-bit Embedded Microcontroller User Guide. Disponible en: http://www.xilinx.com/support/documentation/ip_documentation/ug129.pdf
- [13] ALTERA CORPORATION. Nios II Processor Reference Handbook San José, USA. Disponible en http://www.altera.com/literature/hb/nios2/n2cpu_nii5v1.pdf
- [14] XILINX INC. MicroBlaze Processor Reference Guide. Disponible en: http://www.xilinx.com/support/documentation/sw_manuals/edk82i_mb_ref_guide.pdf
- [15] K. Olukotun and L. Hammond, "The future of microprocessors," ACM Queue Magazine, vol.3, pp. 26-34, 2005.
- [16] B. Fletcher, "FPGA embedded processors: revealing true system performance," in Proceedings of The 2005 Embedded Systems Conference (San Francisco, USA), 2005, pp. 2-18.
- [17] XILINX INC. Spartan-3 Starter Kit Board User Guide. Disponible en: <http://www.digilentinc.com/Data/Products/S3BOARD/S3BOARD3.pdf>
- [18] K. Chapman, "200 MHz UART with Internal 16-Byte Buffer", XILINX INC. USA, 2008. Disponible en: http://www.xilinx.com/support/documentation/application_notes/xapp223.pdf
- [19] XILINX INC. ISE WebPack Design Software. Disponible en: <http://www.xilinx.com/tools/webpack.htm>
- [20] XILINX INC. Embedded System Tools Reference Manual. Disponible en: http://www.xilinx.com/support/documentation/sw_manuals/edk82i_est_rm.pdf
- [21] XILINX INC. CoreConnect Architecture - On-chip Peripheral Bus. Disponible en: http://www.xilinx.com/ipcenter/processor_central/coreconnect/coreconnect_opb.htm
- [22] INTRONIX. 34 Channel LA1034 Logicport Logic Analyzer-Home Page. Disponible en: <http://www.pctestinstruments.com/index.htm>

Instrumentación virtual en tiempo real con FPGA: Analizador de Espectros

Emanuel Trabes; Carlos Sosa Páez; Víctor Yelpe; Diego Costa (*)

Laboratorio de Electrónica, Investigación y Servicios
Facultad de Ciencias Físico, Matemáticas y Naturales / Universidad Nacional de San Luis
San Luis, Argentina
e-mail: {3024306, sosapaez, vayelpe, dec}@unsl.edu.ar

Resumen—La instrumentación virtual reconfigurable es un campo de aplicación de la lógica programable en el que el usuario y el desarrollador pueden definir la funcionalidad del sistema por software y modificar las características del equipo reprogramando el hardware. Esto brinda la posibilidad de contar con instrumentos “a medida”, con altas prestaciones y relativo bajo costo. En el trabajo se realizó un analizador de espectros digital en tiempo real en FPGA descrito en VHDL, con una interfaz USB para conexión a una PC con presentación gráfica de los resultados y control de los parámetros desarrollados con software libre y código abierto. La integración de estos tres elementos se hizo sobre una plataforma de desarrollo para otras aplicaciones en la temática.

Palabras clave: Instrumentación virtual reconfigurable, tiempo real, analizador de espectros, FPGA, VHDL, software libre, código abierto.

I. INTRODUCCIÓN.

En un instrumento tradicional, el elemento que determina la funcionalidad es el *hardware* definido por el fabricante. En un instrumento virtual, es el *software* el que determina las características, bajo el control del usuario, con las limitaciones impuestas por el fabricante. En un instrumento virtual reconfigurable, el uso de la lógica programable es el elemento que brinda la reconfigurabilidad, ya que permite que el usuario y particularmente el desarrollador determinen el *hardware* y el *software*, y por ende, definan la funcionalidad permitiendo ampliar características, agregar funciones, brindar fácil accesibilidad al uso de datos para su posterior almacenamiento y procesamiento, incorporar más instrumentos con el mismo circuito e integrarlos a sistemas más complejos.

En la Figura 1 se muestra un esquema de un instrumento virtual reconfigurable [1] para medición o generación. Cuenta con un *hardware* para la etapa de adquisición (sensores y actuadores, MUX y DEMUX, acondicionamiento, y conversión A/D y D/A) pero la etapa de procesamiento (cálculo, temporización, memoria, etc.) y la etapa de presentación y ajuste (pantallas, indicadores, potenciómetros, llaves, etc.), se realizan combinadamente en *software* y en *hardware*. La articulación de estos elementos requiere de una interfaz externa estándar para conexión del circuito con la PC que corre el programa (paralelo, RS-232, Ethernet o USB) y de interfaces internas para la vinculación entre los módulos del *hardware* (CoreConnect, AMBA y crecientemente WISHBONE).

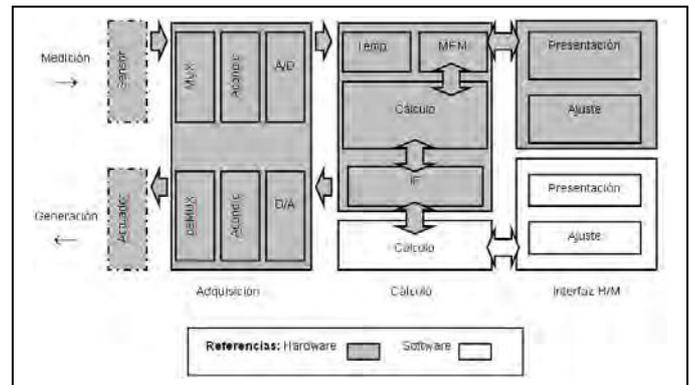


Figura 1. Diagrama en bloques de un instrumento virtual reconfigurable.

En este trabajo se desarrolló un analizador de espectros en tiempo real completo, sobre una plataforma de desarrollo para instrumentación virtual reconfigurable [2] con sus bibliotecas *software* y *hardware*. El circuito se describió con diseño modular [3], bajo el estándar WISHBONE [4] de conexión interna y con interfaz externa USB hacia la PC. La interfaz gráfica se realizó en Qt 4.5, software que posee licencia LGPL.

II. HARDWARE.

A. Dispositivos utilizados.

Se utilizó una placa Fusion Embedded Development que contiene un FPGA M1AFS1500 con encapsulado 484FBGA de Actel Microsemi [5] con su placa de programación, circuito de configuración, indicadores y pulsadores para control y depuración, puertos de comunicación USB y Ethernet 10/100. La misma se muestra en la Figura 2. Para la adquisición de señales, a la placa mencionada se le acopló la LP Data Conversion Daughter Board desarrollada por el ICTP (**). La misma cuenta con un convertor A/D (AD9201) y un convertor D/A (LTC1654), cada uno con conectores y selector de rango de convertor, además de conectores para incorporar a la placa principal y sensores de temperatura.

B. Metodología de diseño y herramientas utilizadas.

La descripción de los circuitos se hizo generando los códigos en VHDL [6] [7] usando diferentes técnicas. Se utilizó un bloque Analizador [8] generado mediante herramienta (***) de conversión de bloques esquemáticos de modelado y simulación a código HDL, al cual se le realizaron

(*) Pertenecientes al Proyecto “Instrumentación Virtual Reconfigurable” financiado por Ciencia y Técnica de la UNSL.

(**) Esta placa ha sido provista por el ICTP (International Center For Theoretical Physics) y fue desarrollada por A. Cicuttin, M. L. Crespo y A. Shapiro.

(***) Las herramientas de *software* fueron recibidas como premio Designer Forum Mention del III Southern Conference on Programmable Logic.

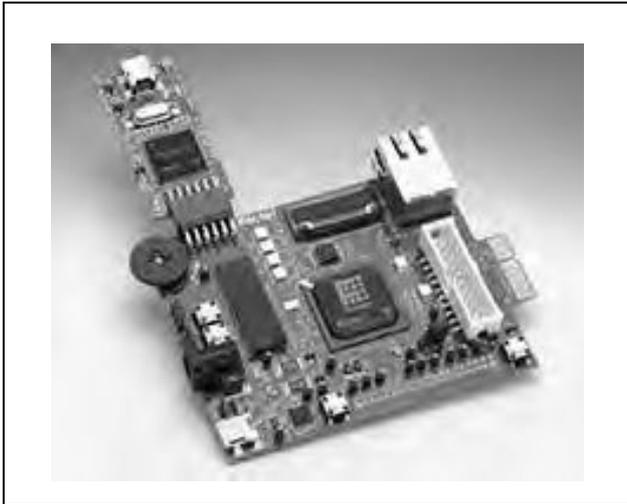


Figura 2. Placa de desarrollo Fusion de Actel con programador.

múltiples optimizaciones para reducir el número de celdas requeridas, según se muestra en Figura 3. El bloque de reloj y la interfaz serie con la PC se realizaron con un generador de *cores* que implementa los circuitos mediante librerías de diseños ya realizados, parametrizados, y optimizados para el FPGA elegido mediante la invocación de primitivas. El resto de los módulos de adquisición, temporización, reinicio y la lógica que enlaza todas las partes se realizaron describiendo directamente el código en VHDL.

En el presente trabajo, para depuración se utilizó el Libero 9.1 (que posee la herramienta Smart Gen para generar *cores*), Synplify DSP AE para la síntesis, Designer para posicionamiento-ruteo, Flash Pro para programación y ModelSim para simulación pre-síntesis, post-síntesis y *post-layout* [9]. Para la conversión de modelo de simulación a código HDL se usó Synplify DSP [10].

C. Diseño en el FPGA.

El diseño programado en el FPGA consta de diferentes partes.

Un bloque generador de reloj con un PLL provee una señal de 20MHz a partir de un oscilador a cristal de 50 MHz

ubicado en la placa.

El convertor A/D es controlado por un bloque ADC que adecua el formato de datos a 8 bits de ancho de palabra para el resto de los bloques.

El bloque que realiza el cálculo de la Transformada Discreta de Fourier (DFT) posee un puerto de entrada con registros, seguido de un generador de ventana LUT con una secuencia de 1024 puntos de una función de Blackman que se multiplica con la señal de entrada para minimizar el efecto de Gibbs. La secuencia enventanada es procesada en la sección central que implementa el algoritmo de la Transformada Rápida de Fourier (FFT) [11], tiene una latencia de 2061 ciclos. Al resultado en forma directa con sus partes real e imaginaria (en tramas de 1024 muestras en dos vectores de 13 bits con formato entero y con signo) se le calcula el valor absoluto mediante un CORDIC (COordinate Rotation DIGital Computer) eficiente que usa sumas, restas, desplazamientos y LUTs. Para utilizar los valores en todo el rango del espectro, se permuta el orden de la segunda mitad de las muestras de la salida de la sección anterior. El puerto de salida de 14 bits en formato entero y sin signo registra los datos. Para la sincronización con el bloque de la interfaz con la PC, se genera una señal con forma de onda rectangular cuyo período es de 512 muestras, estableciendo un mecanismo de disparo automático.

La interfaz con la PC se realizó a través de un puerto USB manejado por un controlador que contiene la placa de desarrollo Fusion. Si bien la comunicación física se realiza por medio de ese bus, el controlador permite que los datos presentados para la transmisión, y los datos leídos desde la recepción, se presenten en formato RS-232. Esto facilita el diseño dado que para el presente trabajo, sólo fue necesario describir un controlador de puerto RS-232 que fue implementado con el generador de *cores*, dado que el *hardware* se encarga de la conversión de formatos y el *software* provee los drivers necesarios para un funcionamiento armónico del sistema. La desventaja de este puente de buses reside en la reducción de la velocidad de transmisión, que para el presente desarrollo no constituyen un problema dado que resultaría inútil tratar de presentar más de 50 frames por segundo, tasa mucho menor a la que se alcanza a pesar de la limitante mencionada.

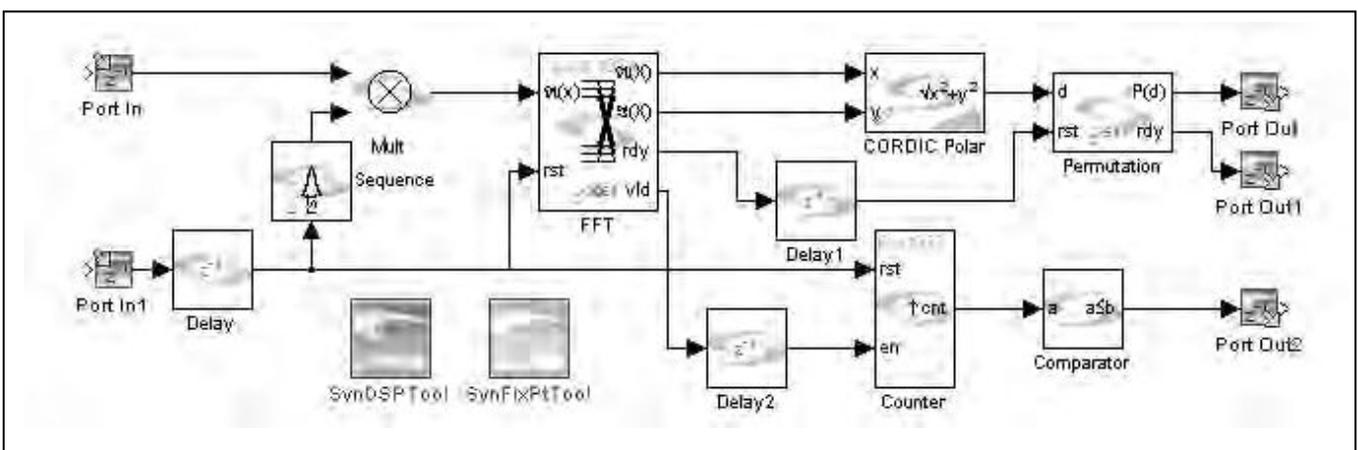


Figura 3. Esquemáticos del bloque Analizador en el ambiente de modelado y simulación.

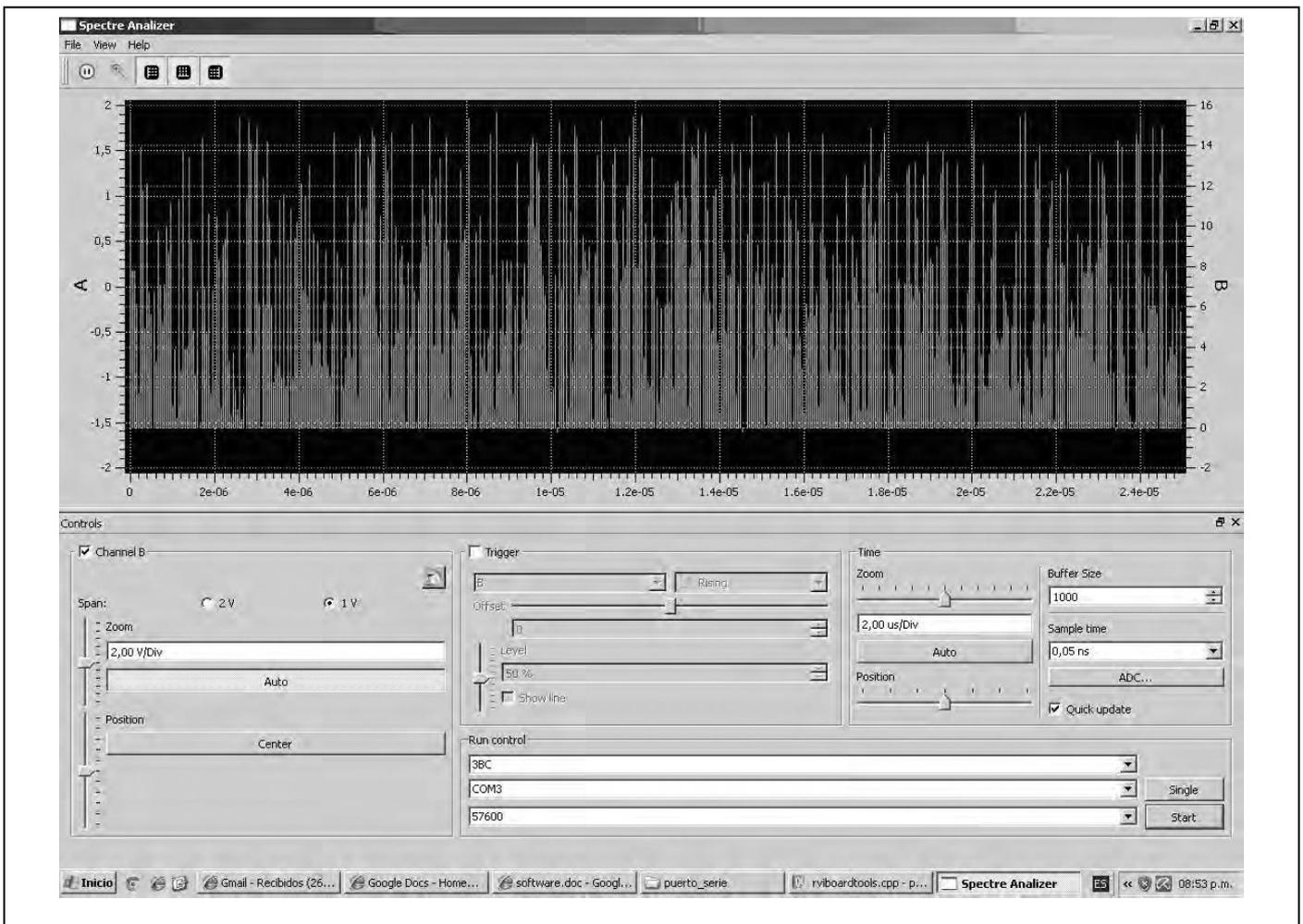


Figura 4. Interfaz gráfica del software desarrollado para la presentación de resultados y ajuste de parámetros.

III. SOFTWARE.

Se diseñó una interfaz gráfica en Qt, simple e intuitiva que permite operar el instrumento de manera similar a uno tradicional. Para el desarrollo del *software*, se han utilizado las bibliotecas Qt y el IDE Qt Creator. Las bibliotecas Qt están disponibles para varias plataformas (Windows, MAC OS, Linux y Unix) y el código está íntegramente escrito en un lenguaje portable (C++) y estructurado adecuadamente para que sea fácil su lectura, realización y traspaso a otra plataforma.

En la Figura 4 se muestra la interfaz gráfica del *software* compilada para una plataforma Windows. La misma se configuró para utilizar un canal, pudiéndose agregar otro sin dificultad. Se definieron controles de atenuación y posición horizontal y vertical con escala ajustable. Si bien el disparo es realizado automáticamente por el *hardware* que señala el inicio de la trama de datos para presentar en pantalla, se pueden programar otras modalidades de disparo.

El programa está estructurado de manera que existen dos *threads*:

- La *thread* principal, que básicamente se encarga de dibujar los datos en pantalla, hacer la interfaz de usuario, etc.
- La *thread* de comunicación, que se encarga de tomar los datos por el puerto serie y ponerlos adecuadamente en memoria para luego ser dibujados por pantalla.

La placa Fusion que se utiliza, no solamente provee el *hardware* y los IP *cores* adecuados para poder implementar una comunicación equivalente a la de un puerto serie normal pero a través de un USB, sino que también dispone de los drivers necesarios para crear un puerto serie virtual del lado de la PC, de manera que, tanto en el *hardware* como en el *software*, la comunicación es tratada como si se estuviera realizando mediante un puerto serie.

Para la versión Windows, se utilizan las bibliotecas de comunicación serie que ya están embebidas en el sistema operativo, por lo que no se necesita librería externa alguna.

La librería utilizada permite dos opciones para la comunicación serie:

- *Non overlapped io*, en la cual la función espera el dato hasta que este disponible para ser utilizado, y

- *overlapped io*, que es más sofisticada, y se basa en preguntar cada determinado tiempo si ha llegado un dato que luego es leído.

Debido a que se utiliza una *thread* aparte para la comunicación y dado que la forma *overlapped* de la función no es compatible con muchos sistemas operativos, se optó por la forma *non-overlapped*.

El programa en sí, consta de cuatro capas, implementadas cada una en una clase para su fácil lectura.

- Capa física, en la cual se implementa la forma en la que el programa lee los datos del puerto. Esta sería la capa a modificar si se quisiera cambiar la forma de interconexión física.
- Capa de comunicación, en la que se toman los datos y se los arregla en tramas para luego ser mostrados en pantalla como un conjunto.
- Capa de placa, en la que se usan las utilidades que posee Qt para dibujar los datos e hacer la GUI con la cual se comunica el usuario con el programa.
- Capa principal, que engloba a todas las demás.

IV. RESULTADOS.

En el presente trabajo se logró implementar un instrumento virtual reconfigurable para análisis espectral completo, con altas prestaciones y bajo costo, sobre una plataforma de desarrollo que integra todas las etapas desde la adquisición, el procesamiento de cálculo y la presentación del resultado. La metodología de diseño y el tipo de dispositivo utilizado permite integrar nuevas funciones al presente y nuevos instrumentos para conformar un sistema de medición. Esto, se ve favorecido porque el *software* usado para la interfaz gráfica es de código abierto, lo que facilita el trabajo cooperativo para futuras ampliaciones.

El rango dinámico se definió entre -0,5 V a 0,5 V aunque es ajustable según la configuración de DIP switches dispuestos en la LP Data Conversion Daughter Board.

La resolución en amplitud en la entrada está dada por el ancho de palabra de 8 bits que optimiza el diseño. La resolución interna se limitó a la mejor precisión posible de obtener con los recursos que insume el bloque que calcula la FFT. Una resolución mayor insumiría más celdas lógicas que las disponibles. Con esto, la salida se fijó en 14 bits.

La resolución en frecuencia es de 512 muestras, limitada por la máxima precisión posible que se le pudo configurar al bloque que calcula la FFT capaz de ser sintetizado en el FPGA disponible. Una FFT con más de 512 puntos requeriría más recursos de los disponibles y una FFT de 256 puntos implicaría una degradación notable de la precisión para la transformada calculada.

El ancho de banda del instrumento, está limitado por la máxima frecuencia a la que puede funcionar el bloque Analizador que, según el reporte temporal, es de 128,75 Mhz, por lo que se puede lograr un ancho de banda de 64,375 MHz.

Para verificar el funcionamiento de la interfaz con la PC a diferentes frecuencias, se tomó una señal analógica de

salida conformada por las tramas del espectro para su visualización en una pantalla de osciloscopio a fin de contrastarla con la presentación en el monitor de la PC. El conversor D/A que posee la LP Data Conversion Daughter Board es un conversor serie de 25 bits de palabra con 14 bits de carga útil. Usando un reloj de 20 MHz se logró una tasa de reconstrucción de 800 kHz para los 25 bits por lo que fue posible verificar la interfaz con señales hasta los 400 kHz. Para la verificación con señales de frecuencia hasta 15 MHz se utilizó un generador de formas de onda arbitrarias Hewlett Packard 33120A.

En la Tabla I se detalla el reporte de recursos. En la Tabla II se consigna el informe de tiempos. Cabe señalar que el retardo entrada-salida oscila entre 3,111 y 6,791 ns. En la Tabla III se muestra el reporte de consumo.

TABLA 1. REPORTE DE RECURSOS UTILIZADOS

Recurso	Utilizados	Disponibles	Porcentaje
CORE cells	30030	38400	(78.20%)
IO(W/clocks)	21	223	(9.42%)
GLOBAL(Chip+Quadrant)	6	18	(33.33%)
PLL	1	2	(50.00%)
RAM/FIFO	40	60	(66.67%)

TABLA 2. REPORTE DE TEMPORIZACIÓN

Nombre	Período (ns)	Frecuencia (MHz)	Máx Clock Out (ns)	Min Clock Out (ns)
Ext Clk	4	250	8,111	4,133
U0/U1/Core: GLA	7,764	128,750	17,503	3,490
U2/present_state[1]:Q			15,906	5,420
U4/Clk_0:Q	57,015	17,539	9,733	3,864

TABLA 3. CONSUMO DE POTENCIA

	Potencia [mW]	Porcentaje
Potencia dinámica	0,496	2,5%
Potencia estática	19,320	97,5%
Potencia total	19,816	100%

La interfaz HM para presentación de resultados y ajustes de control del instrumento realizada con Qt permitió resultados óptimos, destacándose la metodología de desarrollo cómoda provista por el ambiente de diseño IDE Qt Creator, su uso versátil e intuitivo, la flexibilidad y la fácil validación, etc. Si bien existe buena documentación y la misma es abundante, existieron algunos problemas a la hora de depurar el diseño y no se encontraron todas las soluciones con la facilidad esperada. Sin embargo, las ventajas obtenidas superan ampliamente los problemas presentados, máxime si se tiene en cuenta el costo que poseen otras herramientas similares de uso comercial.

REFERENCIAS

- [1] A. Manuel, D. Biel, J. Olivé, J. Prat. F. J. Sánchez, "Instrumentació virtual. Adquisició, processament i anàlisi de senyals", Ediciones UPC, junio 2001, ISBN 84-8301-473-4
- [2] F. Aguilera, C. Sosa Páez, D. Costa, "Implementación de un osciloscopio en una plataforma de instrumentación virtual reconfigurable", Congreso de Microelectrónica Aplicada 2010, Tercer Milenio. ISBN 978-978-9374-65-8, pp. 110 a 112.
- [3] A. Cicuttin, M. L. Crespo, A. Shapiro y N. Abdallah, "A block-based open source approach for a reconfigurable virtual implementation platform using FPGA technology", IEEE International Conference on Reconfigurable Computing and FPGA's ReConFig 2006, 2006, pp 1 a 8.
- [4] Specification for the WISHBONE System-on-Chip (SoC), Interconnection Architecture for Portable IP Cores; Revision: B.3, Released: September 7, 2002
- [5] Documentos técnicos de Actel Corporation, <http://www.actel.com>
- [6] K. Skahill, "VHDL for programmable logic", Addison-Wesley, 1996.
- [7] J. Bhasker, "VHDL primer", 3th edition, Prentice Hall, 1999.
- [8] V. Yelpo, D. Costa, C. Sosa Páez, "Módulo de cálculo de la Transformada Rápida de Fourier para analizador de espectros en tiempo real en FPGA", Congreso de Microelectrónica Aplicada 2010, Tercer Milenio. ISBN 978-978-9374-65-8, pp. 23 a 28.
- [9] Manuales de uso del Libero, Designer, Flash Pro y ModelSim.
- [10] Synplify® DSP User Guide
- [11] J. G. Pproakis y D. G. Manolakis, "Tratamiento digital de señales", 3ra ed., Prentice-Hall, 2003, pp 457 a 507.

Diseño y caracterización de un núcleo orientado a aplicaciones dedicadas

Matias Ezequiel Vara
Facultad de Ingeniería
Universidad Nacional de La Plata
Argentina
mvara@barcala.ing.unlp.edu.ar

Alejandro L. Veiga
Facultad de Ingeniería
Universidad Nacional de La Plata
Argentina
veiga@fisica.unlp.edu.ar

Abstract— En este trabajo se presentan los criterios de diseño de un kernel portable para aplicaciones dedicadas o monopropósito, escrito enteramente en Pascal. El núcleo utiliza la asignación dedicada de recursos y la planificación cooperativa de hilos a fin de optimizar el desempeño en entornos multicore. Se compara su desempeño con dos sistemas operativos de propósitos generales, utilizando un algoritmo de ordenamiento paralelizable.

Kernel; pascal; dedicado; embebido; multicore; portable; multihilo

I. INTRODUCCION

Los Sistemas Operativos (SO) surgieron como una forma de homogeneizar el hardware de las computadoras, facilitando el acceso a los recursos al usuario y realizando un aprovechamiento óptimo de éstos [1]. Debido a esta generalización, cuando se utiliza un SO de uso general para un único propósito puede no estar sacándose provecho del hardware de manera óptima.

Llamamos aplicaciones dedicadas o monopropósito a programas como servidores web o datadrivers, los cuales se encuentran sobre una red pública (internet) o privada y deben atender solicitudes de servicios de miles de usuarios de forma simultánea. Otro ejemplo de este tipo de aplicaciones son los problemas de cálculo numérico y simulaciones para física de altas energías, física de materia condensada, genoma humano, meteorología, entre otros.

Por otro lado tenemos los sistemas embebidos, que también son dedicados para una tarea en particular. En estos tenemos otras restricciones como ser: bajo consumo, memoria reducida y tiempos de respuesta rápidos.

Para este tipo de aplicaciones no existe actualmente una solución particular, sino que se utilizan un SO de uso general ejecutando aplicaciones tradicionales. Se suele dedicar un hardware particular para realizar una tarea específica. Como sólo se ejecuta una aplicación en la computadora, los SO en estos ambientes se denominan SSP (del inglés System for Single Porpouse).

El siguiente trabajo tiene como objetivo mostrar el diseño de un kernel optimizado para el caso de aplicaciones monopropósito y comparar el desempeño del sistema resultante con SO de uso general.

II. DISEÑO DEL KERNEL DEDICADO

El kernel desarrollado es muy sencillo, con llamadas al sistema muy simples, de forma que la mayor parte del tiempo los procesadores estén realizando tarea útil para la aplicación de usuario. De éste modo, las capas del kernel y de arquitectura son muy ligeras. Esto significa que brindan los procedimientos mínimos para que el programador desarrolle la aplicación.

El lenguaje elegido para el desarrollo del proyecto fue Pascal, utilizando el compilador Freepascal [2]. Esta decisión se basa en que la sintaxis permite que el código sea entendido fácilmente, permitiendo simplificar los procedimientos de testeo y resultando de lectura directa para el estudiante.

A continuación se presentarán las premisas de diseño del sistema dedicado y sus diferencias con las implementaciones en SO de uso general.

A. Kernel incluido en la aplicación de usuario

Una de las premisas en el diseño del núcleo fue que éste debería estar optimizado para la ejecución de una única aplicación. Para esto se decidió incluir todo el kernel y la aplicación de usuario en un único ejecutable. El kernel fue escrito en forma de unidades sobre el lenguaje Pascal [3].

El compilador ve como un único programa a la aplicación y al kernel. Al compilar el programa dedicado se genera un único ejecutable denominado *toro.exe*. En éste se encuentran linkeadas tanto las librerías del kernel como la aplicación de usuario, siendo transparente para el programador. El resultado es un ejecutable especial debido a que es capaz de arrancar por sí solo a la PC, inicializar el kernel y luego ceder la ejecución a la aplicación de usuario.

B. Independencia de la arquitectura

Una de las principales ventajas de TORO es ser independiente de la arquitectura sobre la que se ejecuta. Se logra a partir de la utilización de la unidad denominada *Arch* (por architecture en Inglés). Ésta cuenta con un conjunto de procedimientos que son los mismos para todos los procesadores. Hasta el momento fueron portadas las arquitecturas x86 y x86-64 [4].

La unidad *Arch.pas* es la única que posee código en lenguaje Assembler. Debido a que el Assembler es

dependiente de la arquitectura donde se ejecuta, se evitó su uso en el resto del código y sólo está presente en las partes que son procesador-dependiente como pueden ser los drivers.

C. Ejecución en modo kernel

En TORO tanto el código del kernel como el de usuario se ejecutan con el máximo nivel de privilegio, por lo tanto no existe distinción entre el código del kernel y el de usuario. Al intentar comunicarse la aplicación de usuario con el kernel para pedir algún servicio, lo hace simplemente ejecutando un procedimiento de una librería del kernel. Así no es necesario implementar una interrupción para lograr la comunicación, con todo lo que ella conlleva: cambios de contextos, cambios de niveles de privilegio, etc.

D. Planificación cooperativa

En TORO la unidad de ejecución son los hilos. El encargado de la asignación de hilos es el planificador; éste utiliza el algoritmo de hilo cooperativo. La asignación de hilos es siempre local, por lo que cada planificador es independiente del resto de los procesadores. Una vez asignado un hilo a un procesador, el hilo retorna el control al kernel a través de una llamada al sistema, informando que su tarea terminó y que puede planificar otro hilo.

La elección de este algoritmo de planificación forma parte del diseño intrínseco del kernel, y está acompañado por otros puntos de diseño. El modelo de hilo cooperativo está íntimamente relacionado con los mecanismos necesarios para hacer cumplir la exclusión mutua y con las aplicaciones que se ejecutarán sobre TORO.

Un punto muy importante en un SO es la manera en que se implementa el cambio de contexto. Esta es una tarea crítica debido a que se ejecuta de forma continua. El cambio de contexto implementado en TORO es por software. Se utilizan técnicas de programación para no depender de los mecanismos de cambio de contexto que brinda un hardware en particular. Como el cambio de contexto se realiza siempre luego de haberse invocado una llamada al sistema, el planificador supone que en ese instante los registros del procesador no están siendo utilizados por la aplicación de usuario. De esta forma se limita únicamente a salvar el estado de la pila del hilo que debe ser removido.

El cambio de contexto implementado en TORO es más rápido que el de hardware y que el implementado en un SO de uso general. La elección del método de cambio de contexto se encuentra directamente relacionado con el modelo de hilo cooperativo.

E. Migración de hilos entre procesadores

En ambientes multicore es preciso contar con la capacidad de crear hilos no sólo en el procesador local sino en procesadores remotos. TORO brinda la posibilidad de crear hilos en cualquier procesador, desde cualquier procesador, a través de una llamada al sistema.

Se pueden diferenciar dos procedimientos en el kernel:

- i. La emigración de hilos: cuando los hilos se dirigen hacia otro procesador diferente al que está ejecutando el hilo que los creó.

- ii. La inmigración de hilos: cuando el procesador huésped encola en el planificador local los hilos que provienen de otros procesadores.

Éste es el único punto del núcleo en el cual se requiere de algún tipo de mecanismo de sincronización entre los procesadores para poder enviar y recibir los procesos que deben migrar. La inmigración y emigración de hilos entre procesadores se realiza únicamente cuando se invoca al planificador (cuando el hilo cede el procesador al kernel).

F. Dedicación de recursos

En TORO, para reducir los problemas provocados por estructuras de memoria compartidas entre los procesadores, se hace uso de la dedicación de recursos (disco duro, memoria, interfaz de red, etc) [5]. La dedicación se realiza a un procesador dado, de forma que sólo este procesador accederá al recurso. La dedicación queda en manos del programador quien decide a qué procesador dedica cada recurso. Esto evita la competencia entre procesadores para acceder a una región de memoria dada, debido a que para cada recurso el kernel debe tener estructuras que guardan información acerca del él. Cuando se realiza la dedicación de un recurso, sólo ese procesador puede realizar operaciones de escritura/lectura sobre él.

Si bien este mecanismo incrementa el trabajo del programador, la aplicación posee una ejecución más limpia debido a que se sabe de antemano qué procedimiento se ejecutará en cierto procesador y permite dividir el problema principal en problemas independientes que se ejecutan en procesadores de forma paralela.

G. Manejo de memoria

El modelo de memoria implementado es plano, o sea que no se hace uso de la paginación ni de la segmentación. Con esto se gana portabilidad y la asignación de memoria resulta más sencilla. La memoria –como todo recurso– es dedicada. El modelo utilizado es el NUMA. Los asignadores de memoria que se ejecutan en cada procesador son independientes uno del otro, evitando la necesidad de sincronización entre ellos.

Ésto se hizo con el fin de aprovechar las últimas tecnologías de acceso a memoria como HyperTransport [6] e Intel QPI [7]. Debido a que la asignación de memoria para un dado procesador está restringida a una región, no hay problemas de que una misma línea de memoria se encuentre en dos cache diferentes, reduciendo el *cache line bouncing*. Se fuerza la utilización de memoria local para cada procesador, reduciendo la utilización de memoria remota, la cual presenta una alta latencia.

H. Acceso no bloqueante a la red

Como todo recurso, el acceso a red es dedicado a un procesador dado y es el usuario quien realiza la dedicación. La principal diferencia que presenta el stack TCP/IP con respecto a otros SO, es que los procedimientos que se utilizan para el acceso a la red son no-bloqueantes. Ésto quiere decir que cuando se realizan operaciones de red de escritura o lectura el hilo no se duerme esperando que los datos estén listos. Por el contrario, se utilizan flags que informan al hilo. Mientras espera que los datos estén listos, el hilo puede estar realizando

otra actividad, como por ejemplo leyendo o escribiendo sobre otra conexión.

Esto permite que un único hilo manipule miles de comunicaciones a la vez, y de esta forma se descongiona el planificador debido a que se disminuye el número de hilos y el tiempo que se pierde al realizar el cambio de contexto entre cada hilo.

III. EVALUACIÓN DEL SISTEMA

TORO saca el máximo provecho de aplicaciones multihilo. Por lo tanto, al momento de elegir el algoritmo para realizar las pruebas, se buscó uno que pudiera ser descompuesto en problemas más sencillos y que no involucre excesiva comunicación entre las unidades de ejecución. Si bien esta restricción parece arbitraria, es una característica que representa a una gran parte de las aplicaciones que requieren performance masiva como pueden ser: servidores web, análisis del genoma humano, física de partículas, etc.

La aplicación elegida fue ejecutada en entornos TORO, Linux y Windows. Debido a que TORO permite configurar el hardware en el que se ejecuta la aplicación de manera óptima, y que la ejecución del SO está dedicado a esta aplicación, se espera que se obtenga un mejor rendimiento en comparación con un SO de uso general.

A. El algoritmo evaluado

El algoritmo elegido fue el de ordenación de números denominado *MergeSort* u ordenamiento por mezcla. A diferencia de los algoritmos de ordenación seriales como el de la burbuja o *QuickSort*, éste permite ser paralelizado muy eficientemente. A partir de una tabla de números no ordenada, se divide la tabla en grupos y se realiza la ordenación parcial de cada uno (sort). Finalmente se intercalan (merge) los grupos ordenados.

B. Parámetro comparado

Se realizaron medidas del número de ciclos de reloj que utiliza la aplicación para ordenar N elementos. Se prefirió medir los ciclos de reloj en vez de tiempos, debido a que la velocidad de reloj varía máquina a máquina. En cambio si medimos ciclos de reloj, obtenemos una medida mucho más general mientras utilizemos siempre la misma arquitectura de computadora.

El tiempo que tarda la aplicación en realizar el ordenamiento parcial de los elementos (tiempo de sort), puede ser escrito como:

$$t_{sort\ total} = t_{sort} + t_{planificador} \quad (1)$$

Siendo t_{sort} el tiempo neto destinado al ordenamiento parcial y $t_{planificador}$ el tiempo que se pierde en los cambios de contexto del planificador y tareas del sistema.

Luego, podemos decir que:

$$t_{sort} \propto n_G \cdot n_e^2 \quad (2)$$

$$t_{planificador} \propto n_G \quad (3)$$

Siendo n_G el número de grupos y n_e el número de elementos por grupo. La ventaja de este algoritmo radica en que cada grupo de elementos puede ser ordenado independiente del resto de los grupos. Cada grupo puede ser ordenado por un único hilo o por múltiples hilos corriendo en procesadores diferentes.

Luego si $n_e^2 = \left(\frac{n_E}{n_G}\right)^2$, con n_e el número de elementos total, reemplazando en (1) podemos decir que:

$$t_{sort\ total} = k' \cdot \frac{n_E^2}{n_G} + k_{sistema} \cdot n_G \quad (4)$$

Siendo $k_{sistema}$ y k' constantes de proporcionalidad característica del SO sobre la que se ejecuta la aplicación. Para $k' \cdot \left(\frac{n_E}{n_G}\right)^2 \ll k_{sistema} \cdot n_G$ el tiempo tendrá un comportamiento lineal, determinado por $k_{sistema}$. Conocer el valor de $k_{sistema}$ será útil para observar cómo se comportan los distintos SO ante un incremento de la paralelización.

C. Implementación

La aplicación de prueba fue escrita en lenguaje Pascal, utilizando el compilador FreePascal versión 2.4.0, siendo ésta la última versión oficial publicada en el momento de realizar las experiencias. Se utilizó el mismo compilador tanto en TORO como en Windows/Linux, descartando posibles diferencias a nivel compilador, que podrían perjudicar la comparación. Fue utilizado el mismo lenguaje que para escribir el núcleo.

En entornos Windows/Linux se utilizaron las librerías abiertas MTProcs [8]. Estas librerías permiten la manipulación de hilos en ambientes Windows/Linux, facilitando su creación y migración. En TORO se utilizaron las llamadas al sistema que éste brinda para la manipulación y creación de hilos en entornos multicore. El algoritmo utilizado para ordenar cada grupo es el mismo que en la implementación Windows/Linux.

El número de hilos utilizados fue fijado igual al número de procesadores. A cada hilo se le asignó una cantidad de grupos a ordenar. En las experiencias se fue incrementando el número de grupos y observando el comportamiento del sistema.

La aplicación fue ejecutada en un sistema AMD Turion64 x2 de 2.8 GHz. Las pruebas se hicieron sobre los SO de 64 bits: Ubuntu, Windows 2003 Server y TORO. La versión de Ubuntu utilizada fue la 9.10, con el kernel Linux versión 2.6.31.

D. Mediciones sobre sistema monoprocesador

Esta prueba se realizó utilizando un único procesador, con un único hilo. Se incrementó el número de grupos involucrados hasta 1000, midiéndose el número de ciclos de reloj consumidos.

El número de elementos a ordenar se mantuvo constante. Se realizaron 4 series de medidas por cada SO y luego se promedió el valor para cada grupo. Los resultados que se obtuvieron en los SO antes mencionados se presentan en la Figura 1, donde se puede observar que el número de ciclos de reloj consumidos en los tres sistemas es similar. Los tres siguen aproximadamente la misma curva. Se deduce que no se

obtienen mejoras al correr esta aplicación en SO generales con respecto al núcleo dedicado.

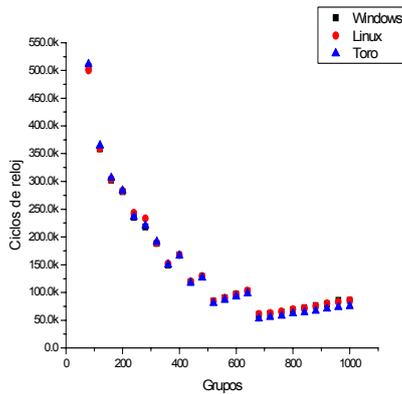


Figura 1. Prueba sobre sistema monoprocesador. Los valores corresponden a promedios en un grupo dado.

El hecho de utilizar un único procesador hace que la aplicación se comporte de manera similar en todos los sistemas. No se observan diferencias notables debido a los distintos algoritmos de planificación que utiliza cada sistema.

E. Mediciones sobre un sistema con procesador dual

Esta prueba se realizó utilizando dos procesadores, por lo tanto se utilizaron dos hilos. Se fue incrementando el número de grupos involucrados hasta 1000, midiéndose el número de ciclos de reloj consumidos.

El número de elementos a ordenar se mantuvo constante. Del mismo modo que en la prueba monoprocesador, se realizaron 4 series de medidas por cada SO y luego se promediaron los resultados para cada grupo. Debido a la dispersión hallada al realizar las pruebas, se debió estimar un error a partir de la resta del valor máximo obtenido para un grupo dado menos la media para ese mismo grupo.

Los resultados que se obtuvieron en los SO antes mencionados se presentan en la Figura 2.

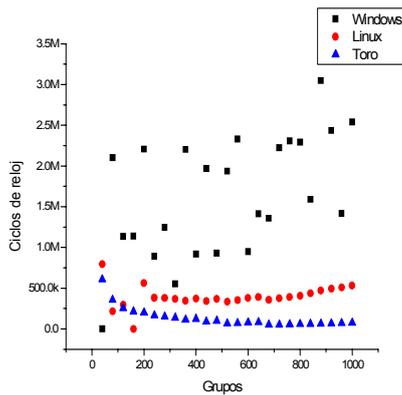


Figura 2. Comparación entre los distintos SO en la experiencia con procesador dual.

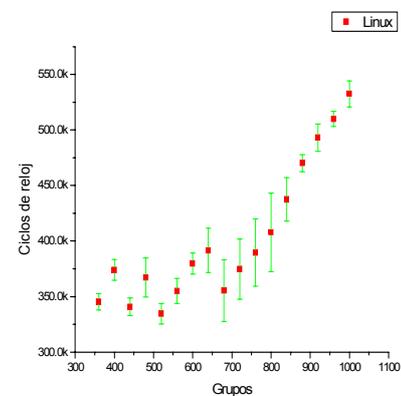
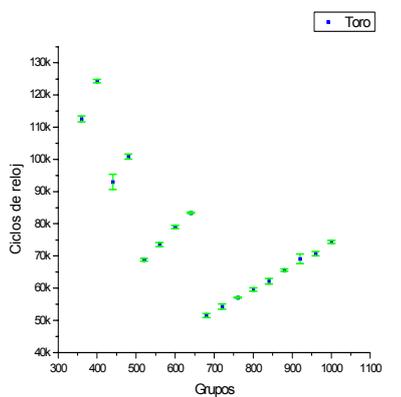
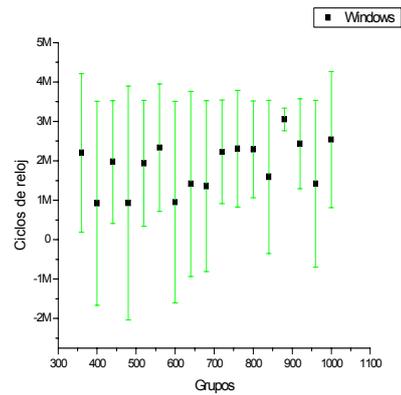


Figura 3. Pruebas sobre sistema dual. Las barras de error corresponden a la dispersión observada en las experiencias.

En la Figura 3 se observa la gran diferencia encontrada entre los tres sistemas, si bien el comportamiento fue asíntotico como se esperaba.

F. Interpretación de los resultados

En el caso de Windows se observa una gran dispersión de los resultados. Suponemos que esto se debe a que en el

momento de realizar las pruebas hay servicios del núcleo corriendo por detrás y el planificador de Windows decidió darle más prioridad a los servicios que a la aplicación. Resultó muy difícil la toma de valores sobre Windows, debiéndose realizar varias veces la experiencia por la gran variación de los resultados. El valor de K obtenido para Windows fue de 2755 ± 1334.98 . La gran dispersión hizo imposible lograr una estimación correcta, de modo que el valor obtenido del ajuste solo puede ser utilizado como una posible cota.

Por otro lado, en el entorno Linux los valores medidos fueron mucho más constantes. La aplicación se comportó de manera más predecible que en el entorno Windows. El valor de K obtenido fue de 576 ± 19.94 .

En el caso de TORO, el comportamiento es muy similar al obtenido en el sistema monoprocesador. Los resultados fueron constantes en las pruebas realizadas, esto se deduce de los pequeños valores de error obtenidos. Se obtuvo un valor de K igual a 71 ± 1.39 , similar a la experiencia realizada en el sistema monoprocesador.

IV. CONCLUSIONES

Cada vez es más común la utilización de sistemas dedicados a una única actividad, como por ejemplo servidores web, ruteadores, motores de cálculo numérico, etc. En estos ambientes donde la CPU es dedicada, un SO de uso general desperdicia los recursos disponibles. Vimos que si se toma como hipótesis que la CPU es dedicada, el kernel puede ser simplificado, reduciendo complejidad y disminuyendo latencias.

Con los supuestos de un sistema multicore y una actividad dedicada surge TORO. Los conceptos de diseño se basaron en simplificaciones impuestas al dedicar una CPU a una única tarea. Por el momento el kernel está apto para realizar tareas sencillas, pero se necesita mucho tiempo de desarrollo todavía para aplicarlo a entornos más exigentes como Internet.

El algoritmo MergeSort resultó ser un buen ejemplo de un algoritmo paralelo de fácil implementación. La utilización de la librería MTProcs facilitó el trabajo de la escritura de la aplicación, independizándonos del SO. Por otro lado la utilización de esta librería oculta la manera en que el SO crea y migra hilos entre procesadores, reduciendo nuestra capacidad de optimizar los procedimientos implementados.

En la implementación sobre TORO la escritura de la aplicación resultó ser más compleja debido a que hubo que interiorizarse con las llamadas al sistema del núcleo dedicado. Pero esto permitió programar el algoritmo de forma óptima, aprovechando eficientemente los recursos.

Al realizar las experiencias se observó claramente que el comportamiento de la aplicación al pasar de un procesador a dos no fue lineal, es decir, que los tiempos no se dividieron por dos. Al contrario, se observó que los tiempos en ciertos casos del sistema dual fueron superiores al sistema monoprocesador, independiente del SO sobre el que se corriera la aplicación.

La escritura de aplicaciones sobre el núcleo dedicado supone una situación de compromiso para el programador entre portabilidad y optimización. En general las aplicaciones escritas en TORO no son portables a otros SO pero suponen una utilización óptima de los recursos. De esta manera, aunque el proceso de escribir la aplicación sobre TORO puede resultar un poco más engorroso, vale la pena si a cambio se obtiene un incremento en la performance.

Como trabajo futuro queda continuar el desarrollo del kernel para lograr aplicarlo a entornos que exigen cada vez más al hardware; desarrollando drivers y nuevos módulos e incrementado la aplicaciones sobre TORO con especial énfasis en el área de control. Por otro lado, continuar realizando experiencias del algoritmo MergeSort en sistemas con más procesadores de forma de comparar mejor el kernel dedicado con respecto a los SO generales.

REFERENCIAS

- [1] Stallings W., Sistemas Operativos, 2ed. Prentice Hall, Madrid, 1997
- [2] Freepascal. <http://www.freepascal.org>.
- [3] Joyanes Aguilar, Luis. Programación en Turbo Pascal, 2 ed.
- [4] Intel. IA-32 Intel® Architecture Software Developer's Manual. Vol3. 2004
- [5] Paula McKenney: RCU vs. Locking Performance on Different Types of CPUs, 2005
- [6] AMD. Software optimization guide for AMD Family 10h Processors, 2008
- [7] Intel Corporation. QuickPath architecture white paper, 2008
- [8] Freepascal Wiki. http://wiki.freepascal.org/Parallel_procedures.

Formulación de una Métrica en la evaluación de los Sistemas Operativos en Tiempo Real para sistemas embebidos.

Ing. Marcelo Romeo¹, Ing. Eduardo Martínez², Ing. Rodolfo Recanzone³, Prof. Frédéric Amiel⁴

¹ Universidad de Belgrano, UNSAM, UTN, ² Universidad de Belgrano, ³ FCEIA – Universidad Nacional de Rosario, ⁴ ISEP – París

Abstract—The fundamental requirements to be successful for a project of a digital system are:

- *Appropriate technological solution to the problem*
- *The quick time-to-market solution.*

On the first point, there are many tools and methods to find a suitable solution cost / performance

On the second point, the market offers low cost assembled and tested boards which are efficient for small productions or good basis for developing a dedicated circuit for large productions.

Today every circuit must be accompanied by a program that will command it. This is where a bottleneck for getting a product in the shortest possible time may occur.

For this reason is that they have developed real-time operating systems that serve as solid basis for the specific program that will solve the problem.

This is why Real-Time Operating Systems were developed, serving as a solid basis for the specific program that will solve the problem.

The aim of this paper is to propose some methods to evaluate different RTOS, and provide the designer with tools that help him to select the most appropriate for his project.

Keywords: *Real Time, RTOS, embedded, benchmarks.*

I. INTRODUCCION

Existen numerosas técnicas para escribir buen software sin el uso de un sistema operativo y si el sistema es sencillo, esas técnicas proveerán una solución apropiada.

En sistemas más complejos el uso de un sistema operativo, disminuirá el tiempo de desarrollo y mejorará la calidad del producto final. El punto de cruce es particularmente subjetivo.

¿Porqué emplear un kernel? ^[1]

- **Minimización de *time-to-market*:** De la misma manera que para disminuir los tiempos de desarrollo del hardware de un proyecto se emplean placas pre-armadas, podemos también emplear un *kernel* que nos disminuya el tiempo de desarrollo del software.
- **Inicialización:** En primer lugar, tendremos buena parte (en algunos casos, toda) de la tediosa y compleja inicialización del sistema resuelta.
- **División del proyecto en tareas:** Además podremos dividir el proyecto en tareas (*tasks*) sencillas de escribir y de probar y controlar las interdependencias entre las mismas. Esas tareas serán modulares ya que tendrán propósitos bien definidos. Las tareas podrán estar constituidas por varios hilos (*threads*) que son procesos livianos,
- **Trabajo en equipo:** Las tareas tendrán claras variables de entrada y salida, por lo que se facilitará la división del trabajo en un equipo de desarrolladores.

- **Eficiencia:** El uso de un *kernel* permite que el software sea completamente *event-driven*, de forma de evitar encuestas innecesarias sobre los requerimientos de atención de dispositivos o tareas sin actividad.
- **Reutilización del código:** La modularidad permite reutilizar código en varios proyectos.
- **Mantenimiento:** La modularidad permite aislar fallas y agregar funciones en forma sencilla.
- **Seguridad:** El empleo de un *kernel* con adecuadas normas de seguridad incrementará la seguridad del sistema haciendo menos probable un crash del conjunto.

II. OBJETIVO

Existen desarrolladores experimentados que sostienen que un RTOS no es imprescindible cuando se tiene un proyecto bien estructurado y con reglas de buen diseño. Contrariamente otros diseñadores sostienen que un RTOS puede ser utilizado aún en tareas sencillas para hacer experiencia y armar bibliotecas, ambas necesarias para proyectos de mayor envergadura.

Suponiendo que hemos decidido que nuestro proyecto requiere el uso de un sistema operativo en tiempo real (*RTOS*), deberemos definir cuál utilizar.

Siempre aparece la tentación de desarrollar nuestro propio RTOS, lo cual es desaconsejado salvo que se trate de una aplicación muy específica no cubierta por los RTOS estándares.

Es una decisión sin reglas generales, propias de cada tipo de proyecto y algo subjetivas. No será lo mismo la selección de un *kernel* para una puerta automática de ascensor que para un router inalámbrico.

Deberemos también comparar los beneficios que nos provee el uso de un RTOS frente a la sobrecarga (*overhead*) que introduce en el sistema.

En este trabajo, deseamos presentar algunos lineamientos que nos ayuden en el análisis, proveyendo algunos puntos a tener en cuenta en la selección del sistema operativo que mejor se perfile para nuestra aplicación. ^[2]

III. PLANTEO

Reafirmamos que el uso de un *RTOS* disminuirá el tiempo de desarrollo del software pues deberá proveernos de:

- Administración de las tareas, conmutando la tarea activa según reglas a definir en cada caso.

- Comunicaciones, resolviendo el manejo de dispositivos de comunicación serie, USB y frecuentemente Ethernet.
- Asignación de recursos a cada tarea (memoria de programa y datos, periféricos a emplear, etc.)
- Servicios
- Confiabilidad

Aislando a las tareas de esos detalles por medio de la sencilla invocación de un programa de interfaz con la aplicación (*API*).

IV. PUNTOS A TENER EN CONSIDERACIÓN EN LA SELECCIÓN DE UN RTOS

a) SEGURIDAD Y CONFIABILIDAD:

La confiabilidad de un RTOS comienza en la robustez de la API. En los más estrictos, se verifica la consistencia de los parámetros pasados a la misma para que no haya errores en la invocación y que el programador desee emplear una tarea inexistente o pretenda emplear la CPU un tiempo mayor al disponible. Esas buenas prácticas preventivas comenzaron con al producirse catástrofes debidas a errores de software que en un comienzo eran inimaginables.

Existen regulaciones internacionales ^[3] ^[4] ^[5] que marcan estrictas pautas que debe cumplir el software en el diseño, desarrollo y prueba (*testing*) de acuerdo con el compromiso de vida de aquellos que se puedan ver afectados por el software (un avión, un equipo electromédico, un lavarropas, etc.).

Existen RTOS que ya han sido certificados y facilitan la aprobación de todo el software por los organismos reguladores.

Dichos RTOS son más costosos, por lo que su uso será recomendable solamente en los casos en que sean imprescindibles.

b) FACILIDAD DE USO

Debe estar adecuadamente documentado, con ejemplos de uso que permitan utilizar sencillamente la API, que es la puerta de entrada de nuestras tareas al mundo del RTOS.

c) POTENCIA CONSUMIDA.

En todos los sistemas operativos se implementa lo que en Windows es el "Proceso Inactivo del Sistema" y que puede emplearse para pasar a un modo de bajo consumo de forma de disminuir la potencia total consumida.

d) COMPORTAMIENTO EN TIEMPO REAL

En una encuesta realizada a desarrolladores de sistemas embebidos, el comportamiento en tiempo real fue el ítem que mayor exigencia requirió del 59% de los interrogados ^[2].

Si bien parece ser un parámetro trascendente no existe uniformidad de definiciones al respecto ni mucho menos como medirlo.

¿Qué es tiempo real?: Un sistema que opera en tiempo real es aquél que interactúa con un entorno con dinámica determinística, es decir que dadas las mismas entradas y estado inicial, recorre los mismos estados intermedios para llegar siempre al mismo estado final, generando las mismas salidas y preferiblemente en el mismo tiempo, de acuerdo con los conceptos de predictibilidad, estabilidad, controlabilidad y alcanzabilidad.

Tomemos como ejemplo el airbag de un automóvil. El tiempo de actuación no deberá depender de factores de menor prioridad como por ejemplo, estar sintonizando la radio del mismo. Se estipula como condición de diseño que deberá responder como máximo en 200 milisegundos y se deberá diseñar el sistema para que en cualquier condición responda en ese tiempo máximo incluyendo la sobrecarga que introduzca el RTOS. Los 200 ms máximos será nuestro entorno de Tiempo Real. Parecería que todo se solucionaría con un procesador de mayor velocidad, pero esta solución de fuerza bruta incrementaría tanto el costo como la energía consumida.

Un *benchmark* que ejercite al RTOS en múltiples funciones permitiría al diseñador un razonable asesoramiento sobre el comportamiento del RTOS. Esos programas de evaluación deberían ser independientes del vendedor y contener código consistente para poder comparar los diversos sistemas operativos, es decir que deberán evaluar actividades que estén soportadas por todos los sistemas evaluados.

e) PROCESAMIENTO DE INTERRUPCIONES

Los sistemas en tiempo real son reactivos por naturaleza, respondiendo a eventos externos por medio de interrupciones.

El hardware responde a esos requerimientos transfiriéndole el control a rutinas de atención de interrupción (*ISRs*) provistas por el propio RTOS o por el usuario.

El procesamiento del pedido de interrupción provoca que la tarea que se está ejecutando pase al estado "interrumpida" almacenándose su contexto en la pila y se comience a ejecutarse la ISR.

Luego de atender a la misma (que debe ser breve por definición), y dependiendo de la configuración del RTOS, se puede retomar la tarea que se estaba ejecutando previamente o bien pasar a ejecutar la de mayor prioridad que se encuentre "lista".

En cualquier caso, deberá retomar el contexto de la nueva tarea a ejecutar y cargarlo en los registros del procesador.

Esta operatoria que involucra atención de interrupciones, cambios de contexto y transferencia de ejecución será el cuello de botella del RTOS y los dos

parámetros que deberán medirse (y formar parte de los parámetros a ser evaluados^[7]) son la latencia de interrupción¹ y la latencia de conmutación de tareas².

f) SERVICIOS PROVISTOS POR EL SISTEMA

Los RTOS deben planificar y gestionar la ejecución de las tareas o aplicaciones de software.

El RTOS recibe los requerimientos de las tareas para realizar el gerenciamiento, la adjudicación de recursos, el pasaje de mensajes entre las tareas, etc. Estas facilidades que provee el sistema operativo se denominan servicios y deben ser operados por el RTOS muy rápidamente para que la tarea pueda retomarse a la brevedad.

El procesamiento de los servicios del sistema incluye:

- Agendar el inicio de una tarea o hilo luego de la ocurrencia de algún evento futuro.
- Transferir un mensaje de un hilo a otro.
- Solicitar la adjudicación de un recurso de un fondo común.

Cuando hablamos de la evaluación de la actuación del RTOS ante una interrupción, partimos de la base de que la interrupción está bajo el control del usuario, pero en el caso de los servicios de los RTOS éstos son controlador por el proveedor del RTOS y podremos encontrarnos con que un servicio denominado de igual manera en varios RTOS son procesados de distinta forma y con resultados diversos.

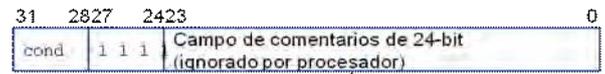
La *atención de los servicios* juntamente con la *atención de las interrupciones* son los dos parámetros que caracterizarán la eficiencia del RTOS. Las cifras de calidad provistas por los desarrolladores de los RTOS midiendo estos dos parámetros no son confiables pues en muchas oportunidades han orientado la implementación de los servicios y los resultados de la evaluación en forma tendenciosa a su conveniencia.

g) OTRAS MEDICIONES

Las aplicaciones pueden invocar servicios por dos medios TRAP y CALL.

En la primera, TRAP, (una forma de *software interrupt* actualmente denominada en Cortex SVC = Supervisor Call) se genera un código de operación en el que, los 24 bits menos significativos son ignorados por el procesador^[8] y pueden ser empleados por el programador (con la "complicidad" del compilador) para generar un "tipo" de SVC que identifique el tipo de servicio que se quiere invocar.

La rutina de atención de la SVC deberá leer el código de operación y extraer el tipo que se pasó desde la aplicación decodificarlo y actuar según el mismo.



Número de SVC

Figura 1: Código de operación de una SVC para un microcontrolador Cortex

Cada diseñador de RTOS tiene la potestad de asignar a cada servicio el tipo de SVC que desee.

La segunda opción CALL, emplea las instrucciones de ramificación (*branch*) del procesador sin interrupciones y si bien sobrecarga menos al procesador, requiere vinculación (*linking*).

V. SBER. UN SISTEMA BÁSICO DE EVALUACIÓN DE RTOS

La performance de los RTOS es sensible a la plataforma, procesador, reloj, compilador y diseño. Con el objetivo de poder comparar manzanas con manzanas, todos los parámetros anteriores deben ser uniformados para la evaluación entre RTOS.

Presentaremos un conjunto de programas de evaluación de performance, de código abierto e independiente de desarrolladores de RTOS y que se propone evaluar el comportamiento de los RTOS. Este mismo paquete también puede emplearse para comparar procesadores (sobre el mismo RTOS).

Este conjunto de programas buscarán evaluar el comportamiento de varios RTOS tanto en el procesamiento de interrupciones como en el manejo de los servicios básicos comunes en todos los RTOS.

En el contrapunto entre análisis exhaustivo y sólo servicios-básicos optamos por esta segunda opción pues debemos buscar servicios que se encuentren en todos los RTOS habituales.

SBER consiste en un conjunto de *benchmarks* que miden aspectos particulares del comportamiento del RTOS.

- Cambio de contexto en operación cooperativa.
- Cambio de contexto en operación prioritaria (*preemptive*).
- Procesamiento de interrupciones.
- Procesamiento de interrupciones con preferencia.
- Pasaje de mensajes
- Procesamiento de semáforos
- Asignación y liberación de memoria.

A. Prueba de cambio de contexto en operación cooperativa

Mide el tiempo que tarda el planificador (*scheduler*) del RTOS en cambiar el contexto de un hilo a otro de igual prioridad

- Se crearán cinco hilos de igual prioridad

¹ Tiempo máximo que se tarda en comenzar a atender el pedido de interrupción

² Tiempo que transcurre desde que se suspende la tarea en ejecución hasta que se comienza a ejecutar la nueva tarea.

- Cada uno de los cinco hilos se encuentra en un lazo infinito, llamando al servicio de renunciar a la ejecución para delegarla a otro hilo.

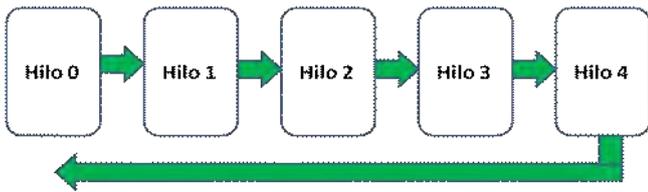


Figura 2: Prueba del cambio de contexto en modo cooperativo

B. Prueba de cambio de contexto en operación prioritaria (preemptive)

Mide el tiempo que le toma al RTOS cambiar el contexto de ejecución de un hilo a otro de mayor prioridad que el vigente.



Figura 3: Prueba del cambio de contexto en modo prioritario

- Se crean cinco tareas con prioridades fijas y únicas.
- Los hilos se ejecutan hasta que son suspendidos prioritariamente por un hilo de mayor prioridad.
- Todos los hilos pasan a un estado de suspensión salvo el de menor prioridad.
- El hilo de menor prioridad es sucedido por el de mayor prioridad inmediata, y así sucesivamente hasta llegar al de máxima prioridad.
- Cada hilo incrementa su contador y luego se suspende.
- Una vez que se completan las suspensiones y el procesamiento regresa al hilo de menor prioridad, el mismo incrementa su contador y se reinicia el proceso.

C. Prueba del procesamiento de interrupciones

Se mide el tiempo combinado en iniciar la ISR (interrupciones de *timer* deshabilitadas) + el tiempo necesario para ejecutarla + el tiempo para pasar a través del planificador (*scheduler*) y determinar cual hilo deberá ejecutarse y habilitar la ejecución de dicho hilo, restaurando su contexto si fuera necesario.

En esta prueba, los hilos utilizan interrupciones de software para disparar la priorización y el hilo activado envía resultados cada 30 segundos.

• Prueba de Interrupciones sin priorización:

En este caso el hilo interrumpido es reiniciado sin atender eventuales hilos de mayor prioridad. El tiempo medido es la suma del tiempo de interrupciones inhabilitadas + el tiempo de

ejecución de la ISR + el tiempo de actuación del scheduler.

Debe agregarse la "latencia del hilo" a la universalmente aceptada latencia de interrupción.

Operación:

1. Se crea una interrupción cuando el hilo 5 genera una TRAP (SVC en Cortex).
2. El controlador (*handler*) de interrupciones se ejecuta y retorna la ejecución al hilo 5 (sistema no prioritario) sin cambio de contexto.



Figura 4: Prueba de la atención de interrupción sin priorización

- En esta prueba consideramos ambas latencias.
- Mediremos cuanto tiempo están deshabilitadas las interrupciones.
- Mediremos cuan rápidamente el hilo de máxima prioridad (el interrumpido) puede ser reactivado.

• Prueba de Interrupciones con priorización

Mide el tiempo que se tarda cuando un nuevo hilo se ejecuta luego de la interrupción, en lugar de volver al hilo interrumpido.

Esta situación se presenta cuando, por ejemplo, la interrupción coloca en el estado "hilo para ejecutar" a un hilo de mayor prioridad que el de la interrupción. De esta manera en la prueba se agrega el tiempo del cambio de contexto al salvar el estado de la interrupción y restaurar el contexto del hilo incorporado.

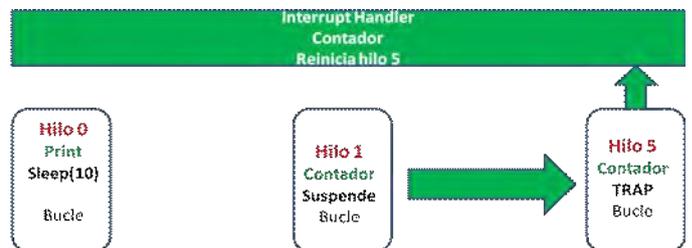


Figura 5: Prueba de la atención de interrupción con priorización

D. Prueba del pasaje de mensajes

La forma más común de comunicación entre los hilos es a través de colas.

Ello puede hacerse o bien enviando a la cola el mensaje (pase por valor) o bien referenciándolo a través de un puntero y enviando el mismo a la cola (pase por referencia).

Realizaremos esta prueba por medio de un mensaje de 16 bytes que referenciaremos por valor.

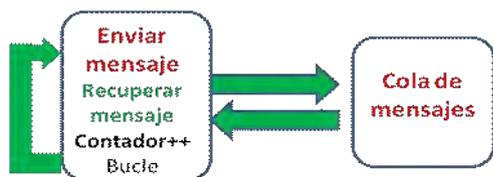


Figura 6: Prueba del pasaje de mensajes por cola

Operación:

1. Un hilo envía 16 bytes a una cola y recupera el mismo mensaje.
2. Una vez que se completó el ciclo se incrementa el contador.
3. Se reitera el bucle en forma perpetua.

E. Prueba del procesamiento con semáforos.

Mide el tiempo que se tarda en tomar y liberar un semáforo binario.

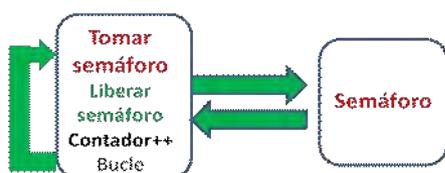


Figura 7: Prueba de la toma y liberación de un semáforo binario

Operación:

1. Una tarea toma (*get*) un semáforo binario e inmediatamente lo libera (*release*).
2. Luego del ciclo toma/liberación el hilo incrementa su contador de ejecuciones.

F. Asignación y liberación de memoria

Se mide el tiempo que le toma a un hilo en el RTOS asignar (*allocate*) y liberar (*deallocate*) bloques de 128 bytes de memoria.

Algunos RTOS no tienen disponible el manejo de bloques de memoria fijos, en estos casos deberá emplearse un servicio del tipo *malloc* que seguramente resultará más lento.

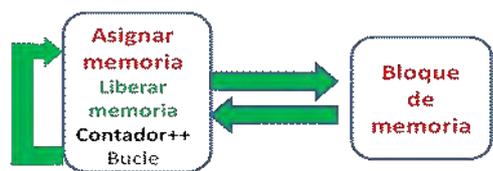


Figura 8: Prueba de la asignación y liberación de un bloque fijo de memoria

Operación:

1. Un hilo asigna un bloque de 128 bytes de memoria e inmediatamente lo libera

2. Luego del ciclo asignación/liberación el hilo incrementa su contador de ejecuciones.

VI. RESULTADOS

Algunos de los sistemas operativos en tiempo real más populares son:

- XMOS
- eCos
- FreeRTOS
- Micrium
- Xenomai
- embOS
- ChibiOS/RT
- CTL
- Nut/OS
- TNKernel
- ThreadX

Muchos³ de los cuales prohíben expresamente aparecer en *benchmarks* y hacer referencia a comparaciones con otros RTOS.

ThreadX nos ha dado permiso a publicar los resultados que indicamos en el siguiente cuadro.

Prueba	Valor del contador en 30 segundos
Cambio de contexto cooperativo	1.237.882
Cambio de contexto en operación prioritaria	487.470
Procesamiento de mensajes	830.196
Procesamiento de semáforos	156.6675
Asignación de memoria	140.4046
Manejo de interrupciones no prioritarias	745.664
Manejo de interrupciones prioritarias	316.092

En algunos de los ítems evaluados, en nuestra experiencia encontramos dispersiones de valores superiores al 50%, por lo que recomendamos a los desarrolladores hacer su propia experiencia sobre su hardware y sacar conclusiones definitivas.

Las rutinas de prueba se pueden descargar de <https://sites.google.com/a/comunidad.ub.edu.ar/rutinas-de-evaluacion-de-rtos/>

VII. MEDICIÓN DEL TIEMPO DE CAMBIO DE CONTEXTO EMPLEANDO UN OSCILOSCOPIO.

Un simple método de medir el tiempo del cambio de contexto es ofrecido por Segger^[9] ^[7] y que consiste en encender y apagar un led (en realidad conmutar el estado de una pata del procesador) y medir el tiempo entre un cambio y el otro por medio de un osciloscopio.

³ Por ejemplo ^[1] en pag 177 dice: *FreeRTOS may not be used for any competitive or comparative purpose, including the publication of any form of run time or compile time metric, without the express permission of Real Time Engineers Ltd. (this is the norm within the industry and is intended to ensure information accuracy).*”

El led se enciende con una señal en la pata del microcontrolador y es apagado por un hilo de mayor prioridad.

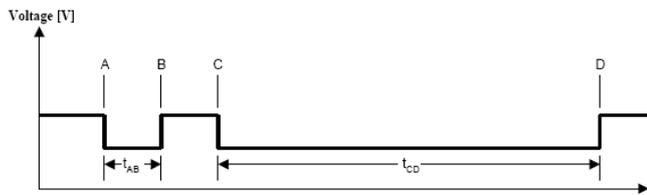


Figura 9: Medición del tiempo de cambio de contexto con un osciloscopio

En la Figura 9, se representa el tiempo t_{CD} que comienza con el encendido del led en C y su apagado desde el hilo en D.

En realidad este tiempo incluye el tiempo propio de encendido del led, por lo que para ajustar la medición se conmuta el led por programa para descontarlo del tiempo mencionado anteriormente. Ese tiempo de calibración es t_{AB} .

El tiempo de cambio de contexto se calculará como:

$$T_{CC} = t_{cd} - t_{ab}$$

VIII. BIBLIOGRAFÍA

La información bibliográfica de la que no se presenta ISBN corresponde a información digital obtenible en internet.

- [1] Using the FreeRTOS Real Time Kernel – Richard Barry
- [2] Measure your RTOS's real-time performance – William Lamie and John Carbone (2007) Eetimes.
- [3] RTCA DO-178B/EUROCAE ED-12B
- [4] RTCA DO-178B/EUROCAE ED-12B - Software Considerations in Airborne Systems and Equipment Certification
- [5] IEC 62304 - Medical device software – Software life cycle processes
- [6] IEC 61508 – Fuctional Safety
- [7] Yagarto RTOS comparison
- [8] RealView Compilation Tools Developer GuideVersion 4.0.
- [9] Segger: Context switching time.
- [10] A survey of Real Time Operating Systems for Embedded Systems Development in Automobiles. R. Vamshi Krishna Roll No: 04305015
- [11] Real-Time Systems Development Rob Williams Elsevier ISBN-13: 978-0750664714
- [12] Real-Time Concepts for Embedded Systems Qing Li, Caroline Yao CMP Books ISBN-13: 978-1578201242
- [13] Simple Real-time Operating System: Chowdary Venkateswara Penumuchu Trafford Pub ISBN-13: 978-1425117825

Fault tolerance in an amplifier system implemented in reconfigurable system on chip platform

Mónica Lovay, Gabriela Peretti, Eduardo Romero

Grupo de Estudio en Calidad en Mecatrónica
Facultad Regional Villa María,
Universidad Tecnológica Nacional
Villa María, Argentina
gecam@frvm.utn.edu.ar

Carlos Marqués

Grupo de Desarrollo Electrónico e Instrumental
Facultad de Matemática, Astronomía y Física,
Universidad Nacional de Córdoba
Córdoba, Argentina
marques@famaf.unc.edu.ar

Abstract—This work address the problem of providing fault tolerance to an analog system embedded in a commercial programmable system on chip. The system presents a functionality that has to be maintained despite the presence of faults, without direct human intervention. For detecting a gain fault, we use a built-in self-test strategy that establishes the actual values of gain achievable by the system. A simulated annealing (SA) algorithm finds the hardware configuration. The simulation results show that the strategy is able to maintain its functionality under the presence of catastrophic and deviation faults. In addition, SA presents better performance than an exhaustive search method.

Keywords: hardware fault tolerance, amplifier system, simulated annealing algorithm

I. INTRODUCTION

The need for fault tolerance in hardware is an important issue for critical safety applications or for electronics systems that have to operate in environments where maintenance is difficult to achieve. The use of redundant hardware, i.e. the exchange of a faulty component with an operating spare, is the traditional way for obtaining hardware fault recovery. Assuming that a fault detection test strategy is available, field programmable gate arrays (FPGAs), field programmable analog arrays (FPAAs) and programmable system on chip offer an alternative to traditional fault tolerant schemes because the reconfigurable nature of these devices enables runtime correction [1]. Additionally, although reconfiguration does not always guarantee that complete functionality can be restored, does allows maintaining the operation with a slight degradation of the system [2] and is an alternative for systems with limited free space [3].

In the literature, many researchers exploit the use of reconfiguration for tolerating hardware faults. One alternative is the generation of different versions of logic placement-and-routing information for the same FPGA application circuitry. Once a faulty region is located the system switches between different configurations [4], [5] or use partial reconfiguration [6]. By other way, evolvable hardware [7] combines reconfigurable hardware with evolutionary algorithms. In this methodology, usually a genetic algorithm searches the

possible hardware configurations that present the better performances once a fault is present. Among others, different schemes have been proposed FPGAs [8], FPAAs [2], and for programmable system on chip [9]. In addition to genetic algorithms, the search of possible hardware reconfiguration can be made by using other algorithms. One of them is simulated annealing, one of the first algorithms that extend local search methods with an explicit strategy to escape from local optima [10]. SA is still object of further studies, is used in optimization problems [11], [12], and is component of other algorithms [13].

In this work, we address the problem of providing fault tolerance to an analog system embedded in a commercial programmable system on chip. The system presents a functionality that has to be maintained despite the presence of faults, without direct human intervention. For detecting a gain fault, we use a built-in self-test (BIST) strategy that establishes the actual values of gain achievable by the system. We adopt a SA algorithm for searching the hardware configuration, with the aim of comparing the strategy with the one addressed in [9], which uses an evolvable hardware strategy.

II. SYSTEM DESCRIPTION

PSoC® device is a programmable system-on-chip platform with an on-chip processor core [14]. It includes configurable blocks of analog and digital circuits, programmable interconnect and configurable IO in a low-cost chip. Analog functions in the PSOC device are organized as groups of general-purpose analog blocks that can be configured into user-determined functions. The control for these blocks is register-based and can be programmed through the design tools or reprogrammed by the user at run-time. Some of the available configurations for the analog arrays are up to 14 bits analog to digital converters (ADC), up to 9 bits digital to analog converters (DAC), and programmable gain amplifiers (PGA).

The amplifier system addressed in this work employs four PGAs. The PGA user module implements a non-inverting amplifier with user-programmable gain, which is established

by an array of resistances (Fig. 1). This amplifier has 33 programmable values for the gain, ranging from 0.062 to 48.

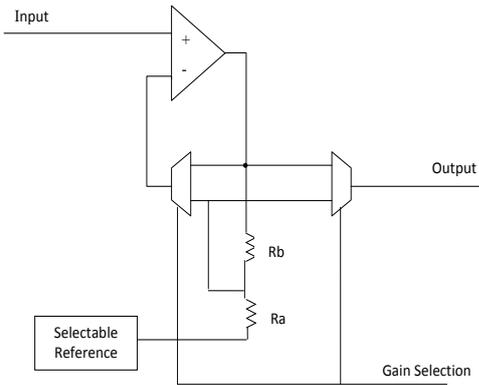


Figure 1. Programmable gain amplifier available in the PSoC® device (simplified diagram)

Fig. 2 shows the amplifier system in normal mode. The four-amplifier chain (PGA1, PGA2, PGA3 and PGA4) is configured in the PSoC® CY8C27443-24PXL.

In this work, it is considered that the redundancy necessary for fault tolerance comes from the multiple values of gain of every amplifier, the use of four amplifiers in the amplifying chain and runtime configuration [15]. A BIST strategy, described in [9], tests the gain of each amplifier during the dead times of the system. If the test process finds a degradation in the overall gain, then establishes that is necessary a system reconfiguration. The BIST strategy is implemented as a new hardware configuration (using on-chip analog resources) that is dynamically loaded while the device is running. The reconfiguration makes use of a SA algorithm running in an external computer. SA find the gain values of the four amplifiers with the goal of maintaining the system overall gain within specifications. The new values of gain are loaded back into the hardware for continuing the normal operation (Fig. 2).

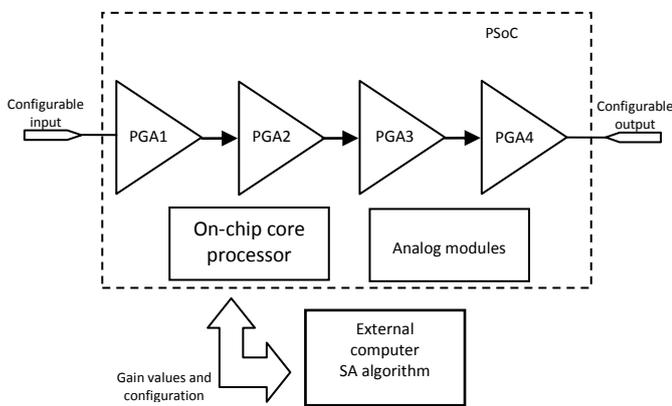


Figure 2. Amplifier system diagram, normal mode hardware configuration

III. OVERVIEW OF SA AND FORMULATION OF THE OPTIMIZATION PROBLEM

The SA algorithm was originally inspired by formation of crystal in solids during cooling i.e., the physical annealing with solids. The foundation and details of SA can be found elsewhere [10].

In this work, SA has to find the four PGA gain values (G_1 for PGA1, G_2 for PGA2, G_3 for PGA3, and G_4 for PGA4, Fig. 1) that reach the target (desired) gain A_{tar} . We propose three different values for A_{tar} : 2, 8 and 15. The aim is to evaluate the ability of SA for finding an acceptable solution in different scenarios. The optimization problem is formulated as follows: the reconfiguration algorithm has to find the values of G_1 , G_2 , G_3 and G_4 that reach the condition:

$$\text{Min}(|A_{tar} - G_1 \cdot G_2 \cdot G_3 \cdot G_4|). \quad (1)$$

The SA algorithm begins with an initial solution that is randomly generated, with an initial temperature parameter, T . At each iteration, SA compares the values for two solutions, the current and a newly selected in the neighborhood of the actual solution. Improving solutions are always accepted, while non-improving solutions are retained with a probability that depends on T . The algorithm stops when finds a solution that fulfill the requirements or when reaches a maximum number of iterations. In our work, the initial temperature (T_0) is 500, and the maximum number of iterations is 200. The function that is used to update the temperature T in each iteration i is the following:

$$T = T_0 / i. \quad (2)$$

IV. FAULT MODELS USED FOR VALIDATION

The performance of the fault tolerance scheme presented here is evaluated by means of fault injection. Consequently, it is necessary to define a fault model.

If the PGA is well designed, the operational amplifier can present wide deviations in its functional parameters without effects in its closed loop performance. As a result, we consider that the main cause of PGA gain faults comes from faults or degradations in the resistances that establish the gain (R_a and R_b in Fig. 1). In each PGA, we consider two different types of faults in the gain determined by its array of resistances. The first one is a catastrophic fault that assume that is not possible to establish one gain value. The second fault is a deviation in the gain values. For deviation faults, we consider that individual gains G_1 , G_2 , G_3 and G_4 , deviate their values in a percentage of their nominal values, $\pm 10\%$, $\pm 20\%$, $\pm 30\%$, $\pm 40\%$ and $\pm 50\%$.

V. EXPERIMENTAL RESULTS

A. Fault Free Operation

Fig. 3 shows the relative error for the three target gains (2, 8 and 15) in several runs of SA. The three target gains present relative errors in the range $[-2,893\%, 3,518\%]$. Each run is a solution to the optimization problem changing the seed for the random generation of the initial solution.

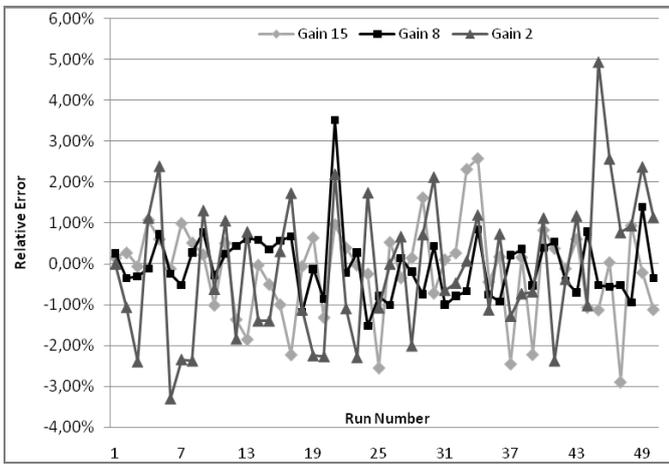


Figure 3. Errors in the target gain. Fault-free operation

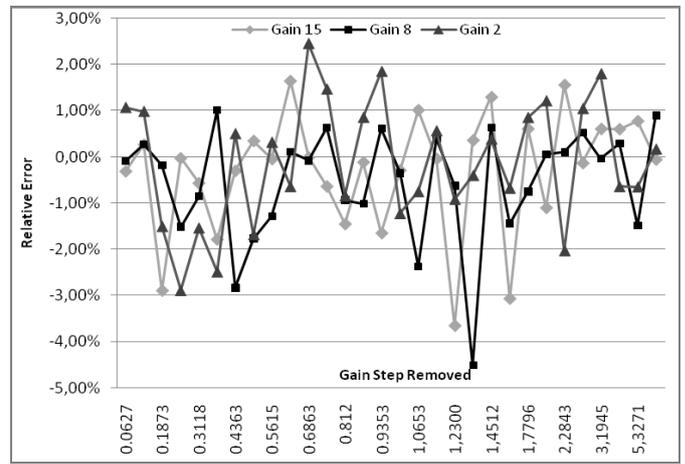


Figure 4. Errors in the target gain under catastrophic fault condition in PGA1

Table I summarizes the relative error characterization for all the gains. In the following, as a measurement of a central tendency, we use the median of the relative errors because the data distribution is not normal. As a measurement of dispersion, we use the range of the error in order to take into account extreme values. We observe that the median and the error range of the target gain 15 are both higher than the values obtained for the other two gains. Target gain 8 presents lower median and higher range than gain 2.

TABLE I. GAIN ERROR CHARACTERIZATION UNDER FAULT-FREE CONDITIONS

Target gain	Median	Minimum error	Maximum error	Error range
15	0,004%	-2,893%	2,583%	5,476%
8	-0,213%	-1,523%	3,518%	5,041%
2	-0,145%	-2,481%	2,471%	4,952%

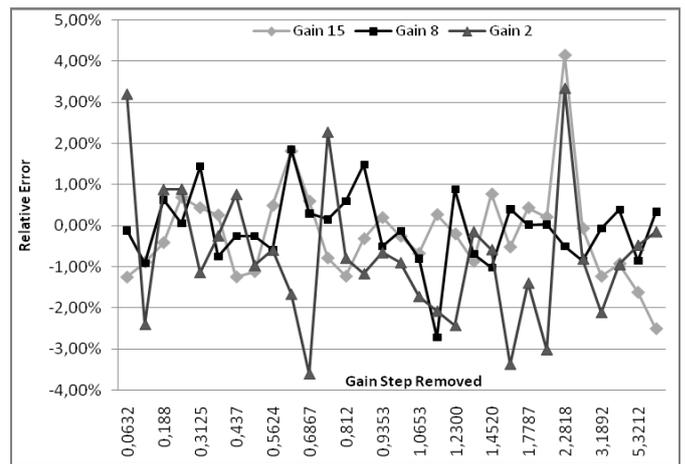


Figure 5. Errors in the target gain under catastrophic fault condition in PGA2

B. Operation Under Fault Condition

Figs. 4 to 7 depict the results obtained under catastrophic fault condition. These figures show the relative error for the three target gains versus the removed gain value in the corresponding PGA. In all the experiments, the SA is capable of reaching the target gain, with errors for all the gains in the range [-4,513%, 4,154%].

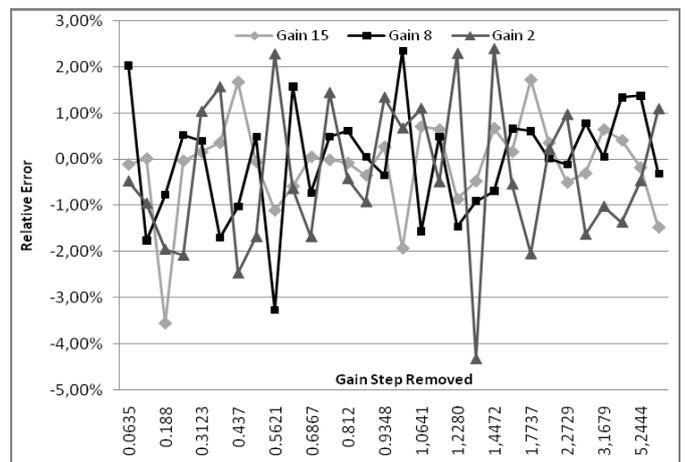


Figure 6. Errors in the target gain under catastrophic fault condition in PGA3

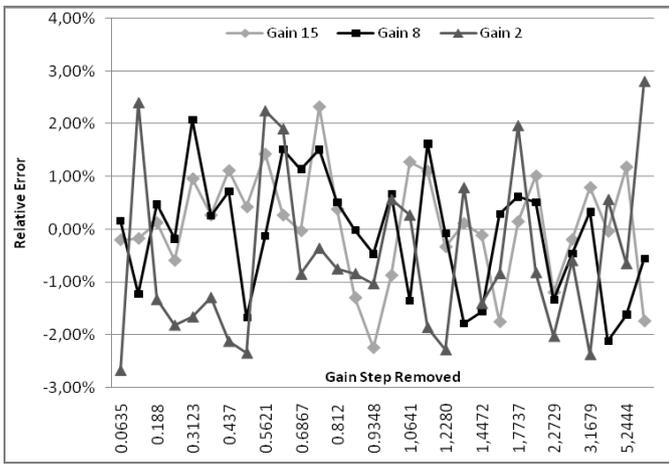


Fig. 7. Errors in the target gain under catastrophic fault condition in PGA4

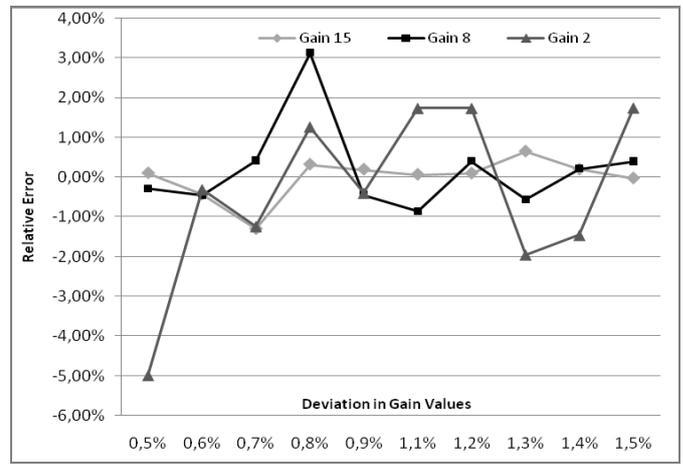


Fig. 9. Errors in the target gain under deviation fault condition in PGA2

Table II summarizes the effects of catastrophic faults in the four PGAs. Comparing the normal (Table I) and catastrophic fault operation (Table II), the faulty system presents as a worst case an increase of 2,329% in the error range for gain 15. For gains 2 and 15, the median is lower than the median in normal operation. For gain 8 the median is higher than the median in normal operation, suggesting in all cases a change in the error distribution between the normal and faulty operation.

TABLE II. GAIN ERROR CHARACTERIZATION UNDER CATASTROPHIC FAULT CONDITION

Target gain	Median	Minimum error	Maximum error	Error range
15	-0,043%	-3,651%	4,154%	7,805%
8	-0,056%	-4,513%	2,344%	6,857%
2	-0,651%	-3,608%	3,345%	6,953%

Figs. 8 to 10 show the deviation fault simulation results for the fault tolerant system. The figures depict the relative errors in the target gains versus the deviation value in the gain. From the simulation results, it is observed that the SA is able of reaching the target gain with errors for all the gains in the range [-3,045%, 3,113%].

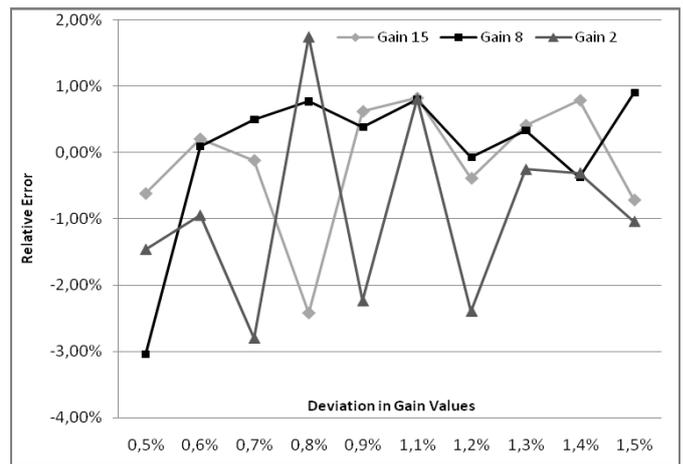


Fig. 9. Errors in the target gain under deviation fault condition in PGA3

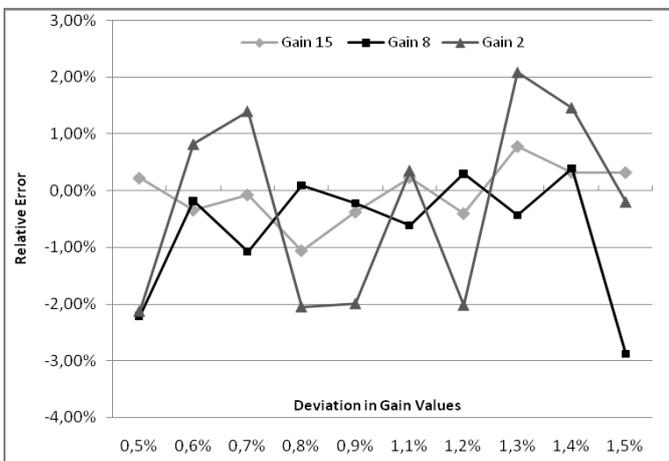


Fig. 8. Errors in the target gain under deviation fault condition in PGA1

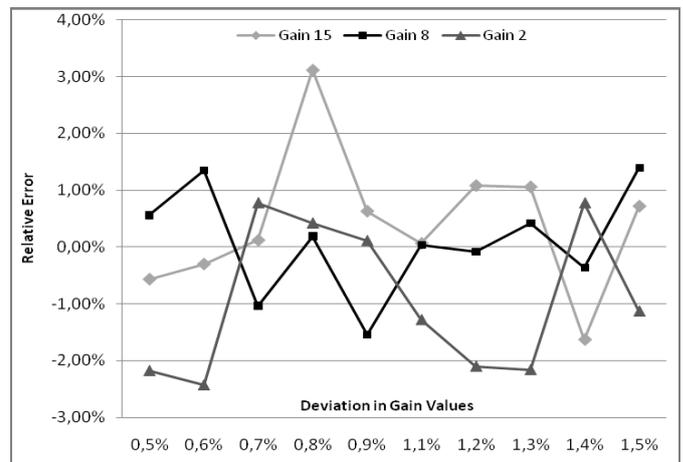


Fig. 10. Errors in the target gain under deviation fault condition in PGA4

Table III summarizes the effects of deviation faults in the four PGAs. Comparing the normal (Table I) and deviation fault conditions (Table III), the faulty system presents as a worst case an increase of 0,056% in the error range for gain 15,

despite the presence of relatively high deviation faults. For target gains 2 and 8 the error range is lower than the error range in operation normal. For target gain 2, the median is lower than the median in normal operation. For target gains 8 and 15 the median is higher. This indicates a slight change in the error distribution between the normal and faulty operation.

TABLE III. GAIN ERROR CHARACTERIZATION UNDER DEVIATION FAULT CONDITION

Target gain	Median	Minimum error	Maximum error	Error range
15	0,112%	-2,419%	3,113%	5,532%
8	-0,019%	-3,045%	1,395%	4,441%
2	-0,351%	-2,799%	2,085%	4,884%

VI. COMPARISON WITH EXHAUSTIVE SEARCH METHOD

For a better characterization of the efficiency of SA algorithm, we compare the results with those obtained using Exhaustive Search Method (ESM). This method consists of systematically enumerating all possible candidates for the solution and checking whether each candidate satisfies the problem statement [16].

We perform the comparison for fault-free and faulty operations described in Section V, using as parameters the number of objective function evaluation (Table IV) and runtime (Table V). SA and ESM are both implemented in Matlab. For the comparison, we use for SA the median of its runtime in the worst case condition (target gain 15) and the maximum number of function evaluation. These values are chosen because the stochastic nature of SA. Table IV shows that the number of objective function evaluations made by SA is considerably lower than ESM in all the operation conditions. By other way, the SA runtime is lower than the ESM one. These results suggest that the use of SA is preferable to ESM.

With the aim of extending the comparison to other amplifier configurations, we perform new evaluations using three and five amplifiers in the amplifying chain. For a three-amplifier chain, we found that the runtime of the ESM is lower than the runtime of SA, even if the number of ESM evaluations of the objective function is higher. However, for a five-amplifier chain, the SA is almost 8.340 times faster and performs about 120.000 times less objective function evaluations than ESM. These experiments suggest the convenience of using SA in more complex amplifier configurations.

TABLE IV. EXHAUSTIVE SEARCH METHOD (ESM) VERSUS SA. COMPARISON OF NUMBER OF OBJECTIVE FUNCTION EVALUATIONS.

Method	Normal condition	Catastrophic fault condition	Deviation fault condition
SA	200	200	200
ESM	810.000	783.000	810.000

TABLE V. EXHAUSTIVE SEARCH METHOD (ESM) VERSUS SA. COMPARISON OF RUNTIMES (SEC)

Method	Normal condition	Catastrophic fault condition	Deviation fault condition
SA	0,116	0,145	0,149
ESM	0,247	0,211	0,247

VII. CONCLUSIONS AND FUTURE WORK

We presented an amplifier system with fault tolerance characteristics achieved by reconfiguration of a commercial programmable system on chip, using a built-in self-test strategy that establishes the amplifier gains and start the process of reconfiguration when a fault is detected. The SA algorithm that finds the reconfiguration values for the system is robust for all faults addressed in our evaluation. The fault simulation results show that the system maintains the overall gain within specifications despite the presence of catastrophic and deviation faults. The comparison with an exhaustive search method shows that the SA presents better performance.

REFERENCES

- [1] P. C. Haddow, M. Hartmann and A. Djupdal, "Addressing the metric challenge: evolved versus traditional fault tolerant circuits", Second NASA/ESA Conference on Adaptive Hardware and Systems, Edinburgh, 2007, pp. 431-438.
- [2] J. Hereford, "Fault-tolerant sensor systems using evolvable hardware", IEEE Trans. Instrum. Meas, vol. 55, 2006, pp. 846-853.
- [3] G. Greenwood, "On the practicality of using intrinsic reconfiguration as a fault recovery method in analog systems", IEEE Trans. Sys. Man & Cyber, 1999, pp. 87-97.
- [4] S.Mitra, W. Huang, N. Saxena, S. Yu, and E. McCluskey, "Reconfigurable architecture for autonomous self-repair", Design & Test of Computers, IEEE, vol. 21, 2004, pp. 228-240.
- [5] P. Garcia, K. Compton, M. Schulte, E. Blem, and W. Fu, "An overview of reconfigurable, Hardware in Embedded Systems", Hindawi Publishing Corporation EURASIP, Journal on Embedded Systems, Volume 2006, pp. 1-19.
- [6] J. Emmert, C. Stroud, and M. Abramovici, "Online fault tolerance for FPGA logic blocks", (VLSI) Systems, IEEE, vol. 15, 2007, pp. 216-226.
- [7] T. Higuchi, Y. Liu, and X. Yao, (Eds.), Evolvable Hardware, Springer, 2006.
- [8] R. Canhoam and A. M. Tyrrell, "Evolved fault tolerance in evolvable hardware", Congress on Evolutionary Computation, Hawaii, 2002, pp. 1267-1272.
- [9] M. Lovay, A. Arregui, J. Gonella, G. Peretti, E. Romero, and M. Lubaszewski, "Fault tolerant amplifier system using evolvable hardware", Proceedings of the Argentine School of Micro-Nanoelectronics, Technology and Applications, 2010, pp. 50-55.
- [10] M. Gendreau and J. Potvin (Editors), Handbook of Metaheuristics, Second edition, Springer, 2010.
- [11] P. Li, J. Lan, D. Li, Q. Liu, "A simulated annealing based technology mapping method for sequential circuits", IEEE, First International Conference on Future Information Networks, 2009.
- [12] H. Shakouri G, Kambiz Shojae, and M. Behnam T, Investigation on the choice of the initial temperature in the Simulated Annealing: A Mushy State SA for TSP, IEEE, 17th Mediterranean Conference on Control & Automation, Greece, 2009, pp. 1050-1059.
- [13] F. Rodríguez-Díaz, C. García-Martínez, and M. Lozano, A GA-based multiple simulated annealing, IEEE Congress of Evolutionary Computation, 2010, pp. 1-7.

- [14] PSoC® Programmable system-on-chip technical reference manual. United States: Cypress Semiconductor Corporation, 2008.
- [15] A. Doholi, P. Kane, and D. Van Ess, Dynamic Reconfiguration in a PSoC Device. International Conference on Field-Programmable Technology 2009, pp.361-363.
- [16] K. Price, R. Storn, J. Lampinen, Differential evolution: a practical approach to global optimization, Springer, 2005.

AHRS R-001: Actualización de Sistemas Inerciales de Navegación en Aeronaves Supersónicas

Leandro Aguiere
Redimec S.R.L.
Tandil, Argentina
laguiere@redimec.com.ar

Dardo Ramirez
Redimec S.R.L.
Tandil, Argentina
dardo@redimec.com.ar

Lucas Leiva
INCA/INTIA
UNCPBA
Tandil, Argentina
lleiva@exa.unicen.edu.ar

José Marone
INCA/INTIA
UNCPBA
Tandil, Argentina
jmarone@exa.unicen.edu.ar

Martín Vázquez
INCA/INTIA
UNCPBA
Tandil, Argentina
mvazquez@exa.unicen.edu.ar

Abstract—Los sistemas inerciales de navegación montados en un gran número de aeronaves están llegando al límite de su vida útil por el desgaste mecánico de las piezas que lo componen. En este trabajo se presenta la actualización de sistemas inerciales de navegación mediante la utilización de tecnología FOG (*Fibre Optic Gyroscope*). Esta tecnología posee, dentro de sus capacidades, un error menor en la navegación y un tiempo medio entre falla muy alta. Para llevar a cabo la actualización, se desarrolló una unidad electrónica de monitoreo y comunicación, la cual fue homologada mediante normas ambientales DO-160D. El sistema fue evaluado en vuelos de prueba, con resultados satisfactorios.

Keywords—unidad inercial; sistema embebido; actualización de aeronaves supersónicas.

I. INTRODUCCIÓN

Las centrales giroscópicas se encuentran formadas por una terna de giróscopos. Mediante la integración de los sensores es posible determinar ángulos de *roll* (rolido) y *pitch* (elevación). El cálculo de *heading* (rumbo) se realiza utilizando una referencia magnética externa, por ejemplo una válvula de flujo.

La información de *roll*, *pitch* y *heading* es de vital importancia durante la navegación. En la Figura 1. se presenta gráficamente la manera en que intervienen estos tres ángulos en un móvil.

De esta manera, el *heading* es representado por el ángulo entre el plano vertical orientado al norte y el plano vertical que pasa a través del eje Y. El rumbo se cuenta como positivo desde el norte, variando desde 0 a 360 grados.

Por su parte, el ángulo de *roll* es el definido por la rotación a través del eje Y. Este puede variar entre -180 a +180 grados. Finalmente, *pitch* es el ángulo entre el eje Y y su proyección en el plano local horizontal, pudiendo variar entre -180 a +180 grados.

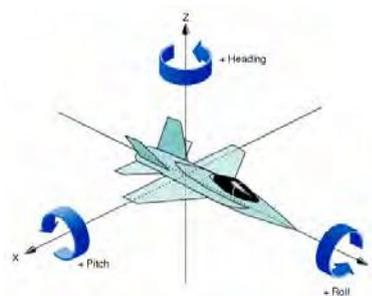


Figura 1. Roll, Pitch y Heading.

Un Sistema Inercial de Navegación (*Inertial Navigation System, INS*), es un sistema de ayuda a la navegación que está formado, en la mayoría de los casos, por una computadora de tiempo real, sensores de movimiento (acelerómetros) y sensores de rotación (giróscopos). Estos elementos brindan la potencia de cálculo necesaria para la estimación de la posición, orientación y velocidad de un objeto en movimiento sin necesidad de referencias externas. Este tipo de sistemas es utilizado en vehículos como barcos, aeronaves, submarinos [1], misiles [2] y naves espaciales.

Los antiguos sistemas giroscópicos de masa rotante (*DTG: Dynamically Tuned Gyro*) tienen una *MTBF (Mean Time Between Failures)* muy baja debido al desgaste mecánico de sus partes rotantes. Por esta razón, su precisión se va degradando. La vida media útil de estos sistemas es de 30 años y esto es causa de una obsolescencia muy alta en los sistemas de navegación.

Los giróscopos FOG son dispositivos capaces de detectar rotaciones mecánicas mediante la interferencia de haces de luz. El sensor consiste en una bobina en la que se enrolla un cable de fibra óptica (Fig. 2). Dos rayos de luz viajan a través de la fibra en direcciones opuestas. Debido al efecto Sagnac [3][4][5], el rayo que viaja en sentido contrario a la rotación experimenta un camino más corto que el otro. El

desplazamiento de fase resultante genera una pauta de interferencias que permiten conocer la velocidad de rotación según la intensidad del rayo resultante.



Figura 2. Core FOG

Como se mencionó anteriormente, se diferencia del giróscopo tradicional de masa rotante, con que éste no posee partes móviles ni resistencia al movimiento. La precisión del FOG ha superado a la del giróscopo láser (RLG: Ring Laser Gyro) en los últimos años (Fig. 3) [6].

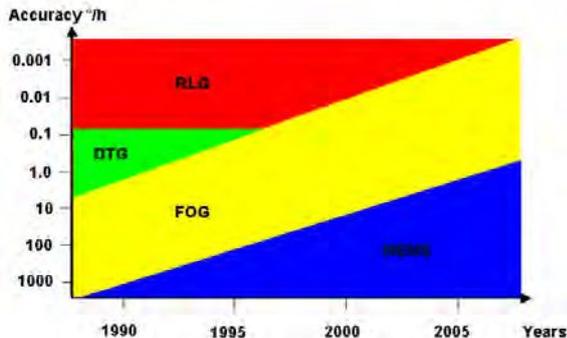


Figura 3. Evolución en las tecnologías giroscópicas

Redimec S.R.L.[7] propuso la actualización de los sistemas primarios de navegación de *roll*, *pitch* y *heading* por uno *state of art* de tecnología FOG. En éstos últimos, debido a su concepto *strapdown* [8], la MTBF es muy alta y cercana a las 20.000 hs.

El sensor AHRU (*Attitude and Heading Reference Unit*) que se utilizó para el reemplazo es el LCR-100 de la empresa Northrop Grumman LITEF GmbH [9]. Entre sus principales características se detallan las siguientes:

Tecnología *strapdown* FOG.

Precisión en *heading*: 0.5°.

Precisión en *roll* y *pitch*: 0.1°.

Navegación inercial.

La actualización fue implementada en una aeronave supersónica militar cuya unidad de navegación es una central giroscópica, donde el rumbo magnético es dependiente de una referencia externa (válvula de flujo).

El LCR-100 tiene dos modos de funcionamiento: modo inercial y modo AHRS estándar. Este último modo presenta dos alternativas: el modo girodireccional y el modo magnético que utiliza una referencia magnética externa. En el modo girodireccional, el ángulo de *heading* es calculado mediante los cómputos de los giroscópos.

El sistema desarrollado (AHRS R-001) es un sistema full inercial. Además de proporcionar la rotación angular *roll*, *pitch* y *heading* (rumbo magnético/verdadero respecto al norte), es capaz de realizar el cálculo de las velocidades y posición de la aeronave.

En la sección II se realiza una descripción del sistema completo, detallando los componentes que intervienen en la actualización. La sección III describe la unidad de monitoreo y comunicación (EU R-001) desarrollada por Redimec S.R.L. Los métodos de testeo del sistema se presentan en la sección IV, y los resultados experimentales obtenidos en la sección V. Finalmente la sección VI describe las conclusiones y los trabajos futuros del producto.

II. DESCRIPCIÓN DEL SISTEMA

El sistema está formado de acuerdo a lo presentado en la Fig. 4.

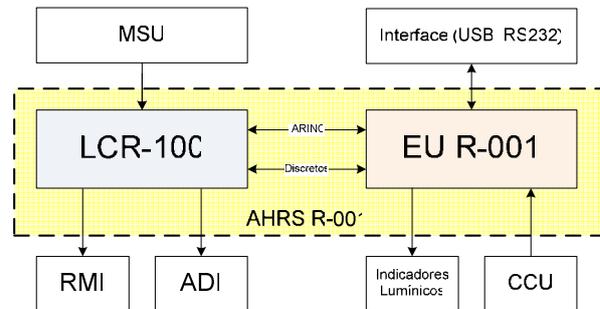


Figura 4. Diagrama en bloques sistema AHRS R-001

Los componentes que intervienen son los siguientes:

- LCR-100: sensor inercial de tecnología *strapdown* FOG. La interfaz con el exterior se realiza a través el protocolo ARINC429, salidas sincrónicas y señales discretas.
- RMI (*Radio Magnetic Indicator*): el indicador radiomagnético es un instrumento que proporciona visualización de rumbo.
- ADI (*Attitude Director Indicator*): este instrumento proporciona la visualización de actitud y rumbo.
- MSU (*Magnetic Sensor Unit*): sensor magnético utilizado en el modo AHRS magnético.
- EU R-001: unidad electrónica responsable de la comunicación entre todos los sistemas y el sensor inercial LCR-100 (Fig. 5 y 6).
- CCU (*Cockpit Control Unit*): esta unidad de control es la interfaz del piloto para controlar los modos del

LCR-100 (inercial, AHRS magnético y AHRS direccional).

- Indicadores lumínicos: es la señalización de feedback para el piloto. Mediante este medio se le comunica al usuario los modos de la unidad inercial, así como la salud del sistema.



Figura 5. Simulación CAD de la EU R-001.



Figura 6. Implementación EU-R001.

III. DISEÑO DE LA EU R-001

El sistema embebido desarrollado se encuentra emplazado en una arquitectura maestro-esclavo. Tanto el maestro como los esclavos se encuentran implementados en dispositivos de procesamiento de 32 bits. La Fig. 7 describe la arquitectura de la unidad electrónica.

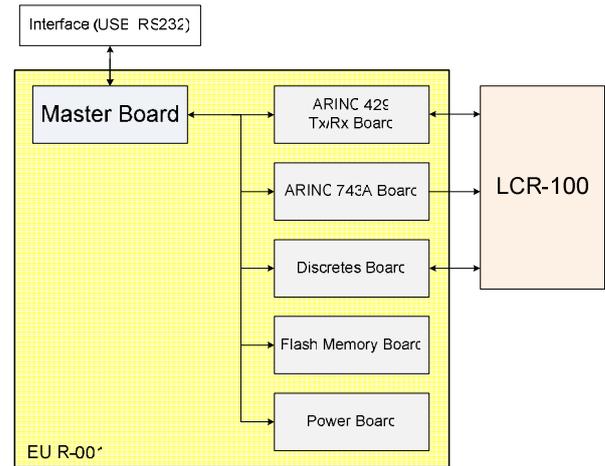


Figura 7. Diagrama en Bloques EU R-001

El módulo maestro del sistema (*Master Board*) interactúa con los módulos esclavos a través de una comunicación RS422, utilizando un protocolo desarrollado para el proyecto. Este módulo es capaz de generar acciones sobre los esclavos (por ejemplo: inicialización), y realizar lecturas o escrituras de datos. El software de esta unidad está basado en un conjunto de tareas y un *scheduler* de tiempo real encargado de administrar las mismas.

El módulo maestro pueda tener relevamiento de todos los módulos esclavos, tanto del estado de salud como del flujo de datos que provienen de la unidad inercial. El estado de salud permite identificar tanto fallas particulares de cada uno de los esclavos, así como también fallas en los dispositivos que comprenden el sistema. El grado de severidad de una falla es un elemento que debe ser intensamente evaluado. El sistema desarrollado es un sistema crítico, y no es recomendable generar una alarma por un problema que puede ser resuelto a partir de una acción simple. Por esto, se establece un conjunto de políticas asociadas para cada una de las posibles fallas del sistema. Estas políticas deben proveer también la capacidad de resolver conflictos presentes en el mismo módulo maestro.

Dentro del conjunto de los esclavos se encuentra un módulo encargado de realizar la conversión de una entrada GPS NMEA en una salida ARINC 743A (*ARINC 743A Board*). Esta señal brinda a la unidad inercial una mayor robustez y mejora aún más la performance en la navegación [10]. Este esclavo es el responsable de realizar la extracción de datos necesarios existentes dentro de los paquetes NMEA y efectuar la conversión de los mismos a sus correspondientes paquetes ARINC. Cada uno de los datos es computado realizando las operaciones matemáticas necesarias para su adecuación. La implementación de este módulo, permite una reducción considerable de costos y sustitución de importación a un GPS ARINC743A comercial.

La interfaz con la unidad inercial (*LCR-100*) es establecida mediante un esclavo con capacidades de recepción y transmisión de paquetes ARINC 429 (*ARINC 429 TX/RX Board*). Este módulo selecciona un conjunto de paquetes

recibidos desde la unidad inercial para ser enviados al módulo maestro cuando éste lo requiera. Asimismo, este módulo es capaz realizar las transmisiones ARINC hacia el LCR-100 solicitadas por el módulo maestro.

El módulo de potencia DC-DC (*Power Board*) alimenta eléctricamente al sistema. Además, monitorea las tensiones, corrientes, y la temperatura dentro de la EU R-001. Esta información es reportada al modulo maestro.

La unidad electrónica también se compone de un módulo que interpreta entradas y salidas discretas (*Discretes Board*). Estas señales se corresponden con las señales discretas de la unidad inercial. Entre ellas se puede mencionar la señal de ON AIR/ON GROUND asociadas al tren de aterrizaje del avión, así como las indicaciones lumínicas para el piloto.

Existe dentro de la unidad electrónica un modulo esclavo adicional, que tiene asociada una memoria flash (*Flash Memory Board*). La información de los dispositivos se almacena en esta memoria (hasta 4 horas de log).

IV. TESTEO DEL SISTEMA

La etapa de testeo del sistema se llevó a cabo mediante el canal de comunicación RS232 y USB existente en el modulo maestro. A través de estos canales es posible realizar una conexión con una PC utilizando un software desarrollado. Una vez establecida la conexión, el sistema cambia su modo de ejecución normal a un modo monitor.

Dentro de las capacidades del software, permite realizar una evaluación de los datos del sistema en tiempo real en una interfaz visual. En la misma, se puede observar tanto el estado de cada uno de los módulos, así como también la información asociada. En la Fig. 8 se presenta una captura de pantalla de la herramienta.



Figura 8. Captura de herramienta de testeo.

Mediante el uso de este software es posible realizar además un *dumping* de la memoria Flash en un archivo. El archivo puede ser utilizado por la herramienta para realizar una verificación offline de la información. De esta manera, se pueden analizar datos reales luego de un vuelo.

Debido a que el sistema contiene información acerca de la posición de la aeronave, así como también la información de *roll*, *pitch* y *heading*, existe la posibilidad de reconstruir un vuelo realizado en una simulación. En la Fig. 9 se presenta una captura de la herramienta de simulación, en la cual se detalla sólo la información de posición, altitud, actitud y rumbo.

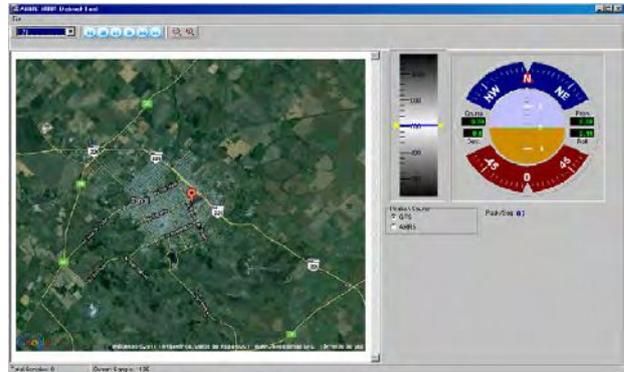


Figura 9. Captura de Herramienta de Reconstrucción de vuelo.

Estos resultados pueden ser utilizados durante las fases de entrenamiento de pilotos, realizando una comparación entre la reconstrucción del vuelo contra un planeamiento previo.

V. RESULTADOS EXPERIMENTALES

Debido al tipo de aeronave para la cual se diseño el sistema, es sumamente importante que la unidad electrónica (EU R-001) desarrollada sea homologa bajo las normas ambientales DO-160D [11].

Se realizaron pruebas referidas a temperatura (*stress* térmico, supervivencia entre -40°C a $+85^{\circ}\text{C}$ y funcionamiento entre dichos rangos), vibraciones, ensayo de humedad en ciclos de 24 horas (97% HR) y ensayos de altitud hasta los 45.000 pies.

Para la integración del sistema, se realizó un protocolo de test de vuelos. El primero de ellos fue un testeo en tierra, realizando un carreteo de la aeronave en pista para comprobar la integridad del conjunto.

Luego, un primer vuelo recto y nivelado para determinar la performance general del sistema. En un segundo vuelo, se realizaron maniobras para analizar la respuesta dinámica del sistema AHRS R-001 (unidad inercial y unidad electrónica).

Los vuelos completos fueron almacenados en la *Flash Memory Board*, de manera que se pudo analizar y reconstrucción los mismos en tierra. Las riqueza de estos datos fueron utilizados para obtener conclusiones y un feedback del comportamiento del sistema.

VI. CONCLUSIONES Y TRABAJO FUTURO

Luego de finalizado los vuelos de testeo, el resultado obtenido fue muy satisfactorio, ya que el piloto encontró seguridad en el sistema, movimientos continuos y suaves en los instrumentos de vuelo (ADI y RMI) respecto a la central giroscópica anterior.

Comparado con el sistema reemplazado, el sistema AHRS R-001 es inercial, con lo cual se puede proveer una gran cantidad de datos útiles para la navegación como posición, aceleraciones y velocidades. Además, existe la posibilidad de integración de otros instrumentos como computadoras de datos de aire y FMS (*Flight Management Systems*).

La variedad de datos que puede proporcionar el sensor inercial, brinda la posibilidad de una gran variedad de modernizaciones, como ser un *debriefing* del vuelo y la incorporación de un *datalink* en las aeronaves. El *debriefing* del vuelo, que puede ser reconstruido en tierra en simulaciones 3D. Esto es una herramienta fundamental para la aeronave escuela, donde el piloto puede analizar su performance en el aire.

Con instalación de un *datalink* se podrá transmitir la información de vuelo de cada aeronave que se encuentre en el espacio aéreo, de manera de poder realizar maniobras en conjunto para el adiestramiento de los pilotos.

REFERENCES

- [1] L. Zhao, L. Yan, J. Cheng, and X. Wang, "The Research of Inertial Navigation System Based on Submarine Space Motion", in Proc. PACIA (1), 2008, pp.751-755.
- [2] Thomas Loffler, John Nielson. International HARM precision navigation upgrade A GPS/INS missile upgrade that improves effectiveness and minimizes friendly-fire accidents[J], IEEE Aerospace and Electronic Systems Magazine, 2003, 18(5):26-31
- [3] G. Sagnac. Comptes Rendus, 157:708-710, 1913.
- [4] Post, E.J., "Sagnac Effect", Review of Modern Physics, Vol. 39, April, 1967
- [5] S. Ezekiel, S.P. Smith, F. Zaritetchi., "Basic Principles of Fiber-Optic Gyroscopes", chap. 1, 1994
- [6] G. Handrich, "Fiber Optic Gyro Systems and MEMS Accelerometer", LITEF GmbH Freiburg
- [7] Redimec S.R.L, www.redimec.com.ar
- [8] D.H. Titterton, J.L. Weston, "Strapdown Inertial Navigation Technology", second Edition, Paul Zarchan, AIAA, 2004
- [9] Northrop Grumman LITEF GmbH, "INSTALLATION MAINTENANCE INSTRUCTION Rev. F". July, 2009
- [10] W.E. Bradley, F. van de Kop, "A comparison of a mechanically stabilized gyrocompass and a GPS-aided inertial navigation system", OCEANS '99 MTS/IEEE, vol.2, 1999.
- [11] RCTA Inc, "DO-160 Environmental Conditions and Test Procedures for Airborne Equipment", July, 1997

Sistema Inalámbrico de Monitoreo de Temperaturas para seguimiento de cadena de frío en la Industria frigorífica.

Adrián Marcelo Gonzalez

Facultad de Ingeniería, Universidad Nacional de Mar del Plata,
Juan B. Justo 4302, B7608FDQ, Mar del Plata, ARGENTINA
adriangonzalez@fi.mdp.edu.ar

Abstract - El presente trabajo describe en detalle el diseño e implementación de un sistema distribuido de sensores que realiza el monitoreo y registro de temperaturas para seguimiento de la cadena de frío en una industria alimenticia.

En los nodos sensores se emplearon microcontroladores PIC 18F2455 de la empresa Microchip junto con sensores pt100, para la adquisición de las temperaturas en los puntos de sensado. El envío inalámbrico de la información se realizó mediante módulos de radio frecuencia Xbee Pro OEM RF Modules. En la central, los datos son procesados mediante un software de entorno gráfico agradable desarrollado en Visual Basic, el cual es el encargado del monitoreo de las temperaturas en tiempo real. Además, permite realizar gráficos de temperatura en función del tiempo.

Palabras clave; Red de sensores, WSN, Xbee, PIC, Monitoreo de temperatura, cadena de frío, Visual Basic.

I. INTRODUCCIÓN

Los procesos productivos industriales requieren ser supervisados de manera exhaustiva. Estos requisitos son aun mayores en el caso de procesos alimenticios, donde puede verse comprometida la salud de los consumidores. Es por ello que en el procesamiento de alimentos es muy importante que se establezcan pautas bien específicas, desde la capacitación del personal que manipulará los alimentos, hasta cumplimentar con la cadena de frío establecida para cada tipo de producto. Ésta última es de particular importancia en el caso de las carnes, donde tanto las materias primas como los productos terminados deben almacenarse en condiciones de refrigeración o congelación para evitar su deterioro y mantener su calidad microbiológica.

Consecuentemente, el monitoreo y registro de la temperatura es altamente requerido en todo proceso industrial de elaboración de alimentos. Con dicha información se relevan estadísticas, informes, exigencias a nivel mundial, y otro tipo de estudios relacionados con la temperatura que cumple el proceso.

Se investigó acerca de sistemas comerciales existentes, sus costos, medios de implementación, disponibilidad, entre otros. Debido a los altos costos que exigen las empresas desarrolladoras de sistemas para tal fin y a partir de dichos requerimientos, se desarrolló e implementó un sistema de bajo

costo que cumple con los mismos requisitos que los comerciales con componentes disponibles en el mercado local.

Una red de sensores WSN (del inglés, Wireless Sensor Network) es un sistema distribuido donde parte de sus nodos (nodos sensores) son capaces de interactuar con el entorno físico [1, 2, 3]. Estas redes constan en general de nodos sensores y una estación base. Los nodos sensores son dispositivos electrónicos, autónomos, distribuidos geográficamente alrededor de un fenómeno para monitorizarlo, con capacidades de: sensado, cómputo, almacenamiento y comunicación inalámbrica. Una estación base es un dispositivo de mayor capacidad (Ej. PC, portátil) para el almacenamiento, análisis y procesamiento de los datos procedentes de los nodos.

El presente trabajo describe el diseño e implementación de una red WSN. La misma fue desarrollada para la firma Infriba S.A. ubicada en Ruta 88 Km. 12 ½ Batán (frigorífico de liebres, conejos, ciervos y pequeñas aves). Se desarrolló un sistema a medida según los requisitos del interesado, con un costo inferior al de los disponibles hoy en día en el mercado y con la posibilidad de realizar modificaciones, ajustes y/o actualizaciones a futuro, por lo que resulta un sistema altamente dinámico.

II. REQUISITOS DEL DISEÑO

Los niveles de temperatura varían acorde a la zona en cuestión, ya sea cámaras o túneles de congelado donde la temperatura de trabajo normal es inferior a los -20 °C ó salas donde los operarios procesan los alimentos, la cual no debe superar los 13 °C. Además, el nivel de exigencia de la empresa que certifica los valores de temperatura, tolera una dispersión del valor indicado de hasta +/- 0.5°C.

Los requerimientos de monitoreo de temperatura de las distintas cámaras, túneles y salas de procesamiento de la empresa en cuestión se detallan en la Tabla 1.

Sala o Cámara	T de trabajo	T de alarma
Recibo viejo	4	6
Recibo nuevo	4	6
Sala 3	12	16

Cámara fresco	0	6
Sala 4	12	16
Sala 3 Bis	12	16
Sala 5	12	16
Túnel 1	-30	-10
Túnel 2	-30	-10
Túnel 3	-30	-10
Túnel 4	-30	-10
Túnel 5	-30	-10
Túnel 6	-30	-10
Túnel 7	-30	-10
Viseras ciervo	0	6
Cámara 1	-26	-18
Cámara 2	-26	-18
Cámara 3	-26	-18

Tabla 1: Tabla de requisitos de temperatura [°C]

En base a las magnitudes a medir, y la tolerancia permitida se realizó la selección del sensor a emplear.

El sistema de monitoreo debe ser capaz de sensar la temperatura en las diferentes salas, cámaras y túneles del frigorífico, luego enviar la información a una central para realizar el control correspondiente.

A partir de estos requisitos se realiza el diseño del sistema de monitoreo desde el sensado de la temperatura, adquisición de los datos, método de transmisión y recepción de cada zona respecto de la oficina central, muestra de datos en tiempo real y registro de valores. La central es la encargada de encuestar a cada punto de sensado de las distintas áreas.

La precisión requerida para la representación aritmética de los datos esta determinada por el rango de temperaturas a monitorear, consta en valores entre -40 °C y 15 °C, con una precisión de +/- 0.5°C.

La transmisión de los mismos hacia la central de monitoreo ubicada en las oficinas de la empresa, distancia superior a los 100 mts. Finalmente una PC recolecta los datos y es el vínculo con el usuario. Como pautas de diseño para el entorno gráfico se busca que estén visibles en tiempo real todas las temperaturas de la planta. Dicho diseño debe ser agradable a los ojos y la presentación en pantalla debe ser lo mas clara posible para que no se requiera una capacitación del operador del sistema.

Especificaciones de comportamiento del sistema de monitoreo de temperatura:

- Rango de temperaturas a sensar -40 °C y 15 °C
- Monitoreo de temperatura durante 1 a 3 minutos.
- Transmisión de los datos a distancia superior a los 100 mts.
- Recepción y muestra de datos en pantalla en tiempo real.
- Gráficos de datos almacenados en función del tiempo, de fecha y zona deseada.

El sistema presenta dos bloques principales:

Los **nodos sensores** que comprenden: la etapa de *Adquisición*, se encarga básicamente del sensado de la temperatura. El *Procesamiento*, mediante un microcontrolador PIC, se realice la conversión de los valores analógicos sensados a su representación digital, también maneja mediante una interfaz RS232 al dispositivo que envía inalámbricamente los datos a la central y la etapa de *Transmisión*, se trata básicamente de un par TX y RX de la línea Xbee, configurados de forma punto-multipunto, que comunican los puntos de sensado con la central de monitoreo

Finalmente la **estación base** controla al sistema de monitoreo se ejecuta en una PC central. Se encarga de la encuesta secuencial de los nodos mediante el pedido de información desde la antena central a las distintas zonas. Envía pedidos hacia las distintas zonas, y éstas responden con la información de todas sus entradas. El Entorno gráfico, presenta en pantalla de forma clara y concisa el valor de temperatura de todas las áreas monitoreadas de la planta. Por otro lado, permite realizar gráficos en función del tiempo de cada una de las zonas, seleccionando día requerido.

La interconexión de los sensores se presenta como uno de los mayores problemas a la hora de implementar el sistema.

III. DISEÑO E IMPLEMENTACIÓN

A. Nodos sensores

1) Adquisición:

Existen en mercado una gran cantidad de sensores de temperatura, que cumplen con diversas características, ya sea de precisión, exactitud y rango de validez, esto muestra la Tabla 1. En nuestro caso según el rango de temperatura que se desea sensar se seleccionó el sensor PT-100 (Platinum Resistance Thermometers) (Fig. 1) que cumple los requisitos y además es un modelo robusto muy utilizado en la industria.

Tipo de sensor	Temperatura de trabajo
Termopar tipo K	0 a 1370°C
Termopar Tipo J	0 a 760°C
Termopar Tipo R	0 a 1370°C
Termopar tipo S	0 a 1760°C
Termopar Tipo T	0 a 1760°C
Termopar Tipo N	0 a 1300°C
Termopar tipo E	0 a 720°C
Pt 100	-200 a 650°C
Voltaje	0 a 50mV

Tabla 2: Tabla de sensores.

El funcionamiento del sensor PT-100 se basa en la variación de su resistividad en función de la temperatura del medio. El dispositivo consiste en un arrollamiento muy fino de platino bobinado entre capas de material aislante y protegido por un revestimiento cerámico [2,3].

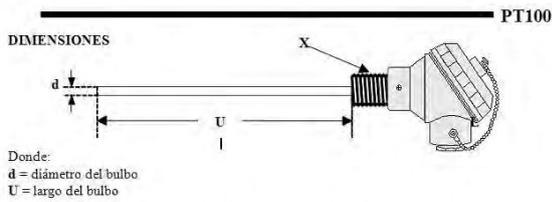


Figura 1: El sensor pt100.

2) *Procesamiento:*

El trabajo de este bloque será recibir la señal del sensor, almacenarla y enviarla hacia la central para ser recibida por la PC [2].

En la actualidad existen varios dispositivos electrónicos, capaces de digitalizar una señal a fin de modificarla y transmitirla, grandes aplicaciones en distintas áreas tanto industrial, robótica y automatización entre otras. Dentro de ellos se encuentran microcontroladores de distintos fabricantes tales como Microchip, Freescale, entre otros. También existen convertidores de gran velocidad y resolución, de relativo bajo costo.

A partir de las necesidades planteadas, podemos resaltar que las mediciones de temperatura no exigen gran velocidad, debido a que la variable física en cuestión presenta una velocidad de difusión relativamente baja, por ende se descarta la necesidad de realizar gran cantidad de muestras en poco tiempo. Es decir que la velocidad no es un factor determinante. Tampoco se requiere una gran exactitud de la señal a sensar, por ello, no es necesaria una gran cantidad de bits para la representación digital de los datos, siendo 8 bits suficientes para la tarea mencionada.

A partir de las distintas opciones existentes en mercado, se optó por un microcontrolador de la empresa Microchip modelo 18F2455, de 8 bits [7,8]. La elección de este dispositivo es debido a que posee gran cantidad de entradas analógicas, necesarias para la conexión de los sensores de temperatura, interfase serie RS232, empleada en la transmisión de los datos hacia la central, un compilador cruzado en lenguaje C de fácil utilización, bajo costo y el programador requiere circuitería muy simple disponible en el mercado local.

En la Fig. 2 se detalla en forma simplificada a través de un diagrama de flujo, el funcionamiento de cada uno de los microcontroladores, que funcionan como adquirentes de las distintas áreas, y que transmiten dichos datos digitalizados hacia la central de monitoreo cada vez que son encuestados:

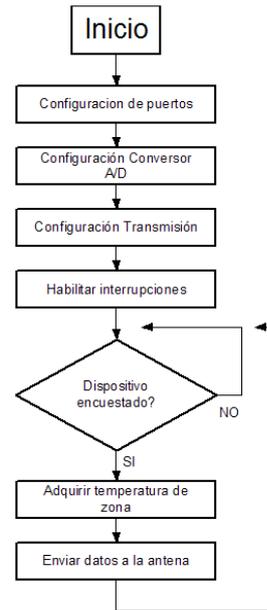


Figura 2: Diagrama de flujo del software del microcontrolador.

3) *Transmisión:*

Una vez obtenidos los datos de las distintas zonas es necesario llevar a cabo la transmisión de los mismos hacia la central de monitoreo ubicada en las oficinas de la empresa. Los medios posibles para llevarlo a cabo son por cable o por aire, como opciones más viables.

En base a las distancias de transmisión en la planta industrial, superiores a los 100 mts y las características de la misma se optó por realizar la transmisión por radio frecuencia. A partir de un análisis minucioso de los productos existentes en mercado se seleccionó una antena con un alcance superior a los 100 mts.

Entre los posibles productos en mercado, se decidió por el Xbee Pro OEM RF Modules [9]. Se realizó una red del tipo punto-multipunto. De esta forma todas las áreas tienen comunicación directa con la antena que se encuentra en la oficina central de monitoreo. La transmisión se realiza a la frecuencia de 2.4 GHz. La modulación se realiza mediante la técnica Espectro esparcido secuencia directa (Direct Sequence Spread Spectrum)



Figura 2: Antena Xbee Pro.

B. *Estación base*

El eje principal del sistema de monitoreo es el software que lo controla. Dicho software, que se encuentra en la oficina central, se encarga tanto de la interacción con los puntos de sensado, emitiendo encuestas periódicas, como también de la recepción de los datos, procesamiento y posterior interacción con el operario. Este software fue programado empujando el

lenguaje de programación Visual Basic y se ejecuta en una PC, empleando pocos recursos de la misma.

Los puntos de sensado son encuestados de forma secuencial mediante el pedido de información desde la antena central hacia las distintas zonas. Para esta comunicación se utilizó un protocolo muy simple, la antena central envía una señal que es reconocida unívocamente por cada punto de sensado y éstos, al reconocer su identificación, responden enviando la información contenida en todas sus entradas.

Como pautas de diseño para el entorno gráfico se buscó que todas las temperaturas de la planta estén visibles en tiempo real. El diseño se realizó de forma que los datos se presenten de forma clara y simple en pantalla como puede verse en las figuras. 3, 4 y 5.

Para cada zona se incluyó un indicador de tipo digital y uno de tipo termómetro. El programa también permite setear una temperatura de alarma en cada sector, de forma de que cuando la temperatura de cada zona supere el valor seteado se encenderá un indicador lumínico en pantalla y junto con una señal sonora para indicar la irregularidad.

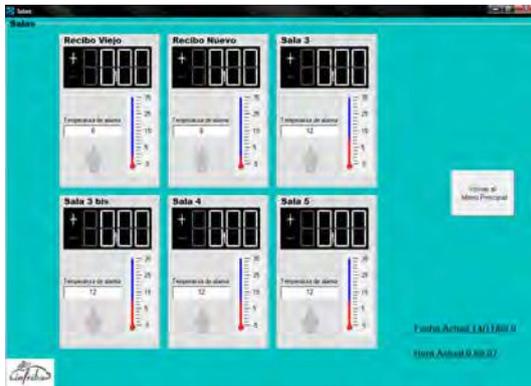


Figura 3: Entorno gráfico de monitoreo.

A la hora de llevar adelante la creación de gráficos, a partir de un menú de fácil interpretación, donde se encuentran los nombres de todas y cada una de las zonas de monitoreo. Una vez dentro, se puede analizar gráficos simples o de tipo múltiple por zonas de iguales características (por ejemplo todas las cámaras). Esta disposición se llevó a cabo a partir de las necesidades de la planta industrial donde fue instalado.

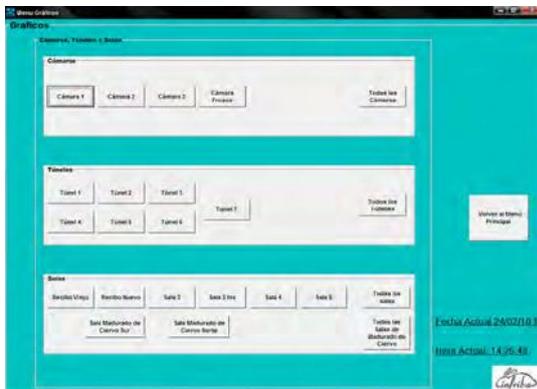


Figura 4: Entorno gráfico: opción gráficos.

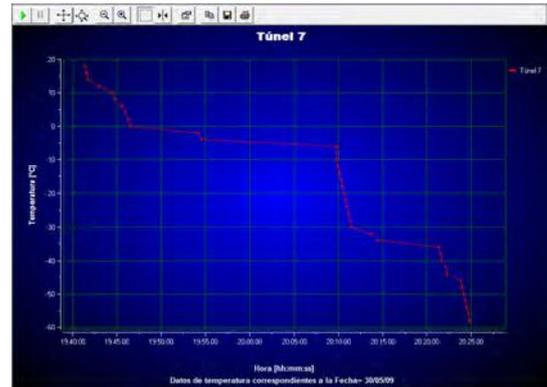


Figura 5: Entorno gráfico: opción gráficos.

IV. CONTRASTACIÓN CON PATRÓN CALIBRADO

Dado que la precisión y exactitud del sistema de monitoreo térmico también es de importancia ha de realizarse un nuevo seguimiento en un futuro cercano para así poder evaluar si existen o no desviaciones en lo que respecta a las máximas diferencias detectadas y las diferencias promedio.

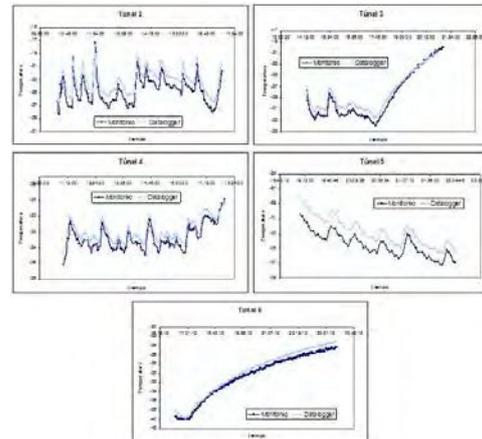


Figura 6: Calibración respecto de patrón calibrado.

V. CONCLUSIONES

Se desarrolló e implementó un sistema inalámbrico de monitoreo y registro de temperaturas para una empresa local dedicada a la comercialización de carne, hallándose actualmente en funcionamiento con óptimo desempeño.

Se logró ofrecer una solución eficiente, práctica y económica donde se desarrolló un programa a medida según los requisitos del interesado con la posibilidad de realizar modificaciones, ajustes, extensiones en cuanto a las zonas a monitorear y/o actualizaciones a futuro, por lo que resulta un sistema altamente dinámico frente a otros existentes.

Es importante destacar que la totalidad de los dispositivos sometidos a contrastación mostraron el mismo comportamiento que el patrón calibrado. Como correlato, el sistema de monitoreo continuo cumple la función para la cual fue diseñado, de registrar las fluctuaciones de temperatura en las diferentes salas, cámaras y túneles.

La interfaz con el usuario presentada por el software de control es de fácil uso, de forma de que no se requiera una

capacitación del operario, asimismo presenta una clara visualización de las temperaturas de todas las zonas y permite realizar gráficos puntuales.

El sistema implementado presenta gran versatilidad ya que puede emplearse para llevar adelante adquisición y registro de otras variables de interés, tales como presión, humedad, estado de funcionamiento de motores, entre otros, simplemente modificando el sensor que adquiere la variable física de interés así como el programa de visualización acorde a las nuevas necesidades.

REFERENCIAS

- [1] Wireless sensor networks: a survey Computer Networks Volume 38, Issue 4, 15 March 2002, Pages 393-422 I. F. Akyildiz, W. Su, , Y. Sankarasubramaniam and E. Cayirci
- [2] Sensor networks: an overview Tubaishat, M.; Madria, S.; Potentials, IEEE , vol.22, no.2, pp. 20- 23, April-May 2003 doi: 10.1109/MP.2003.1197877 URL: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1197877&isnumber=26953>
- [3] Sistemas Distribuidos Redes Inalámbricas de Sensores Arriola, Nicolás Beltramini, Bruno Ferrato, Javier y Schuager, Germá http://www.dsi.fceia.unr.edu.ar/downloads/distribuidos/material/monografias/RedesInalambricasSensores_1.pdf
- [4] Asignatura Sistemas de control – Facultad de ingeniería - Universidad Nacional de Mar del Plata - <http://www3.fi.mdp.edu.ar/control403>.
- [5] Termoresistencia Pt100 línea Novus - <http://www.novus.com.br>.
- [6] Txrail línea Novus - <http://www.novus.com.br>
- [7] Microcontroladores Microchip – www.microchip.com.
- [8] Tutorial Microcontroladores PIC – Miguel Torres Torriti.
- [9] Módulos Xbee pro RF - <http://ar.digikey.com>

Un Sistema de Conversión Para Monitoreo Remoto de Alarmas

Conversión PSTN a Internet mediante protocolo Contact-ID®

Edgardo Gho; Carlos Eduardo Maidana, Fernando Ignacio Szklanny

Grupo de Investigación en Lógica Programable

Depto.de Ingeniería e Investigaciones Tecnológicas – Universidad Nacional de La Matanza
San Justo, P. Buenos Aires, Argentina

Resumen— Este trabajo describe la implementación de un sistema que convierte el protocolo Contact-ID, transmitido por una línea telefónica (PSTN), a una interfaz tipo Ethernet, mediante la utilización de protocolo IP.

El mismo tiene como finalidad recibir información de alarmas que transmitan por Contact-ID en puntos de recepción remotos, interconectados mediante una red Ethernet, posiblemente con acceso a Internet,

El sistema se diseña y se implementa buscando ofrecer una alternativa de alta disponibilidad a las centrales de monitoreo de alarmas que dependen de PSTN para su funcionamiento.

Palabras clave: PSTN, conversión de protocolo, alarmas.

I. INTRODUCCIÓN

Los sistemas de alarma hogareños suelen ser monitoreados remotamente por una central de monitoreo. La central recibe eventos remotos, transmitidos desde los paneles de alarmas instalados en los hogares, mediante la línea telefónica (PSTN) o la red de telefonía celular¹.

Los paneles de alarma envían información utilizando diversos protocolos. Uno de los más utilizados, es el protocolo Contact-ID, normalizado como Digital Communication Standard SIA DC-05-1999.09 [1] Este protocolo debe ser interpretado por la central de monitoreo, con el fin de decodificar el mensaje que recibe desde el panel de alarmas cuando éste se comunica con la central.

El instalador del panel de alarma lo configura durante su instalación mediante la programación de uno o varios números de teléfono a los cuales el panel llama cuando quiere informar de un evento. Los eventos a informar pueden ser de diversos tipos, tales como, por ejemplo, los que corresponden a pruebas periódicas de transmisión, armados/desarmados, disparo de zona, emergencias médicas, emergencias policiales, etc. Generalmente estos números de teléfono (que son los números de teléfono en los que la central recibe los eventos) tienen una prioridad. Esta prioridad define con cuál de estos números el panel intentará comunicarse en primera instancia. Cuando el panel logra comunicar los eventos a la central en alguno de los

números indicados, puede configurarse para reportar en paralelo a una segunda central (por cuestiones de seguridad).

Si bien el mecanismo utilizado funciona en la gran mayoría de los casos, existe la posibilidad de que la central de monitoreo no esté disponible. Esto puede ser debido a que el número primario de comunicación esté ocupado recibiendo eventos de otro abonado. Para salvaguardar este problema, las centrales utilizan líneas rotativas, o disponen de varias líneas de teléfono, permitiendo que se reciban en paralelo tantas comunicaciones como líneas telefónicas se dispongan.

El problema que aparece en el análisis de todo el conjunto tiene que ver con la posibilidad de que la central de monitoreo (ante algún episodio no esperado) se quede sin líneas telefónicas de entrada disponibles. Sin especular demasiado, se puede apreciar que todas las líneas de teléfono que llegan a una central provienen quizás de la misma central telefónica. Si esta central sufre algún desperfecto, o si las líneas sufren cortes en el trayecto de la central telefónica hacia la central de monitoreo, los paneles de alarma no podrán comunicar sus eventos, quedando sin servicio de monitoreo, lo que obviamente es un inconveniente ante alguna emergencia.

Considerando que los paneles pueden configurarse con números de teléfonos varios, con diversa prioridad, podría configurarse algún número de teléfono ubicado geográficamente en un lugar distinto al que ocupa la central de monitoreo (buscando no ser afectado ante una falla de la central telefónica). Un paso posterior, en este caso, requeriría la transmisión de los eventos recibidos remotamente hacia la central (posiblemente mediante un enlace IP), haciendo que todo esto sea transparente para el panel de alarmas, y que la central de monitoreo esté disponible siempre (desde la perspectiva de los paneles de alarma), aun cuando sus líneas telefónicas fallen.

Ante este escenario no común pero posible, algunas centrales de monitoreo deciden no hacer nada, o replicar por completo la central de monitoreo en dos puntos geográficos alejados. Esta última opción implica un incremento en el gasto operativo de la central significativo, ya que requiere mantener dos equipos de monitoreo (equipos, personal, lugar, etc.). Empresas de gran porte pueden afrontar estos gastos, pero

¹ Para este último caso, es común utilizar equipos que simulan una línea telefónica utilizando un teléfono celular, por lo cual la central de monitoreo no diferencia si del lado transmisor hay una línea PSTN o un teléfono celular.

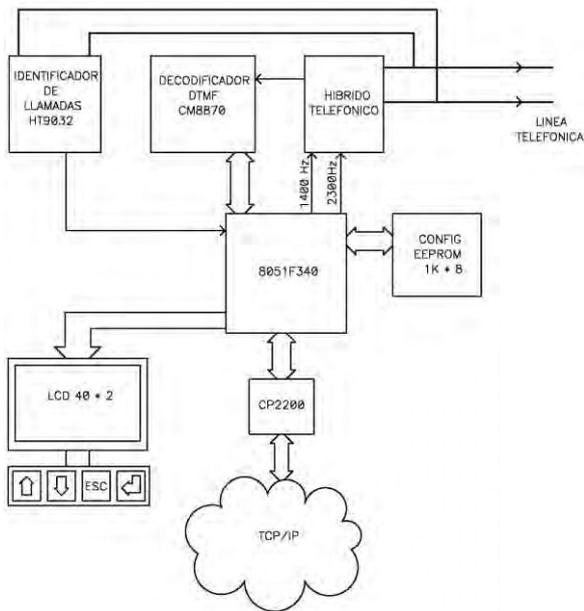


Figure 1. Diagrama en bloques del sistema implementado

- Silencio durante 100 ms
- Tono de 2300 Hz durante 100 ms

Luego de la etapa de handshake, el panel espera 200 ms y transmite el primer mensaje. Los mensajes están compuestos por 16 tonos DTMF, y adoptan el formato:

ACCT	MT	QXYZ	GG	CCC	S
------	----	------	----	-----	---

- ACCT= Numero de Abonado (Cliente)
- MT= Tipo de mensaje
- Q=Calificador de evento (Nuevo, Viejo, Mantenido).
- XYZ= Código de evento.
- GG= Partición del sistema (para alarmas que están divididas lógicamente en dos particiones diferentes).
- CCC= Numero de Zona o Numero de Usuario asociado al evento.
- S= Checksum sobre el mensaje.

pequeñas centrales se ven impedidas de hacer crecer su infraestructura.

Teniendo en cuenta esto último, se plantea el sistema desarrollado, como un equipo autónomo, que puede ubicarse en cualquier punto conectado a una línea telefónica, recibir eventos de paneles de alarma, y retransmitirlos mediante una interfaz Ethernet (utilizando protocolo IP). La figura 1 describe en forma de bloques el sistema implementado.

Este equipo autónomo cumple la función que generalmente cumplen los equipos receptores de alarma mediante PSTN, los que generalmente transmiten la información decodificada a una impresora o una computadora. Pero tiene la ventaja de poder ser consultado remotamente por medio de su interfaz Ethernet, logrando así que la central de monitoreo pueda consultarlo remotamente de manera continua.

II.EL PROTOCOLO CONTACT-ID ®

El protocolo llamado Contact-ID fue diseñado por Ademco, y fue tomado como base de normalización por la Security Industry Association (SIA) para utilizarlo como norma identificada como Standard DC-05-1999.09. El protocolo define como parte de su estructura los elementos necesarios para la comunicación, los que incluyen un tono de conexión (Handshake Tone), un bloque de mensaje, y un tono de reconocimiento (kissoff).

Cuando el panel de alarmas utiliza Contact-ID como protocolo, necesita que la comunicación sobre PSTN pueda hacerse utilizando tonos (siendo más rápido que los sistemas tradicionales que utilizan pulsos).

El panel de alarmas toma la línea telefónica y llama al primer número de teléfono que tiene configurado. El panel detecta que del otro lado hay una central de monitoreo, cuando escucha los tonos de Handshake:

- Tono de 1400 Hz durante 100 ms

Los tonos válidos son los tonos DTMF del 1 al 10 (siendo el 0 transmitido como 10). Cada tono se mantiene activo por 50 ms y luego se mantiene un silencio por el mismo tiempo.

Esto da como resultado que cada mensaje enviado demore 1,6 segundos.

Luego de transmitir el mensaje, el receptor espera el tono de confirmación (KissOFF). Este tono se genera en 1400hz, durante 750 ms. La espera del tono de KissOFF es de 1,25 segundos. Si luego de este tiempo el receptor no envía el tono de KissOFF, se da como inválida la transmisión.

Luego de 4 transmisiones inválidas el panel de alarmas asume que la central de monitoreo no está recibiendo los eventos e intenta comunicar con el siguiente numero en las prioridades de los números telefónicos.

Si por el contrario el tono efectivamente se recibe, la alarma puede optar por comunicar otro evento (el que se transmite inmediatamente), o puede simplemente cortar la comunicación.

Todo este flujo de comunicación se encuentra descrito en el apéndice B del estándar SIA Contact-ID [1].

III.IMPLEMENTACIÓN DEL SISTEMA

Para la implementación de este sistema, se utiliza un microcontrolador de 8 bits Silabs modelo C8051F340. Este microcontrolador interactúa con la línea telefónica mediante un circuito híbrido telefónico diseñado con el fin específico de comunicarse mediante Contact-ID.

La incorporación de este circuito híbrido telefónico se justifica debido a que la comunicación telefónica se realiza sobre un solo par de cables, en el que pueden mezclarse las conversaciones de ambos suscriptores.

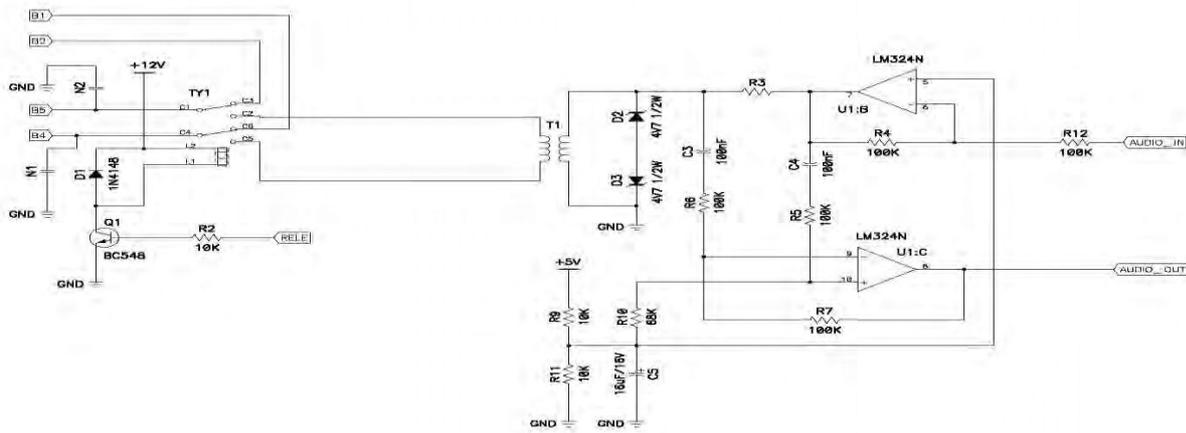


Figure 2. Circuito híbrido telefónico

A la hora de enviar y recibir datos modulados, es necesario convertir este medio físico en lo que comúnmente se denomina comunicación a cuatro hilos, conversión que anteriormente se realizaba utilizando dos transformadores, uno para la transmisión y otro para la recepción.

El modelo planteado en el presente trabajo es un esquema de amplificadores operacionales conocido habitualmente como esquema híbrido. El esquema utilizado se ilustra en la figura 2.

El criterio de diseño utilizado tiene que ver con su simplicidad, la cantidad de componentes que lo conforman y su reducido tamaño, además de su probada eficiencia.

El circuito utiliza un transformador de relación 1:1 (600 ohm:600 ohm), en el cual se suman la señal que se transmite como la que se recibe, teniendo en cuenta la atenuación necesaria para evitar realimentaciones entre los circuitos transmisor y receptor, que provocarían acoples.

El valor establecido para el resistor R3 debe coincidir con la impedancia de la línea telefónica. Por otra parte, los diodos Zener sirven para proteger a los circuitos operacionales de sobrecargas, provocadas por disturbios en la línea telefónica.

Como parte del circuito híbrido, el mismo incluye un detector de llamada (Ring), que le indica al microcontrolador que hay un llamado entrante en la línea telefónica.

Mediante un relé, el microcontrolador toma la línea telefónica, y genera los tonos de handshake requeridos por el protocolo Contact-ID. Luego queda a la espera de los DTMFs transmitidos por el panel, generando posteriormente el tono de aceptación.

Por el otro lado, el microcontrolador utiliza un circuito integrado CP2200 (también de la firma Silabs) para realizar la comunicación Ethernet. El Stack IP se implementa dentro del microcontrolador, dejando un puerto en modo escucha, esperando que la central se comunique para recibir los eventos de manera remota.

El microcontrolador implementa un buffer (64 mensajes) donde se depositan los mensajes recibidos, para luego ser vaciado mediante la lectura remota por la central de monitoreo.

Como medio de verificación del estado del sistema, se utiliza un elemento de visualización alfanumérico de 4 líneas de 20 caracteres. En el mismo se puede visualizar el estado de la conexión con la central de monitoreo, fecha y hora del último evento recibido (utilizando un RTC), y todos los detalles del último evento. (usuario, zona, tipo)

IV.RESULTADOS OBTENIDOS

En el planteo original de este proyecto, surgió la idea de desarrollar un receptor de eventos de alarmas por medio de líneas de telefonía celular. El objetivo planteado era el de obtener un equipo convertidor de telefonía celular a Ethernet, para protocolo Contact-ID.

Toda la etapa microcontrolada y la comunicación Ethernet son idénticas para los dos casos. Sin embargo, debido a limitaciones de tipo tecnológico, no fue posible lograr una implementación apta para la utilización de telefonía celular.

El problema reside en la forma en la que se transmite el audio digitalizado por la red de telefonía celular. Esta transmisión (que para la norma GSM funciona con datos a 13 kb/s) tiene la falencia de mezclar paquetes de datos, o suprimir algunos de ellos. Para el oído humano esto es casi imperceptible; sin embargo, al mezclar los paquetes o suprimir algunos, este procedimiento quita información vital de los DTMFs transmitidos por el protocolo Contact-ID, haciendo que sea muy difícil la decodificación en el lado receptor.

Este caso particular ocurre cuando desde PSTN (correspondiente a la ubicación del panel de alarmas) se intenta establecer comunicación con una línea celular (la que corresponde a la ubicación del receptor).

En el caso en que el panel se comunica mediante una línea celular, el receptor recibe la información en forma correcta, ya sea que la comunicación con el receptor se realice mediante una línea celular, o mediante PSTN.

En cuanto a la presente implementación, se han obtenido muy buenos resultados con el convertidor descrito utilizado como interfaz sobre PSTN. Se configuraron varios paneles de alarma remotos comunicados con el convertidor descrito, y

los eventos transmitidos fueron almacenados en una base de datos remota.

Un beneficio adicional que brinda este sistema, es el de replicar puntos remotos en zonas geográficamente alejadas entre sí, logrando que los paneles se comuniquen con “centrales remotas” en su área geográfica, lo que reduce los costos de llamadas de los clientes. Por ejemplo, una central que opera en la zona del área metropolitana de la ciudad de Buenos Aires (AMBA), requiere que sus clientes ubicados en las afueras de dicha zona realicen llamados de larga distancia para comunicarse con la central. Pero si la central utiliza el sistema propuesto en este trabajo para implementar un receptor remoto ubicado en la misma zona en la que se encuentran localizados sus clientes, éstos realizarán llamados locales (no de larga distancia), reduciendo el costo.

REFERENCIAS

- [1] Standard SIA Contact-ID DC-05-1999-09.
- [2] Hoja de datos Silabs C8051F340
- [3] Hoja de datos Silabs CP2200
- [4] Manual ADEMCO 685 Digital Receiver Station
- [5]

Análisis de alternativas para Medición a distancia

Ing. Leonardo Navarria, Ing. Norberto Barrios, Ing. Hernán Herrera

Centro de Técnicas Analógico Digitales (CeTAD) – Facultad de Ingeniería. Universidad Nacional de La Plata
Calle 48 y 116, La Plata 1900, Argentina
Autoridad del Agua – Ministerio de Obras y Servicios Públicos
Provincia de Buenos Aires, Argentina
leonardonavarria@gmail.com

RESUMEN

En este trabajo se evalúan tres alternativas para poder realizar una medición a distancia de variables meteorológicas. Actualmente las mediciones se efectúan dependiendo de la disponibilidad de un lectorista, un transporte hasta el punto de lectura y el equipamiento portable para obtener dichas lecturas. Las alternativas que se analizan evitan la combinación de la metodología anterior y permiten obtener los datos con retardos de apenas segundos. Para utilizar nuevas tecnologías de medición evalúan tres alternativas, Profibus, Enlace satelital y tecnología GPRS/GSM.

1. INTRODUCCIÓN

La Cuenca del Dique [1] Paso de las Piedras cuenta con estaciones meteorológicas y limnigrafos, fijos en algunos puntos de la mencionada cuenca tal como se muestra en la **Figura 1** y **2**. Estos equipos registran una gran cantidad de información de vital importancia para el estudio del embalse. Los datos que son registrados se relevan por períodos de aproximadamente treinta días. Estos datos dan conocimiento del desarrollo de régimen pluvial, su intensidad, y la distribución en la cuenca, proyectando su aplicación a estudios hidrológicos futuros, conforme la ubicación de las mismas.

El relevamiento de temperaturas y vientos puede relacionarse con el desarrollo de colonias algales y su eventual localización y la evapotranspiración del embalse, siendo aconsejable la colocación de evaporímetros en el embalse, en especial en la Estación Dique Paso Piedras y en distintos puntos del perímetro del lago.

El limnógrafo es un dispositivo electrónico destinado a medir y registrar valores de columna de agua, a intervalos de tiempo configurables por el usuario. Esta información se almacena en una memoria

interna EEPROM. El sistema en sí se encuentra conformado por una sonda y la unidad de control.

El valor de la columna de agua es captado por un sensor piezorresistivo de estado sólido que se encuentra alojado en la sonda. La sonda se vincula al equipo mediante el cableado eléctrico.



Figura 1

La estación meteorológica disponible releva datos de presión barométrica, humedad exterior y punto de rocío, lluvia diaria y anual, velocidad y dirección del viento, factor de enfriamiento, temperatura exterior. Esta

información se acumula por períodos configurables de 15 minutos, por hora, por mes. La estación en sí viene conformada por la unidad en sí misma que incluye el display, barómetro, sensor de temperatura y humedad interno, anemómetro, y sensor de temperatura externa. Para medir las magnitudes mencionadas se incluyen el sensor externo de temperatura y humedad y el pluviómetro. Toda la información obtenida en guardada en una memoria, que soporta muestreando una vez por hora, un período total de treinta y cinco días.

Actualmente la bajada de datos, tanto de las estaciones meteorológicas como limnigrafos es realizada por lecturistas utilizando la interfase RS 232 al pie de la medición, lo que consumen tanto recursos de personal como de tiempo no permitiendo la toma de decisiones instantáneas ante una eventual situación climática determinada.

Actualmente los dos tipos de estaciones desde dónde se deben obtener los datos son alimentadas por una batería de 12 Vcc.

En las estaciones Meteorológicas se encuentra disponible un panel solar y un cargador que alimenta a las baterías. En las estaciones Limnigrafas, las baterías son reemplazadas cada 6 meses.

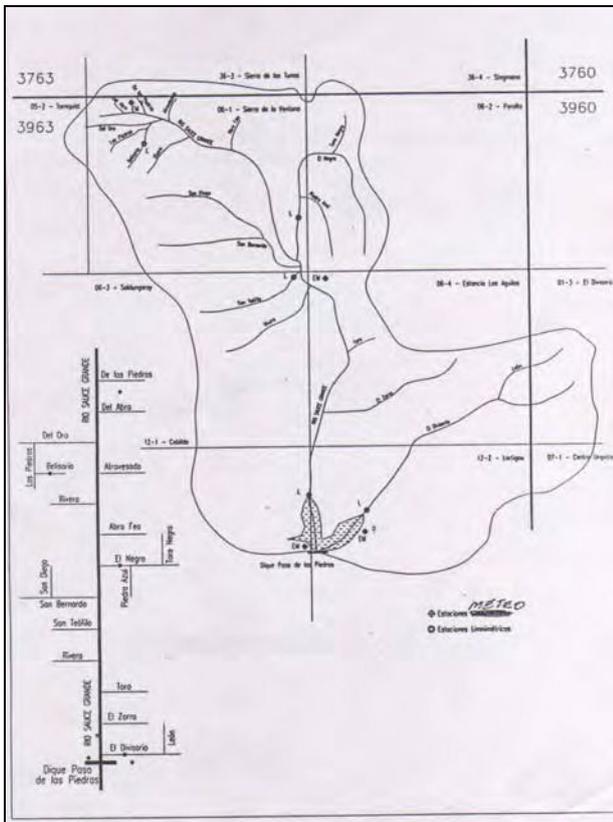


Figura 2

Tanto los limnigrafos como las estaciones meteorológicas almacenan datos por períodos de una hora, por lo que el resto del tiempo se vuelve al estado

de suspensión, no utilizando energía hasta la próxima medición.

2. ALTERNATIVA PROFIBUS

PROFIBUS se adapta a las aplicaciones más diversas según el principio de los sistemas modulares y muestra sus prestaciones en todos los segmentos de la automatización manufacturera y la industria de procesos. El bus de campo probado a nivel mundial puede emplearse en todos los pasos parciales de los procesos de producción y en todas las etapas del proceso. Las soluciones integradas PROFIBUS ayudan a reducir visiblemente los gastos de inversión, explotación y mantenimiento y contribuyen a incrementar la productividad y la disponibilidad de la instalación de forma decisiva. (Figura 3)

Con más de 25 millones de nodos instalados, PROFIBUS es el bus de campo líder en el mercado mundial. Al día de hoy la curva de crecimiento continúa aumentando. Las ventajas de este sistema de bus de campo universal para la automatización industrial es valorada en todos los sectores de una industria.

PROFIBUS es un estándar de red de campo abierto e independiente de proveedores, donde la interfaz de ellos permite amplia aplicación en procesos, fabricación y automatización predial. Este estándar es garantizado según los estándares EN 50170 y EN 50254. Desde enero de 2000, el PROFIBUS está fuertemente establecido con el IEC 61158, al lado de siete otros fieldbuses. El IEC 61158 se divide en siete partes, de números 61158-1 a 61158-6, con las especificaciones del modelo OSI. Esa versión, que fue ampliada, incluyó el DPV-2.

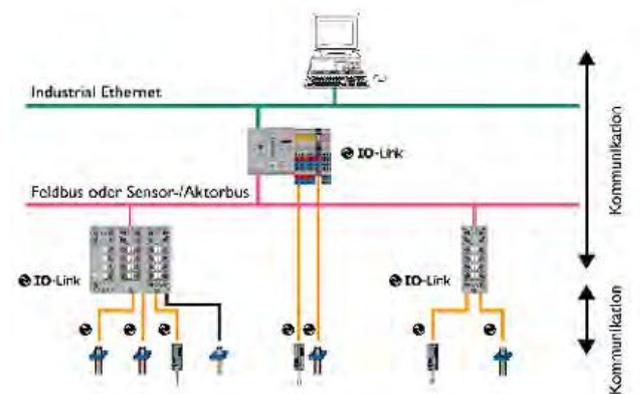


Figura 3

En todo el mundo, los usuarios pueden tener como referencia un estándar internacional de protocolo, cuyo desarrollo buscó y aún busca la reducción de costos, flexibilidad, confianza, orientación hasta el porvenir, posibilitar las más variadas aplicaciones, interoperabilidad y múltiples proveedores.

En términos de desarrollo, vale la pena recordar que la tecnología es estable, pero no estática. Las compañías socias de la PROFIBUS Internacional siempre se encuentran en Equipos de Trabajo atentos a las nuevas exigencias del mercado y garantizando nuevos beneficios con la venida de nuevas características.

Para la situación actual de la Cuenca Superior Al Dique Paso De Las Piedras se deben cubrir distancias entre el punto de medición y la estación de monitoreo que van desde que 1 km, en la estación mas cercana, hasta 30 km en la estación mas alejada.

Las normas de Profibus establecen que:

- Las velocidades de transmisión, las disponibles son: 9.6, 19.2, 93.75, 187.5 y 500 KBaudios.
- El número máximo de estaciones: 127 (32 sin utilizar repetidores).
- Las distancias máximas alcanzables, utilizando un cable de 0.22 mm. de diámetro son:
 - hasta 93.75 KBaudios: 1200 metros
 - 187.5 KBaudios: 600 metros
 - 500 KBaudios: 200 metros

Si bien en la primera estación se podría utilizar profibus, ya que se encuentra a una distancia de aproximadamente 1000 metros (**Figura 4**), en estaciones subsiguientes aparecería la limitación por norma de este protocolo. Utilizar profibus para solo una estación y otra tecnología de comunicación en las demás generaría una diversidad de protocolos que haría que un sistema mixto de comunicación deba disponer de varios modelos y tipos repuestos encareciendo el costo de stock inmovilizado.



Figura 4

3. RED SATELITAL VSAT

Las redes VSAT (Very Small Aperture Terminals) [3] son redes privadas de comunicación de datos via satélite para intercambio de información punto-punto o, punto-multipunto (broadcasting) o interactiva. (**Figura 5**)

Se utilizan como medio de apoyo a los satélites para proporcionar una gran variedad de servicios de comunicación tales como voz, video y datos. El satélite es un elemento transmisor/receptor. Este tipo de sistemas ha evolucionado, gracias a la tecnología DVB (Digital Video Broadcasting) por satélite y a otros tipos de sistemas de mayor integración. Logrando servicios a menor costo del que tenían las redes originales VSAT.

Las Principales características de un sistema VSAT son:

- Redes privadas diseñadas a la medida de las necesidades de las compañías que las usan.
- El aprovechamiento de las ventajas del satélite por el usuario de servicios de telecomunicación a un bajo costo y de fácil instalación.
- Las antenas montadas en los puntos a medir necesarios son de pequeño tamaño (menores de 2.4 metros, típicamente 1.3m).
- Las velocidades disponibles suelen ser del orden de 56 a 64 kbps.
- Permite la transferencia de datos, voz y video.
- La red puede tener gran densidad (1000 estaciones VSAT) y está controlada por una estación central llamada HUB que organiza el tráfico entre terminales, y optimiza el acceso a la capacidad del satélite.
- Enlaces asimétricos.
- Las bandas de funcionamiento suelen ser K o C, donde se da alta potencia en transmisión y buena sensibilidad en recepción.
- Debido a esto, se establece una competencia directa con redes como la Red Pública de Transmisión de Paquetes X.25, o la Red Digital de Servicios Integrados.
- Cabe destacar su rápida y masiva implantación en Europa, Asia y USA, lo que está facilitando un acercamiento sin precedentes de las ventajas del satélite al usuario de servicios de telecomunicación.

Este sistema permitiría la medición de todos los puntos de interés de la Cuenca Superior Al Dique Paso De Las Piedras. Permitiendo en un futuro poder expandir la red hasta sin ningún tipo de limitación fuera de lo que es el ancho de banda.

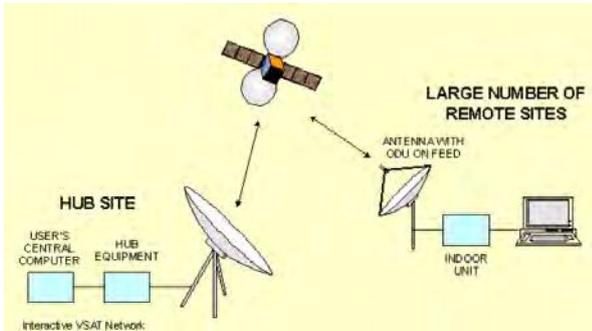


Figura 5

4. RED DE DATOS GSM/GPRS

La tecnología GSM/GPRS permite realizar mediciones sin necesidad de llegar al lugar para tomar la información que el dispositivo almacena. Este tipo de medición permite lograr una comunicación punto a punto a través de la red celular. (Figura 6)

La arquitectura de este sistema está compuesta por módems GPRS, los cuales sirven de interface hacia los equipos seriales, la red celular GSM/GPRS y un Router GPRS-Serial.

Con los equipos mencionados se pueden establecer enlaces virtuales del tipo punto a punto o punto a multipunto, los cuales pueden alcanzar distancias hasta dónde se encuentre disponibilidad de cobertura GPRS / GSM.

La ventaja fundamental que existe en este tipo de sistema es el costo del servicio celular que se determina por la cantidad de datos transferidos y no por tiempo de uso, de modo que es posible dejar la conexión establecida en forma permanente sin costo adicional. En aplicaciones de adquisición de datos el volumen de tráfico habitual solo requiere un abono mínimo, y en general es suficiente para trabajar con periodos de actualización de un minuto y menores, según la aplicación.

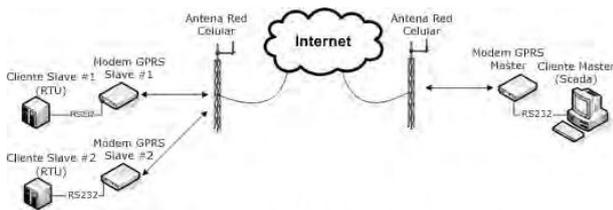


Figura 7

En el caso de las estaciones meteorológicas del Dique Paso De Las Piedras permite conectarnos a ellas estando en cualquier punto de la red utilizando un soft propietario. Mencionado soft genera un puente (bridge) a través de la red GPRS entre el dispositivo a leer y el punto desde el cual se conecta.

5. EVALUACIÓN DE ALTERNATIVAS

De las tres alternativas comentadas anteriormente surge que:

- La red PROFIBUS se encuentra limitada por la distancia a cubrir, siendo este un impedimento desde su protocolo.
- El uso de la tecnología satelital en los puntos remotos requerirá de la instalación de las antenas receptoras mas la unidad para manejar esta antena. Esto requiere un costo que no se justifica para la baja cantidad de datos que se van a transmitir una vez por hora. Debe agregarse a este costo el problema de cómo alimentar la antena en los puntos remotos, si ya sea bien instalando mas paneles solares que requerirá una inversión adicional.
- La tecnología GPRS/GSM es la indicada para este tipo de medición ya que solo será necesario un MODEM GPRS/GSM por cada estación, el cual podrá usar la misma celda de energía solar para su alimentación sin tener que hacer una inversión extra.

6. IMPLEMENTACIÓN DE LA RED DE TELEMEDICION UTILIZANDO GSM/GPRS

Con la tecnología GSM/GPRS estas mediciones se pueden monitorear constantemente sin necesidad de llegar al lugar para tomar la información que el dispositivo almacena.

Este tipo de medición permite lograr una comunicación punto a punto a través de la red celular. En el caso de las estaciones meteorológicas del Dique permite conectarnos a ellas estando en cualquier punto de la red utilizando un soft propietario. Mencionado soft genera un puente (bridge) a través de la red GPRS entre el dispositivo a leer y el punto desde el cual se conecta.

Se debe instalar en el punto a medir un conversor serie/GPRS. Este convertidor hará de intermediario entre el equipo a medir y la red celular.

Un Bridge GPRS es un dispositivo portátil con conectividad GSM GPRS, el mismo contiene una

inteligencia integrada que le permite controlar las conexiones y desconexiones con la red GPRS y el transporte de la información del puerto serie RS232 o RS485 (mediante adaptador externo) de forma independiente al protocolo de comunicación utilizado por su equipamiento, ya sea DNP3.0, IEC-104, MODBUS ASCII, MODBUS RTU, MODBUS TCP entre otros).

En cuanto al soft necesario, dependiendo del conversor serie/GPRS utilizado será necesario o no usar un soft propietario del mismo proveedor para poder lograr la comunicación entre los dos puntos. Este soft sólo es necesario adquirirlo por única vez.

En caso de que no se disponga de la potencia adecuada para que funcione correctamente el equipo convertidor Serie/GPRS existen alternativas para mejorar la recepción de la señal.

En todas las redes celulares del mundo hay zonas que por distintos aspectos no poseen una cobertura aceptable, ya sea por ser un área confinada, porque la señal es bloqueada por árboles, montañas o sencillamente porque el lugar de trabajo está muy alejado de la radio-base. En estos casos puntuales, el usuario queda fuera de servicio.

En otros casos, se le presenta la incomodidad de buscar una zona en particular para establecer la comunicación o la incertidumbre de una llamada perdida. La única solución en estos casos es el REPETIDOR CELULAR. Su operación asegura que una determinada zona disponga de cobertura manteniendo el celular con libertad de movimiento y sin ninguna conexión adicional Cellular Repeater (BDA) Banda Completa, Sub-banda y Selectivos.

Los repetidores celulares permiten extender la cobertura celular en ambientes y zonas donde la señal es fuertemente atenuada por construcciones metálicas, hormigón o en lugares alejados del servicio de la operadora celular. Aseguran además la comunicación simultánea de varios celulares y se disponen varias alternativas dependiendo de la necesidad puntual del usuario considerando las distancias y zona a cubrir.

7. CONCLUSIONES

La alternativa de telemedición utilizando GSM/GPRS queda reducida a implementar los siguientes equipos:

1. **Convertidor Serie/GPRS:** Es necesario instalar una unidad por cada estación a monitorear.
2. **Soft propietario del convertidor:** Es necesario adquirir solo una licencia. La misma en algunos proveedores puede o no venir incluido en el paquete.

3. **Amplificador de Señal:** Dependiendo del nivel de recepción de señal celular será necesario:

- a. Instalar un amplificador de recepción en cada uno de las estaciones dependiendo de la cantidad de potencia de señal recibida. Será necesario evaluar la potencia que el mismo consume con respecto a las fuentes de alimentación disponibles
- b. Instalar un amplificador de señal de celular en la antena emisora teniendo este un costo más elevado.

Considerando que en cada estación Meteorológica y de Limnigrafos se dispone de un panel solar y de baterías para alimentar los equipos se estará ahorrando el costo del equipamiento para alimentar las unidades.

7. REFERENCIAS

[1] www.ada.gba.gov.ar.

[2] www.profibus.com.

[3] "Tecnologías de telecomunicaciones", Huidobro Moya Jose Manuel Millan Tejedor Ramon J., Roldan Martinez David. Editorial Alfaomega Grupo Editor.

[4] www.davisnet.com

Análisis de los Modelos de Propagación Outdoor para la Transmisión de datos entre Estaciones Meteorológicas Remotas.

Giovanardi, Gabriel Walter Ezequiel
Grupo de Investigación y Desarrollo
Instituto Universitario Aeronáutico
Córdoba, Argentina
ggiovanardi961@iua.edu.ar

Galleguillo, Juan Cayetano
Grupo de Investigación y Desarrollo
Instituto Universitario Aeronáutico
Córdoba, Argentina
jgalleguillo@iua.edu.ar

Abstract—En este paper se describen las diferentes metodologías de transmisión de datos desde estaciones meteorológicas remotas hacia una estación central ubicada en la Universidad Nacional de Río Cuarto (UNRC).

La información a transmitir consiste en datos de temperatura del aire, humedad relativa, presión atmosférica, velocidad y dirección del viento, cálculo de punto de rocío y sensación térmica, radiación global y fotosintéticamente activa. Los datos experimentales se registran en estaciones de uso científico localizadas en la provincia de Córdoba, más precisamente, en los alrededores de la localidad de Río Cuarto.

Se estudian los Modelos de Propagación Outdoor (Exterior), especialmente los vinculados a la telefonía móvil GSM/GPRS (Sistema Global para las Comunicaciones Móviles/Servicio General de Paquetes vía Radio) y al Radioenlace de Microondas, y como consecuencia se diseña una red compatible para la transmisión de datos remotos.

Para el caso del sistema GSM/GPRS, como emisor se entiende al conjunto de un Datalogger (almacenador de datos) y a un Módem GSM/GPRS. Como medio de transmisión se utilizará la red GPRS existente y como receptor un Módem GSM/GPRS conectado a una computadora. Esta tecnología es útil para la transmisión de datos siempre y cuando no se supere la limitación en la longitud del radio de la celda celular a la cual se brinda servicio. Para zonas sub-urbanas y rurales se emplea como máximo un radio de 24 Kilómetros. Por este motivo se empleará el Radioenlace de Microondas como alternativa en la transmisión de datos, analizando detalladamente el modelo de Propagación Troposférico, constituyendo finalmente la red de estaciones remotas.

Palabras claves: Transmisión de datos, Estación meteorológica, GSM, GPRS, Outdoor, Radioenlace, Microonda, Propagación.

I. INTRODUCCIÓN

Una estación meteorológica mide y registra regularmente diversas variables de fenómenos atmosféricos. Estos datos se utilizan tanto para la elaboración de predicciones meteorológicas a partir de modelos numéricos. Además el

conocimiento de la radiación solar en un lugar determinado es fundamental para la posible instalación de sistemas solares, tanto térmicos como fotovoltaicos. La importancia de la variabilidad de la radiación solar incidente con la topografía en determinadas aplicaciones es fundamental. Para dicho estudio se disponen de Estaciones Meteorológicas localizadas en zonas de topografías complejas y de difícil acceso en su mayoría.

Existen dos modelos de estaciones instalados actualmente: DAVIS y LI-COR, los cuales se adaptan a las diferentes necesidades y exigencias y se diferencian entre sí de acuerdo al tipo de información que brindan.

Las estaciones DAVIS miden temperatura ambiente, humedad relativa, precipitación, velocidad y dirección del viento, temperatura del suelo modificando los sensores de temperatura interior y otros elementos importantes. Las estaciones LI-COR son similares a las DAVIS y disponen además de sensores que miden radiación solar. Éstas se caracterizan por ser estaciones manuales, es decir, el dato meteorológico observado es recopilado manualmente por el personal capacitado, viajando constantemente hacia su punto de ubicación en vehículos especializados.

En cuanto a las estaciones DAVIS son del tipo automáticas, ya que la información meteorológica es enviada automáticamente a la estación central vía GSM utilizando la cobertura de señal celular que provee la operadora Movistar. Este sistema de transmisión es poco estable, ya que se retrasa el tratamiento de la información por disponer de una cobertura de señal débil.

Actualmente, con la tecnología GPRS, ha empezado a tener auge la transmisión vía teléfono móvil. Dicha tecnología abre nuevas posibilidades de comunicación, sobre todo en el caso donde las redes convencionales no tienen alcance. Por este motivo se estudian los modelos de propagación relacionados con la transmisión vía GPRS y con la propagación espacial en los Radioenlaces de Microondas donde la comunicación de telefonía móvil no es posible.

Los modelos de propagación tienen como objetivo calcular el valor medio de la atenuación del canal de radio. Éstos nacen a partir de un conjunto de expresiones matemáticas, diagramas

y algoritmos usados para representar las características de radio de un ambiente dado.

Generalmente los modelos de predicción se pueden clasificar en empíricos o estadísticos, teóricos o determinísticos o una combinación de estos dos (semi-empíricos).

La aplicabilidad de un modelo depende de especificaciones tales como: el tipo de terreno (montañoso, ondulado o cuasi liso), las características del ambiente de propagación (área urbana, sub-urbana o rural), características de la atmósfera (índice de refracción, intensidad de lluvias, etc.), propiedades eléctricas del suelo (conductividad terrestre), tipo de material de las construcciones urbanas, etc.

En este trabajo se analizan varias técnicas para transmitir y recibir datos digitales con el objeto de obtener los mismos en tiempo real a partir de los modelos de propagación Outdoor.

II. DISEÑO DEL SISTEMA DE TRANSMISIÓN

La cobertura celular se refiere al sector geográfico que está dentro del área de influencia de una o más celdas celulares y que mantiene un campo eléctrico superior al límite establecido. El sistema de comunicaciones debe garantizar la calidad dentro del área de cobertura de la operadora. Para este proyecto se determinó que la mejor opción en cuanto a la elección de la operadora celular es AMX Argentina S.A. (más conocida como Claro) [1], debido a su amplio porcentaje de cobertura existente en el país, fundamentalmente en la provincia de Córdoba.



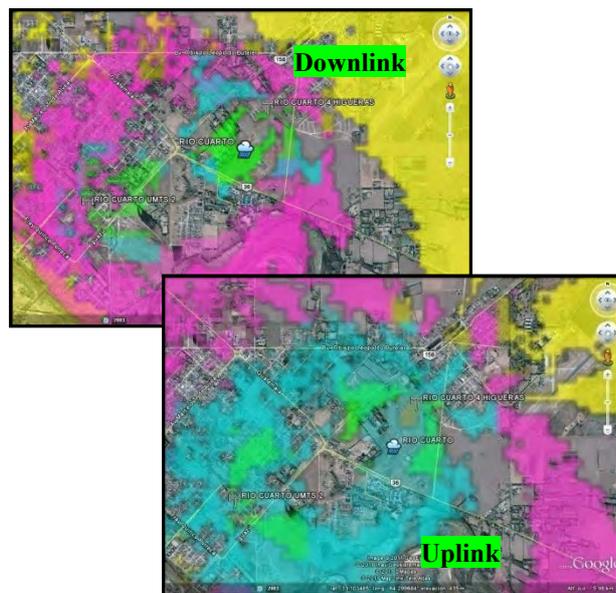
REFERENCIAS	
	ESTACIONES METEOROLÓGICAS
	RADIO-BASES CLARO

Figura1. Ubicación de las estaciones meteorológicas en Río Cuarto, Charras y San Ambrosio dentro del área de cobertura de las Radio-Bases de la Empresa Claro S.A.

Una vez seleccionada la operadora celular se procedió con la simulación de cobertura para las estaciones cercanas a las Radio bases. Para el desarrollo de las mismas se utilizó el Software RadioEarth, una ponderosa aplicación que interacciona con el Software Cartográfico Google Earth para realizar simulaciones de coberturas radioeléctricas de sistemas de comunicaciones.

Para el enlace Downlink entre la estación base y el móvil (modem GSM/GPRS de la estación remota) se utiliza una

potencia de transmisión de 45 dBm, paneles sectoriales de 21 dBi de ganancia y 2 dB de pérdidas totales (1,5 dB en pérdidas por acopladores y 0,5 dB en pérdidas por conectores). El móvil tiene una sensibilidad de recepción de -102 dBm. La localización (latitud y longitud) de las Radio bases está expresada en grados decimales. Los paneles están colocados a una altura promedio de 45 metros sobre el nivel del suelo en las estructuras correspondientes (Autosoportadas, Mástiles Arriostrados o Monopostes). La orientación está conformada por un ángulo de azimuth apuntando hacia la estación meteorológica y ángulo de elevación de 10°. El Módem GSM/GPRS de la estación remota está situado a una altura de 1,5 metros sobre el suelo con una antena isotrópica sin considerar ganancia de recepción. Las simulaciones están desarrolladas en la banda de los 1800 Mhz utilizando el modelo de Propagación de Espacio Libre, considerando un radio de cobertura que varía entre 5 y 24 kilómetros.



REFERENCIAS DOWNLINK			REFERENCIAS UPLINK		
	-141.3	-100		-135.3	-100
	-90	-80		-90	-80
	-70	-60		-70	-60
	-50	-40		-55	-50
	-30	-18.61		-40	-33.61

Figura2. Simulación de cobertura celular para la estación meteorológica Río Cuarto.

Para el cálculo del enlace Uplink entre la radio base y el móvil se aplica una potencia de transmisión de 29 dBm, manteniendo fijo los demás datos.

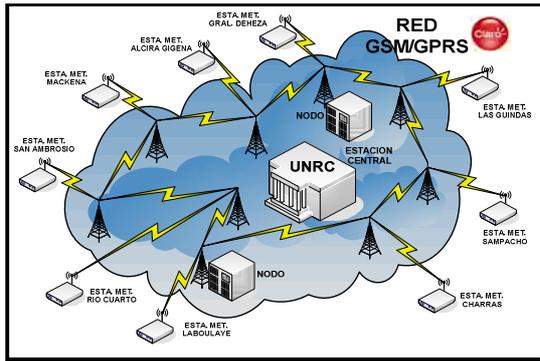


Figura 3. Diseño de la red de datos utilizando la tecnología GPRS hacia la estación central.

El sistema, a través de la red GPRS, es útil siempre y cuando no se supere la limitación en la longitud del radio de la celda celular a la cual se brinda servicio. Para zonas urbanas y rurales se emplea como máximo un radio de 24 kilómetros. En la figura 4 se observa que las estaciones Rodeo Viejo, La Aguada y Huinca Renancó superan esta limitación, encontrándose a una distancia que ronda entre los 27 y 32 kilómetros de la Radio base más cercana.

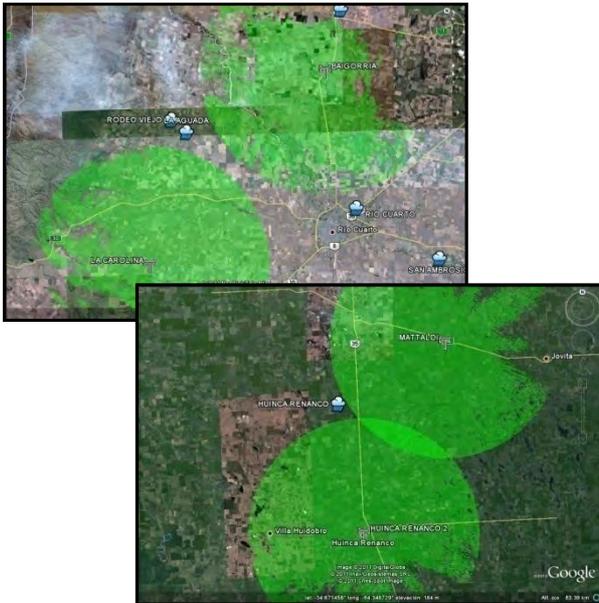


Figura 4. Cobertura de Potencia para las estaciones en Rodeo Viejo, La Aguada y Huinca Renancó.

Con la finalidad de extender la cobertura de comunicación entre las estaciones meteorológicas se empleará el Radioenlace de Microondas para el vínculo de los datos, integrándose de esta forma al sistema GPRS y constituir la red de estaciones remotas con la estación central.

Mediante la ayuda del software de cálculo radioeléctrico “Pathloss 4.0” se ingresan los datos que reflejan las condiciones de enlace entre los puntos a interconectar.

NOMBRE DE LOS SITIOS		COBERTURA GPRS		INLACE WIRELESS	
Nombre de los Sitios	HUINCA RENANCO	Nombre de los Sitios	CORDOBA	Código de Operador	UBQUITIXRS
Estado / Provincia	CORDOBA	Estado / Provincia	CORDOBA	Módulo de Radio	UBQUITIXRS
Código de Estación		Código de Estación		Designador de Emisor	
Latitud	34.38.59.66 S	Latitud	34.33.54.40 S	Destintivo	
Longitud	064.24.56.89 W	Longitud	064.19.21.10 W	Potencia de Transmisión (dBm)	27.78
Altitud Verdadera (m)	56.30	Altitud Verdadera (m)	236.25	Frecuencia (MHz)	5800.00
Distancia Calculada (km)	10.28	Distancia Calculada (km)	10.28	Polarización	Vertical
Distancia del Perfil (km)	10.28	Distancia del Perfil (km)	10.28	Pérdidas de Espacio Libre (dB)	127.98
Elipticidad	WGS 84	Elipticidad	WGS 84	PIRE (dBm)	53.92
Elevación (m)	197.50	Elevación (m)	189.16	Señal Recibida (dBm)	-49.42
Altura de Torre (m)	18.00	Altura de Torre (m)	22.00		
Altura de Antena de TR (m)	18.00	Altura de Antena de TR (m)	22.00		
Pérdidas TX (dB)	5.86	Pérdidas TX (dB)	7.28		
Pérdidas RX (dB)	5.86	Pérdidas RX (dB)	7.28		

Figura 5. Datos del enlace.

En la figura 5 se observa la pantalla principal del software con la información principal de los puntos a vincular.

Para unir los puntos de conexión se utilizarán equipos de radiofrecuencia de marca “Ubiquiti” modelo XR5, con una potencia de transmisión de 27,78 dBm (0,60 Wattios) con antenas de alto rendimiento de 32 dBi de ganancia conectados por cable coaxial LMR-400.

El parámetro PIRE expresado en dBm calculado en base a la siguiente relación [3]:

$$PIRE = P_{TX} (dBm) + G_A (dBi) - P (dB) \quad (1)$$

Para efectos de los cálculos de las pérdidas se trabaja con una frecuencia de 5800 Mhz.

Las pérdidas en el espacio libre calculadas en base a la siguiente expresión [3]:

$$L = 92.45dB + 20 \log(f) + 20 \log(D) + aD \quad (2)$$

En la ecuación 2 podemos ver que está presente la frecuencia de Radio Frecuencia en Ghz, la distancia de propagación en kilómetros [Km]. El parámetro *a* se refiere a la Atenuación debida al aire y al vapor de agua [dB/Km].

Para el cálculo de la “Señal recibida” se considera la siguiente ecuación [2]:

$$P_{RX} = P_{TX} - AC_{TX} - AL_{TX} + G_{TX} - L + G_{RX} - AL_{RX} - AC_{RX} - A_A \quad (3)$$

La expresión anterior se la conoce como ecuación del enlace. En ella se considera la potencia del transmisor, la ganancia de la antena transmisora, ganancia de antena receptora, pérdidas en los conectores, pérdidas en la línea de transmisión, pérdidas en el espacio libre y pérdidas por absorción atmosférica.

Con todos estos datos y con la adquisición de habilidades con el software, se logrará darle la mayor eficiencia al sistema con los menores costos y las condiciones más favorables.

CONCLUSIONES

Para dar inicio a este proyecto se realizó un exhaustivo estudio de los equipos e instrumentación del sistema de estaciones meteorológicas manuales y automáticas que dispone la Universidad Nacional de Río Cuarto. Luego se analizó la ubicación de las 12 estaciones remotas. Esto ayudó a determinar las necesidades, en cuanto a comunicaciones, para mejorar el monitoreo Meteorológico. Del resultado global del proyecto se puede concluir que los estudios iniciales mencionados anteriormente fueron muy útiles y necesarios para determinar el mejor sistema de comunicación.

En este trabajo se han comparado los diferentes sistemas de transmisión de datos remotos, analizando sus ventajas y desventajas. De lo que se puede concluir que para el caso concreto de transmitir datos industriales a grandes distancias, la tecnología GPRS es la que presenta mayores ventajas, debido a la flexibilidad, escalabilidad y al reducido costo de la misma. El único inconveniente es que actualmente las operadoras que brindan este tipo de servicio no cubren la totalidad del territorio Argentino.

El sistema de transmisión de datos presenta facilidad de instalación, mantenimiento y manejo por el usuario, así como también presenta información en forma clara y concisa. Así se puede conocer las condiciones meteorológicas del lugar remoto como si se estuviera presente en el mismo. Esto permite concluir que se consiguió construir un sistema amigable y confiable para el usuario.

El diseño propuesto ha sido estructurado de una forma que permite una futura expansión mediante la inclusión de nuevas estaciones remotas en diferentes lugares del país, ampliando de esta manera el área de cobertura. Consecuentemente, se puede concluir que se ha diseñado una red escalable, característica de suma importancia en los diseños de redes actuales.

La caída del servicio de la red de Claro S.A. ocasionará que las estaciones remotas no se comuniquen con la estación central. Sin embargo, esto no necesariamente significa pérdida de datos puesto que las unidades remotas siguen midiendo y almacenando la información en su memoria. Por consiguiente se puede concluir que las caídas de la portadora no provocarán pérdidas de la información, tan solo un retraso en el envío de los datos desde la estación remota hacia la estación central.

BIBLIOGRAFIA REFERENCIADA

- [1] Comisión Nacional de Comunicaciones. Consulta: Febrero de 2011. www.cnc.gov.ar.
- [2] Pedro E. Danizio, "Introducción al Cálculo de Enlaces", 3era ed., Editorial: Universitas, 2004.
- [3] Roger L. Freeman, "Radio System Design for Telecommunications", 3era ed, 2006.
- [4] Tomasi Wayne, "Sistema de Comunicaciones Electrónicas", 4ta ed, Editorial: Prentice-Hall, 2003.
- [5] Andrango Paúl G., "Estudio de la Tecnología Sistema General de Transmisiones de Paquetes Vía Radio (GPRS) y sus Aplicaciones en el Sistema Global para Comunicaciones Móviles (GSM), Ecuador, 2004.

PLL Digital Multiplicador de Frecuencia integrado en un proceso CMOS estándar

Pacheco, Gonzalo Andrés

Seminario de Diseño de Circuitos Integrados en Tecnología CMOS
Departamento de Electrónica, Facultad de Ingeniería, Universidad de Buenos Aires.
Buenos Aires, Argentina
pachecogonzalo@gmail.com

Resumen — En este trabajo se presenta el diseño y layout de un circuito multiplicador de una frecuencia de entrada de 10MHz para obtener una salida de 80MHz a través de un PLL (*Phase Locked Loop: Lazo de Seguimiento de Fase*) digital, utilizando la tecnología CMOS estándar de 0.6 μm .

I. INTRODUCCION

Un PLL es un sistema de control, encargado de entregar a su salida una señal cuya fase está vinculada a la de la señal de entrada.

Existen muchas aplicaciones que requieren la generación de una señal de reloj dentro de un chip para poder realizar tareas que requieren de una importante sincronización. En determinados casos, la estabilidad que pueden brindar estos relojes on-chip no logra alcanzar a aquellas generadas en circuitos externos con osciladores de cristal. Sin embargo, los osciladores con cristales no pueden alcanzar frecuencias muy elevadas, o es difícil lograr introducir dicho reloj al chip sin que sufra alteraciones en sus flancos.

Por ello, se recurre a la utilización de un reloj externo de baja frecuencia y de elevada estabilidad, y se multiplica su frecuencia internamente, para evitar los problemas de ingreso de una señal de alta frecuencia y al mismo tiempo se mantiene su elevada precisión.

II. TECNOLOGIA

El circuito integrado se implementó en un proceso n-well CMOS estándar de 0.6 μm , con tres capas de metal y dos de polisilicio. De acuerdo a las necesidades de cada circuito utilizado, se dimensionó adecuadamente el tamaño de los transistores.

III. DESCRIPCION

Un PLL se puede describir con una serie de bloques generales, tal como se presenta en la Fig. 1.

Al abrir el lazo de realimentación, el bloque comparador de fase arrojará una salida proporcional a la diferencia de fase entre las entradas: $\varphi_{\text{ref}} - \varphi_o$. A continuación, esta salida se traducirá a una tensión, entonces obteniendo en este punto una tensión proporcional al defasaje de las entradas. Para no

obtener una señal de reloj con ruido de fase (jitter) y brindar al circuito global realimentado de una estabilidad determinada, es necesaria la inclusión de un filtro en el circuito completo, función que cumple el bloque denominado de la misma forma.

Una vez filtrada, la tensión de diferencia de fases controla un oscilador que entregará una salida a partir de la cual se sintetizará un múltiplo de la fase deseada inicialmente, que tras atravesar un divisor de fase se cierra el lazo y se puede sintetizar la misma fase y frecuencia de la entrada.

Previo al divisor de frecuencia, se puede hallar una señal que tiene una relación lineal con la referencia, pero que su fase es N veces mayor, y por lo tanto su frecuencia también lo es, sintetizando finalmente el multiplicador de frecuencia de entrada.

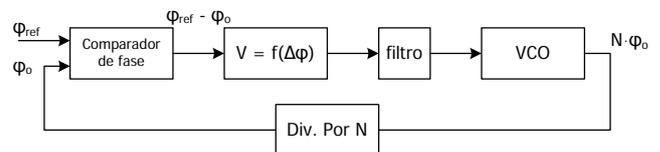


Figura 1. Esquema básico del funcionamiento de un PLL con multiplicador de frecuencia por N.

Por lo tanto, el circuito completo se compone de 5 bloques diferentes, cuyos diseños han sido parte del alcance de este trabajo, así como también las consideraciones para su estabilidad general.

IV. DISEÑO

A) Comparador de fase y frecuencia

Dado que el PLL implementado es utilizado para el seguimiento de una señal de reloj digital, todo el PLL es digital y entonces otorga la libertad de utilizar una máquina de estados para implementar el comparador de fase.

La Fig. 2 presenta el circuito digital que implementa el comparador de fase, mientras que la Fig. 3 presenta la máquina de estados asociada [1].

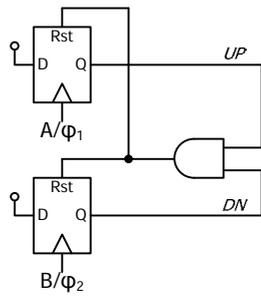


Figura 2. Circuito comparador de fase.

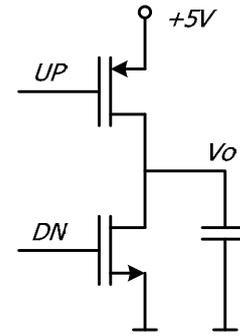


Figura 4. Circuito Inyector de Carga/Charge Pump.

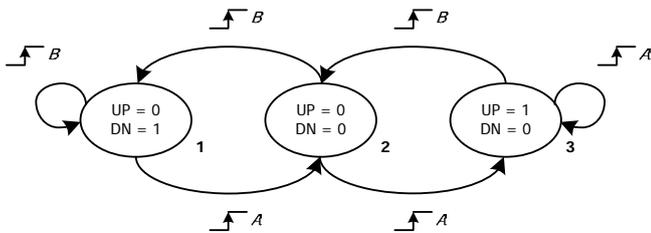


Figura 3. Máquina de estados asociada al circuito comparador de fase

El funcionamiento básico es el siguiente: Los valores Up y Dn (Up y Down: Arriba y abajo) cumplen la función de controlar la duración temporal de dos pulsos de salida, que representarán el aumento o disminución de la tensión del siguiente bloque. La salida Up o Dn se encontrará en 1 mientras que dure el defasaje, y por lo tanto estará allí un tiempo proporcional al defasaje entre las señales.

Si se partiese del estado 2, y en un instante el reloj B es más veloz que el A, su flanco llegará primero, y el sistema se trasladará al estado 1. Allí, el estado Dn toma el valor 1, lo que representa que la entrada B tiene una fase mayor que A, y se mantendrá en dicho valor hasta que la llegue el pulso de la entrada A, momento en el cual el sistema vuelve al estado 2.

Por lo tanto, la salida Dn tiene una duración temporal proporcional al defasaje. Si la señal que adelantase fuera la A, la salida que representara ese defasaje sería Up.

Una ventaja significativa de este circuito de comparación de fase sobre otros, es que conjuntamente compara frecuencia. Esto implica que dicho circuito no podrá funcionar de manera estable cuando las entradas sean múltiplos enteros, y por lo tanto se evitan problemas de estabilidad para dichos casos indeseados.

B) Conversor de defasaje a tensión

Partiendo de las salidas Up y Dn, la conversión de estos defasajes, representados en duración temporal, a una tensión de salida, se realiza a través de un circuito Charge Pump (inyector de carga). El circuito tiene la particularidad de ser bastante sencillo, y se puede implementar como se muestra en la Fig. 4.

Assumiendo que los transistores en su estado "on" se pueden comportar como fuentes de corriente, mientras que la salida Up se mantiene en alto, el transistor PMOS cargará al capacitor de salida, y el incremento en tensión de salida será proporcional al tiempo que dicha señal se mantenga en alto. Por lo tanto, se logra efectivamente una conversión de fase a tensión.

Nuevamente, ocurre lo mismo con la entrada Dn, pero disminuyendo la tensión de salida.

Debido a que esta es la primer etapa analógica de procesamiento, el tamaño de los transistores cobra una variable de diseño de importante consideración.

C) Filtro

En el charge pump previo, se utiliza un capacitor para lograr la relación de tensión de salida versus el defasaje de entrada. Esta carga debe ser lo suficientemente rápida para que el PLL no sea lento, pero que no presente inestabilidades. Sin embargo, el circuito logrado será lo bastante rápido para pasar el ruido de fase a la salida. Por lo tanto, se agrega un circuito en paralelo, que resulta ser un RC serie, que ayudará a mantener el valor medio de la tensión para bajar dicho jitter.

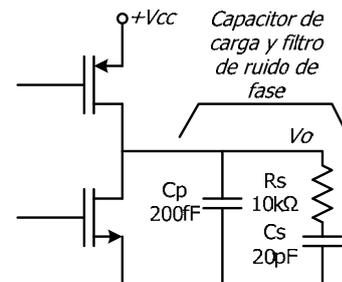


Figura 5. Filtro para ruido de fase, junto al capacitor de Charge-Pump.

Debido a que este es la primer etapa analógica del circuito, es de especial interés el dimensionamiento de los transistores de la fuente Charge-Pump, así como también ocurre con los elementos pasivos de filtrado.

Por consideraciones de estabilidad y velocidad de respuesta, se debe optar por utilizar transistores que entreguen poca corriente, por lo que los transistores de carga llevarán un ancho mínimo, pero junto con un largo muy superior al mínimo, siendo de 10μm.

D) VCO

La función del VCO (Voltaje Controlled Oscilator: Oscilador Controlado por Tensión) es sintetizar un reloj de salida cuya frecuencia de oscilación se proporcional a la tensión de entrada.

Una forma sencilla de realizar este circuito es agregar a un circuito oscilador estándar la posibilidad de controlar la cantidad de corriente máxima que circula en cada uno de sus inversores básicos.

Una implementación de esta idea se presenta en la Fig. 6, donde se puede ver que a partir de una tensión de control V_{ctrln} aplicada en el transistor NMOS Q_1 se limita la cantidad de corriente que se dejará pasar por el inversor mínimo. Asimismo, el transistor PMOS Q_2 trabaja como una fuente de copia de corriente que fijará la misma cantidad de corriente máxima para la rama PMOS de los inversores, regulando globalmente la corriente de todo el conjunto y la velocidad de conmutación, y consiguientemente la frecuencia de salida.

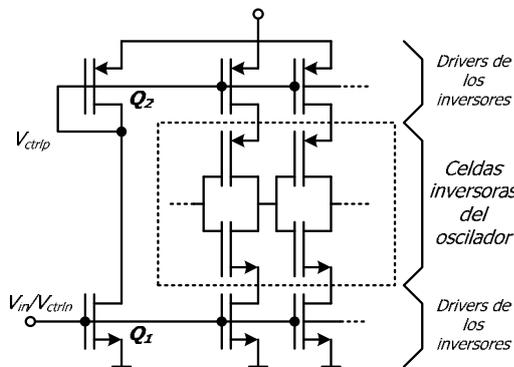


Figura 6. Circuito control de corriente de los inversores mínimos del oscilador, y subsiguiente control por la tensión V_{ctrln} .

Debido a que el presente trabajo se realiza con una frecuencia central de 80MHz en su totalidad, se toma este valor como centro de diseño, para lo cual la cantidad de etapas inversoras que componen el clock será elegida de forma tal que cumpla ser el centro de diseño.

La Fig. 7 presenta la característica de un VCO de 15 etapas, donde se puede ver que para los 80MHz de centro de diseño prácticamente se obtiene un rango dinámico máximo de tensiones de entrada V_{in} de control del oscilador, con lo que se concluye que la cantidad de etapas es la apropiada para las condiciones de diseño iniciales.

Nuevamente, en este bloque deben considerarse el dimensionamiento de los transistores que limitan las corrientes de los inversores. En este caso particular, se opta por las dimensiones mínimas en todos los transistores con el fin de minimizar el área del circuito, ya que la síntesis del bloque deseado se puede dimensionar mediante la cantidad de etapas que lo componen.

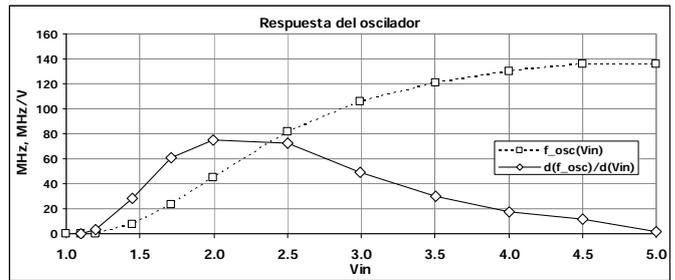


Figura 7. Simulación de respuesta de un oscilador de 17 etapas: Frecuencia de oscilación (f_{osc}) vs Tensión de control (V_{ctrln}/V_{in}), y su gradiente en función de la tensión de entrada.

E) Divisor por N

El circuito divisor por N es sencillamente una secuencia de flip-flops en cascada al que se le realiza un reset global al formarse una palabra determinada, que es el número hasta el que se desea contar.

Como en este caso particular N es 8, dicho reset no es necesario implementarlo, ya que el divisor ciclará de 0 a 7 constantemente.

Finalmente, la cantidad de flip-flops para realizar una cuenta cíclica de 8 valores es 3, y por lo tanto se agregan 3 de estos bloques fundamentales a los 2 previamente utilizados en el comparador de fase.

F) Consideraciones de estabilidad

Tal como se comentó previamente, al ser el PLL un circuito globalmente realimentado se debe tener especial cuidado con las consideraciones de estabilidad.

El sistema global se puede analizar tal como se muestra en la Fig. 8:

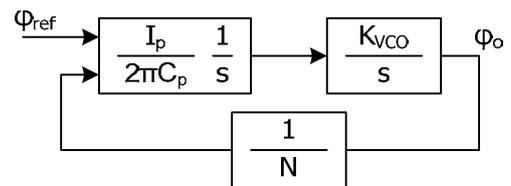


Figura 8. Esquema analítico del PLL.

Donde:

I_p : Corriente media de carga del Charge Pump

C_s : Capacitor serie de carga del Charge Pump

R_s : Resistor serie de carga del Charge Pump

K_{VCO} : Ganancia del VCO

N: Factor de multiplicación

Se encuentra que la transferencia planteada posee 2 polos que obedecen la siguiente ecuación:

$$s_{1,2} = a \pm \sqrt{1-b}$$

donde:

$$a = \frac{R_s I_p K_{VCO}}{4\pi N}, \quad b = \frac{8\pi N}{R_s^2 C_s I_p K_{VCO}}$$

De aquí se pueden observar las condiciones de estabilidad que condicionan el diseño del circuito. Por ejemplo, ninguno de los parámetros en el denominador de la constante b se puede hacer arbitrariamente pequeño, ya que obtendríamos polos complejos conjugados con una gran parte compleja, que dado un mínimo ruido de fase podría llegar a aportar una constante oscilación de dicha fase en esta frecuencia.

Por otro lado, en la transferencia total adicionalmente hallamos un cero de transferencia en la frecuencia S_3 :

$$s_3 = \frac{1}{R_s C_s}$$

Dado el diseño planteado, el cero S_3 podría hallarse en una frecuencia superior a la de los polos, solo si estos fueran complejos conjugados. O bien, dicho cero se encontrará antes del primer polo del par S_1, S_2 .

En este diseño particular, se optó por implementar polos complejos conjugados de Q relativamente bajo, situando al cero algo por encima de dichos polos. Adicionalmente, se sumó un grado de libertad adicional al incorporar al capacitor C_p . Este capacitor filtrará aún más las componentes de alta frecuencia que podrían introducir jitter de fase.

Finalmente, la transferencia se presenta en la Fig. 9, donde se puede observar que para las condiciones establecidas inicialmente, se encuentra que la transferencia total cumple los criterios de estabilidad.

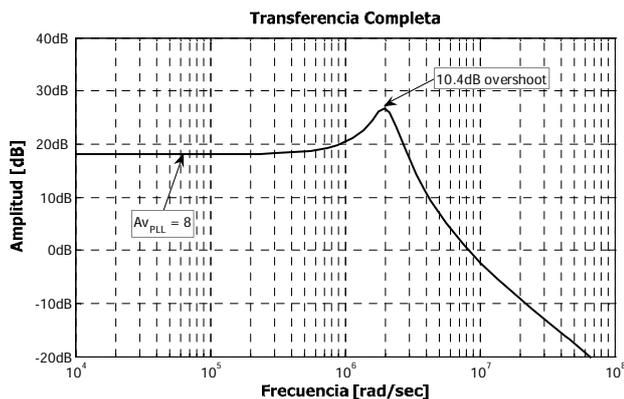


Figura 9: Cálculo de la respuesta en frecuencia del PLL en la frecuencia central de trabajo (80MHz).

G) Resultados

Las simulaciones de las formas de onda de las señales de entrada y salida se presentan en la Fig. 10, donde se puede ver que efectivamente el circuito implementado eleva la frecuencia de entrada en un factor de 8 veces.

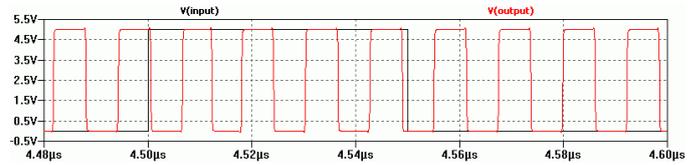


Figura 10. Formas de onda de entrada y salida del PLL implementado.

El proyecto completo se presenta en la Fig. 11, donde se puede apreciar los componentes más importantes del proyecto volcados en el layout final del circuito.

Asimismo, las simulaciones de dicho circuito ya volcado al layout, que incluye los parásitos propios del proceso, arrojó resultados muy similares, con lo que se infiere que la fabricación de este diseño llevaría resultados satisfactorios.

El circuito actualmente está fabricación, por lo que se espera que en un próximo futuro se puedan medir sus características y compararlas con el diseño aquí presentado.

El PLL implementado consta finalmente de 204 transistores, más 2 capacitores (200fF y 20pF) y una resistencia (10k) para la etapa de filtrado. El área total de silicio ocupada resultó de aproximadamente 0.06mm².

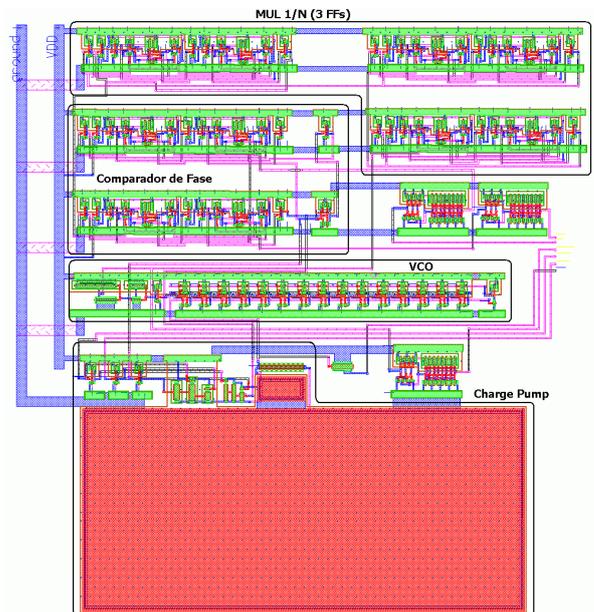


Figura 11. Layout del proyecto completo.

REFERENCIAS

[1] J. Rabaey, A. Chandrakasan, B. Nikolic, "Digital Integrated Circuits", 2nd Edition

Simplificación del método del corto circuito para la medición de la permitividad dieléctrica

Lipuma Daniel -dlipuma822@alumnos.iaa.edu.ar
 Ing. Raul Gastaldi- rgastaldi@iaa.edu.ar
 Ing. Sergio Medina -smedina@iaa.edu.ar
 Ing. Marcela Busnardo- mbusnardo@iaa.edu.ar

Facultad de Ingeniería
 Instituto Universitario Aeronáutico
 Grupo de Investigación y Desarrollo
 Av. Fuerza Aérea 6500, Córdoba, Argentina

Resumen— Para la medición de la permitividad de distintos materiales, se simplificó el método del corto circuito [1], al considerar sin pérdidas los distintos materiales analizados, y resolviendo la ecuación resultante de la aplicación del método por medio de un programa de cálculo numérico desarrollado en lenguaje Fortran, evitando la resolución de ecuaciones complejas. Para tal fin se utilizó un banco de microondas Decca Radar en el rango de frecuencias de 2,6 a 4Ghz.

I. INTRODUCCION

Un banco de microondas es un elemento de laboratorio para la medición de distintos parámetros en guías de ondas. Estas son tubos conductores metálicos huecos que por su interior pueden propagar determinadas configuraciones de campos electromagnéticos. Si esta línea de transmisión se encuentra cargada, las ondas incidentes y reflejadas conforman ondas estacionarias las cuales pueden ser medidas con una línea ranurada

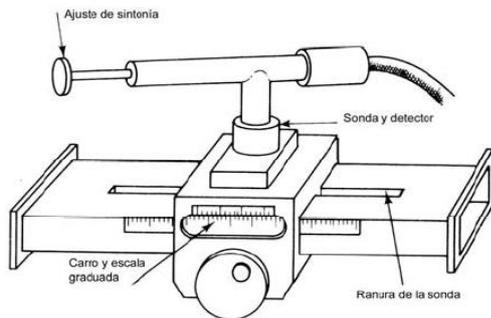


Figura 1. Guía de onda ranurada

Una línea ranurada es una sección de la guía de onda que cuenta con un corte por el que se desliza una sonda, y esta sobre un carro en una escala milimétricamente calibrada, con un detector que proporciona la tensión inducida por la onda. Este detector se encuentra entre la carga y el generador y con el que se localizan los máximos y mínimos de tensión y la posición de estos con respecto a la carga en la escala milimétrica, posibilitando la medición de distintos parámetros

tales como, longitud de onda, frecuencia, impedancia, etc. En este caso se utiliza para la medición de la permitividad dieléctrica.

II. CARACTERISTICA DE LOS MATERIALES

Las ecuaciones del campo electromagnético en un material homogéneo e isotrópico, son lineales, las propiedades de estos pueden ser completamente especificadas por tres constantes μ , ϵ y σ , las cuales son la permitividad dieléctrica, la permeabilidad magnética, y la conductividad del medio respectivamente.

$$\epsilon = \epsilon' - j\epsilon'' = \epsilon'(1 - j \tan \delta) \quad (1)$$

$$\mu = \mu' - j\mu'' \quad (2)$$

$$\tan \delta = \sigma/\omega$$

$\tan \delta$, se denomina tangente de pérdida, que es igual a la potencia disipada dividido por la energía almacenada por ciclo y por lo tanto una medida de la energía que se pierde en forma de calor cuando una onda se propaga a través del material.

Dado que el interés se dirige hacia una comparación entre la permitividad compleja ϵ , y ϵ_0 , la permitividad del vacío (que a efectos prácticos es igual a la permitividad del aire), se define ϵ_r , la constante dieléctrica relativa o permitividad relativa como

$$\epsilon_r = \frac{\epsilon}{\epsilon_0} = \epsilon' - j\epsilon'' \quad (3)$$

Los valores de ϵ_r son muy importantes y se requieren con frecuencia, tanto en el trabajo industrial como en el de laboratorio

III. MÉTODO DEL CORTOCIRCUITO

En la determinación de la constante dieléctrica compleja de un medio dieléctrico, se requiere de la medida experimental del coeficiente de ondas estacionarias, así como de la posición del mínimo de tensión en el interior de la guía de ondas.

Este fenómeno viene caracterizado por el valor del coeficiente de reflexión, en la superficie de separación aire-dieléctrico. Dicho coeficiente de reflexión está relacionado con SWR (relación de onda estacionaria), y con la distancia al primer mínimo de la amplitud del campo eléctrico originado en la guía de ondas.

Este método es el más adecuado no solo por su disponibilidad sino también porque es muy apropiado para las mediciones a frecuencias de microondas.

IV. CALCULO

El proceso de cálculo requiere la resolución de una ecuación trascendente que gobierna la impedancia del sistema muestra-cortocircuito en la línea de transmisión equivalente a la guía de ondas como se puede observar en la siguiente figura.

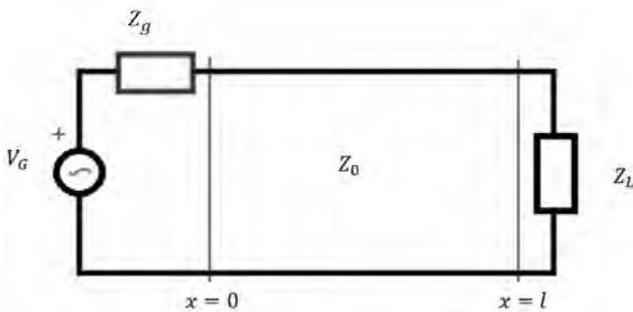


Figura 2. Circuito equivalente para guía de onda cargada con muestra de dieléctrico en su interior

Siendo Z_g la impedancia del generador, Z_0 la impedancia característica de la línea y Z_L la impedancia desconocida del conjunto muestra-cortocircuito.

A. Ecuacion

$$\frac{\tanh(\gamma_2 L)}{\gamma_2 L} = \frac{1}{j\beta_1 L} \left(\frac{1 + jSWR \tan(\beta_1 x_{min})}{SWR + j \tan(\beta_1 x_{min})} \right) \quad (4)$$

Dicha ecuación es a la cual se arriba [7 (3.35) Pag.76]. Siendo modificada la notación S por SWR , teniendo en cuenta que la impedancia en un mínimo de voltaje detectado es igual a $SWR^{-1}Z_0$, y la constante de propagación dentro de la guía que es igual a $\gamma_1 = \alpha_1 + j\beta_1$, es simplificada ya que se toma sin pérdidas, la constante de atenuación $\alpha_1 = 0 \therefore \gamma_1 = j\beta_1$. Y la expresión $\tanh(j\beta_1 x_{min})$ deviene en $j \tan(\beta_1 x_{min})$

Algunas simplificaciones pueden obtenerse para dieléctricos de bajas pérdidas, donde el valor de la tangente de pérdidas es pequeño ($\tan\delta < 0.1$), sin embargo para medios dieléctricos con altas pérdidas es preciso resolver la ecuación general (4). Pero si se sabe, a priori, que la tangente de pérdida de una determinada muestra es muy pequeña y carece de interés, el dieléctrico puede ser considerado sin pérdidas. Cuando esto es así, tanto las medidas y los cálculos posteriores son más simples y más rápidos que cuando la permitividad debe ser considerada compleja.

La resolución del problema analítico se ha efectuado generalmente mediante la utilización de gráficos, entre los que merecen destacar los realizados por Westphal [3] y por Delbos-Demau [5], basados en modificaciones de la carta de Smith. En ellos se fundamentan algunos métodos de cálculo entre los que cabe citar el elaborado por Stuart O. Nelson [6] conducente a un programa para la resolución numérica, así como otros posteriores.

En este trabajo, se calcula la ecuación (4) considerando una muestra sin pérdidas $SWR \rightarrow$ por lo tanto el segundo término de la ecuación toma la forma:

$$K = \tan \frac{\beta_1(x_{min})}{\beta_1 L} \quad (6)$$

Luego

$$\frac{\tanh(\gamma_2 L)}{\gamma_2 L} = K \quad (7)$$

Al considerarse sin pérdidas la constante γ_2 es imaginaria pura, entonces la ecuación (7) resulta:

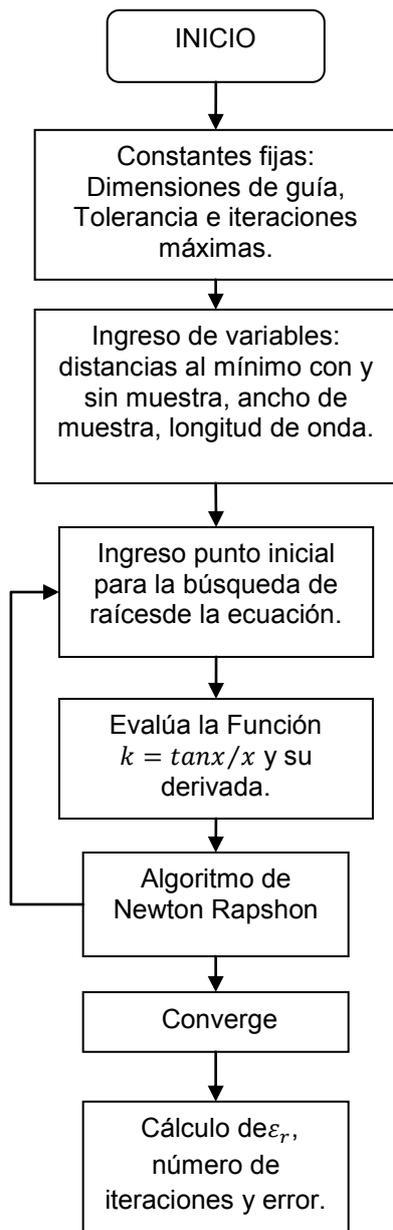
$$\frac{\tan(x)}{x} = K \quad (8)$$

Por lo tanto cabe destacar que solo se tienen en cuenta las distancias al mínimo, longitud de onda guía y ancho de la muestra.

La ecuación (8) es resuelta mediante el método de Newton Raphson en un programa en lenguaje FORTRAN [2], [4] cuyo diagrama de flujo se muestra debajo. Y si el método converge se calcula la permitividad mediante la fórmula (9)

$$\epsilon_r = \frac{\left(\frac{a}{\pi}\right)^2 \left(\frac{x}{L}\right)^2 + 1}{\left(\frac{2a}{\lambda_g}\right)^2 + 1} \quad (9)$$

Donde a es el ancho de la guía de onda, λ_g longitud de onda de la guía, y L ancho de la muestra.



V. PROCEDIMIENTO

La línea ranurada es seguida por el corto circuito de guía de onda. Durante una parte de la medición, la muestra se inserta en la línea de transmisión delante del corto circuito a fin de que las paredes de la muestra toquen el corto circuito.

Se conecta el equipo sin la muestra dieléctrica en la línea para encontrar la posición del mínimo de referencia en la línea ranurada con respecto a un plano de referencia elegido arbitrariamente, como se puede observar en la figura 3. Luego

se mide la longitud de onda λ_g , midiendo la distancia entre mínimos en la sección ranurada. Posteriormente se quita el corto circuito, y se inserta la muestra dieléctrica de ancho L , volviéndose a colocar el corto, de tal manera que toque la muestra. Se mide la nueva posición del mínimo en la sección ranurada con respecto al plano de referencia y se toma lectura de la nueva posición del mínimo.

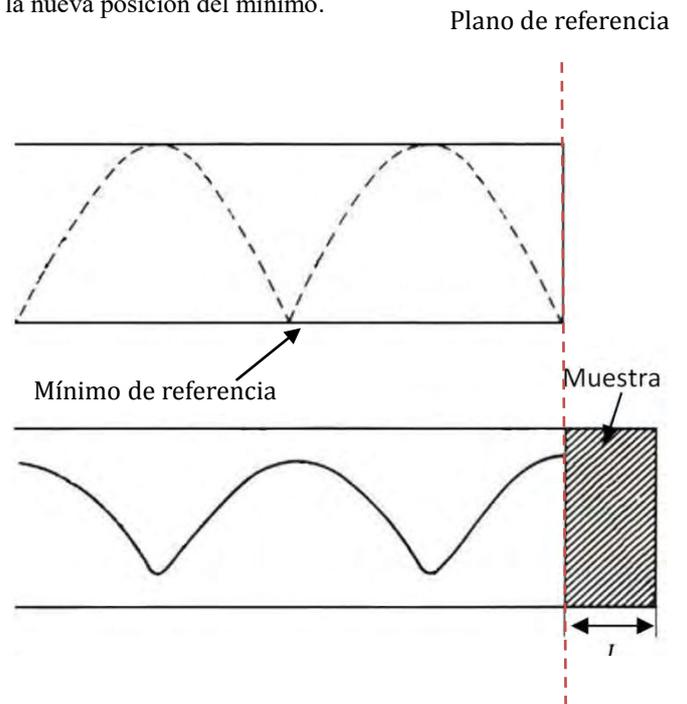


Figura 3. Onda estacionaria generada por el cortocircuito y por el conjunto muestra-cortocircuito

VI. RESULTADOS

A menos que el valor de la permitividad que se mide se conozca aproximadamente, es necesario llevar a cabo la medición en dos muestras de diferentes longitudes. Ya que cada conjunto de datos produce infinitas soluciones debido a la naturaleza de la función (8), como se puede observar en la figura debajo.

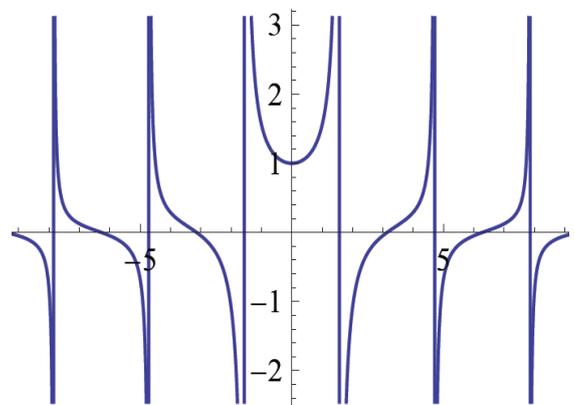


Figura 4. Grafica de la función $\tan(x)/x$

Por ejemplo para la medición de la constante dieléctrica del acrílico, con una distancia al mínimo de 15.33cm una distancia al mínimo con muestra de 12.55 cm, un ancho de la muestra de 15mm, con una longitud de onda guía de 18.2 cm

$$\frac{\tan(x)}{x} = -0.8431 = K$$

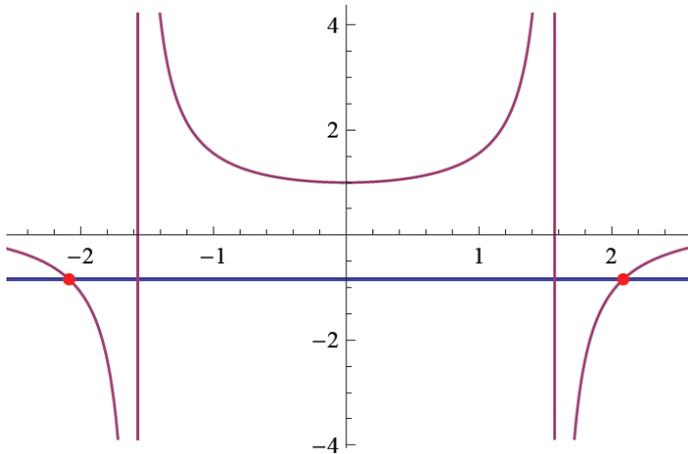


Figura 4. Grafica de la funcion $k=\tan(x)/x$

Como se puede observar la ecuación (8) tiene múltiples raíces:

$$\begin{aligned} x_1 &= \pm 2.0874 \\ x_2 &= \pm 4.9476 \\ x_3 &= \pm 8.0011 \\ x_4 &= \pm 11.1020 \\ x_5 &= \pm 14.2203 \end{aligned}$$

Con lo cual es necesario conocer un valor aproximado de la constante dieléctrica de la muestra, en este caso un valor aproximado a 5 que se encuentra en la bibliografía.

Comprobando para cada raíz de la ecuación, se obtiene el siguiente conjunto de valores:

$$\epsilon_r = \{5.3805; 26.9836; 69.4338; 133.0324; 217.7999\}$$

Del cual evidentemente tomamos como físicamente posible el primer valor de 5.3805.

Los resultados están resumidos en la siguiente tabla para la medición de 4 materiales distintos en la frecuencia de 3GHz.

	Permitividad Dieléctrica
Acrílico	5,30
Teflón	2,10
Madera	1.80
Pertinax	5,10

Los resultados no pueden justificar el error cometido ya que no se dispone de un elemento patrón con una constante dieléctrica definida, incluso se desestima el cálculo de la tangente de pérdida pero todas las mediciones coinciden con los valores normales para cada material. Solo se lo considera un método ágil para obtener una aproximación al resultado real que satisfice las expectativas del alumno a la hora de realizar un práctico de laboratorio.

VII. AGRADECIMIENTOS

Agradecemos a los integrantes del Departamento de Electrónica del Instituto Universitario Aeronáutico que colaboraron en todas las etapas de la investigación.

VIII. REFERENCIAS

- [1] Montgomery "Techniques of microwave measurements" Radiation Laboratory Series Cap 10 pp 561-672, 1947
- [2] T. P. Iglesias, A. Seoane, and J. Rivas "An Algorithm for Solving Roberts-von Hippel Equation: Separation of Close Solutions" IEEEJunio 1993
- [3] Westphal, "Dielectric measuringtechniques"1954, cap. II, pp. 63-122.
- [4] J. Letosa, "Medida por microordenador de constantes dieléctricas complejas: método de Von-Hippel", 1990.
- [5] G. Delbos C. Demau "Nouveaux abaques pour la determination des constantes dieletriques" Diciembre 1966
- [6] Stuart O. Nelson S "Computer Program for Precise Calculation of Dielectric Properties From Short-Circuited " Diciembre 1974
- [7] James Baker-Jarvis "Transmission/Reflection and Short-circuit Line Permittivity Measurements" Julio 1990
- [8] Dakin T., Works C. "Microwave dielectric measurements" 1947
- [9] Gupta R. C, Pradhan "Microwave dielectric properties of seed lac" 1958 M. Ahlawat & R.S. Shinde "Development of versatile dielectric constant measurements system for low loss ferrite and dielectrics"

Generador de Números Pseudoaleatorios Mediante el Sistema Numérico de Residuos, Estudio Estadístico

Carlos Arturo Gayoso, Claudio Marcelo González, Leonardo Arnone y Miguel Rabini

Laboratorio de Componentes Electrónicos, Departamento de Electrónica

Universidad Nacional de Mar del Plata

Mar del Plata, República Argentina

cgayoso@fi.mdp.edu.ar

Resumen — Este trabajo estudia la implementación en hardware de nuevos generadores de números pseudoaleatorios (*Pseudo Random Number Generators*, PRNGs o Generadores de Números Pseudoaleatorios, GNPA), en lógica programable (*Field Programmable Gate Arrays* o FPGA). Se investiga el empleo del sistema numérico de residuos (*Residue Number System* o RNS) para incrementar la velocidad a la que los generadores producen los números aleatorios y para que posea una dinámica distinta a los generadores conocidos. El circuito propuesto ya se evaluó mediante tests básicos y el conjunto de tests desarrollados por George Marsaglia para su generador Diehard [1]. El trabajo está organizado de la siguiente manera: comienza con la definición de sistemas determinísticos y aleatorios junto con una introducción a la denominada complejidad estadística y dos de las métricas propuestas, luego se describe el generador de números pseudoaleatorios propuesto junto la explicación de cada uno de los bloques que lo constituyen y finalmente se presentan los aportes y conclusiones del trabajo realizado.

Sistema Numérico de Residuos; Aritmética de residuos; Números pseudoaleatorios; Lógica Programable; Complejidad estadística.

I. INTRODUCCIÓN

A. Determinismo y aleatoriedad

Desde el punto de vista de su comportamiento los sistemas se pueden clasificar como deterministas, aleatorios o caóticos. En los primeros se puede precisar cualquiera de sus futuros estados conociendo su estado presente, no hay participación del azar en ninguna de sus variables ni en las relaciones entre ellas. Por el contrario, en los sistemas aleatorios el azar es el componente esencial [2], [3]. Tal es así, que no se puede determinar la evolución del mismo, ni siquiera su próximo estado, conociendo con una precisión ilimitada su salida actual y las anteriores, no se puede encontrar ningún tipo de patrón o regularidad en su comportamiento. Los sistemas caóticos son un tipo intermedio entre los deterministas y los aleatorios, pues si bien están descritos por ecuaciones bien conocidas, no se puede determinar con precisión sus estados futuros, puesto que su evolución se desarrolla en órbitas acotadas que no se superponen y con trayectorias muy sensibles a las condiciones iniciales y perturbaciones.

Existen diversos circuitos electrónicos o algoritmos que tienen la particularidad de generar secuencias de números

aleatorios o caóticos. Pero, en este caso, a diferencia de procesos naturales, las series generadas tienen un período, que si bien puede ser muy grande, es finito. Por esta razón a estos sistemas se los denomina pseudoaleatorios o pseudocaóticos.

B. Tests de aleatoriedad

Los tests de aleatoriedad se emplean para analizar una secuencia de números, provenientes de una fuente natural o artificial, para determinar si se trata de un proceso estocástico [2], [3]. Si bien no se puede afirmar de manera concluyente que una serie de números es aleatoria existe una serie de tests, que de dar resultado satisfactorio, dan sustento a la hipótesis de aleatoriedad. De manera que para determinar el comportamiento del circuito electrónico o algoritmo se somete a las series numéricas entregadas por éstos a una serie de ensayos.

Un estudio preliminar de la secuencia de datos, por ejemplo uniformidad, o autocorrelación, puede poner en evidencia un patrón de comportamiento fácilmente predecible que descarte un comportamiento aleatorio. Sin embargo, en otros casos, con las herramientas estadísticas tradicionales no se puede detectar una estructura determinista. Es por ello que se han ideado distintos tipos de tests a los que es sometida la secuencia numérica bajo estudio en busca de concluir sobre su carácter determinístico o aleatorio.

En [1] se sometió a los GNPA's propuestos a uno de los ensayos más utilizados para medir la calidad de una secuencia de números supuestos aleatorios el denominado test Diehard [4], [5]. En realidad es un conjunto de 17 tests desarrollados por George Marsaglia de manera progresiva desde 1985 y publicados por primera vez juntos en 1995. Los generadores propuestos superaron esta batería de tests.

Otra forma de medir la calidad aleatoria de la salida numérica de un circuito electrónico es mediante la denominada complejidad estadística. Existen numerosos intentos o aproximaciones para medir esta característica, fácil de definir pero difícil de cuantificar. En este trabajo se toman dos de esos cuantificadores y se aplican a los GNPA's propuestos. También se les calcula la entropía o cantidad de información.

En todos los casos se comparan los resultados con secuencias de números entregadas por generadores bien conocidos

C. El Sistema Numérico de Residuos

Los circuitos aritméticos, por ejemplo sumadores, basados en la notación de complemento a 2, deben propagar la información de acarreo desde el bit menos significativo al más significativo, de manera que a medida que el número de éstos aumenta el rendimiento se degrada. El RNS [6], [7], [8] es una técnica eficiente para superar este problema, dado que se trabaja sobre canales independientes sin necesidad de intercambio de información entre ellos. De esta manera los sistemas basados en el RNS están compuestos de una serie de canales pero, cada uno de ellos, con un número reducido de bits. Los circuitos aritméticos de b bits se pueden transformar, mediante el empleo del RNS, en $O(b/\log_2(b))$ canales de $\lceil \log_2(b) \rceil$ bits cada uno [9], Fig. 1. Esta característica lo hace apropiado para la realización de un número importante de aplicaciones en procesamiento digital de señales [10], [11], [12].

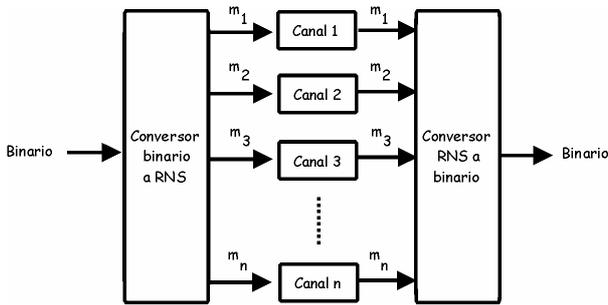


Figura 1. Esquema general de un circuito RNS.

Un sistema basado en RNS se define mediante un conjunto de enteros relativamente primos entre sí $\{m_1, m_2, \dots, m_L\}$, llamados módulos. Su rango dinámico, el número de cantidades distintas que se puede representar, es $M = \prod m_i$ ($i=1, 2, \dots, L$), y de manera que cualquier entero $0 \leq X < M$ se representa mediante un conjunto de L residuos $[x_1, x_2, \dots, x_L]$, con $x_i = X \bmod m_i$ ($i=1, 2, \dots, L$). La principal ventaja del RNS radica en su capacidad para realizar sumas, restas y multiplicaciones a alta velocidad, debido a que la aritmética de residuos se define sobre un anillo de enteros módulo M tal que:

$$Z = (X \diamond Y) \bmod M \leftrightarrow z_i = (x_i \diamond y_i) \bmod m_i \quad (i=1, \dots, L) \quad (1)$$

donde \diamond significa suma, resta o multiplicación en módulo. En la Ec. (1) se puede apreciar el potencial del RNS, puesto que las operaciones en módulo M se computan en paralelo sobre L canales independientes (Fig. 1). Debido a que no se presentan dependencias de acarreo o de datos entre los canales, el rendimiento total del sistema estará dado por la velocidad de procesamiento o *throughput* de cada canal en módulo m_i . Aunque operaciones tales como división o comparación son muy difíciles de realizar, esto no limita la aplicación del RNS, de hecho el procesamiento digital de señales se ha transformado en su campo de aplicación preferido. De esta manera los algoritmos de multiplicación y suma, muy comunes en DSP (procesamiento digital de señales), pueden

incrementar su velocidad de funcionamiento mediante su implementación en RNS, como se ha demostrado en aplicaciones tales como transformadas discretas, filtrado digital o procesamiento de imágenes [13], [14].

Por otro lado los fabricantes de dispositivos lógicos programables (*Field Programmable Logic*) proveen circuitos integrados programables en campo para casi todas las aplicaciones de la electrónica digital. Para la implementación de circuitos aritméticos en el RNS las FPGAs [15], [16] se han convertido en una seria alternativa al empleo de circuitos implementados con aritmética convencional [17]. Por esta razón el circuito propuesto se ha implementado sobre una FPGA FLEX10K20RC240-4 [18] de Altera Corporation.

II. GENERADOR PSEUDOALEATORIO PROPUESTO (RNS-LCG)

El generador propuesto, denominado RNS-LCG (*Residue Number System-Linear Congruential Generator*) se basa en el *Linear Congruential Generator* (LCG). Sin embargo su dinámica es distinta. En efecto, no se trata de realizar un LCG mediante RNS sino en usar el RNS para obtener un generador de números pseudoaleatorios con una dinámica completamente distinta. Un LCG común responde a la siguiente ecuación:

$$x_i = (a x_{i-1} + b) \bmod M \quad (2)$$

, con a y b constantes y M el módulo que determina el rango dinámico del sistema.

La implementación circuital para los generadores RNS-LCG Tipo I y II para n canales, cada uno de los cuales trabaja con h_j bits, se muestra en Fig. 2. Cada canal es un pequeño generador lineal congruente que realiza el cálculo de la Ec. (3). En ésta g_j y m_j son la raíz primitiva y el módulo de trabajo de cada uno de los canales y $residuo_{j,i}$ es el residuo del canal j para la iteración i .

$$residuo_{j,i} = (g_j residuo_{j,i-2} + b_{j,i}) \bmod m_j \quad (3)$$

Para introducir un mayor desorden los canales se perturban entre sí, de manera que el valor b de la Ec. (2) ya no es una constante. En los generadores Tipo I (RNS-LCG-I), con n igual al número de módulos, para el canal j en la iteración i se tiene:

$$b_{j,i} = \sum_{\substack{k=0 \\ k \neq j}}^{k=n-1} residuo_{k,i-1} \quad (4)$$

, en tanto que para los Tipo II (RNS-LCG-II), siendo Θ la operación or exclusiva bit a bit, será:

$$b_{j,i} = \bigoplus_{\substack{k=0 \\ k \neq j}}^{k=n-1} residuo_{k,i-1} \quad (5)$$

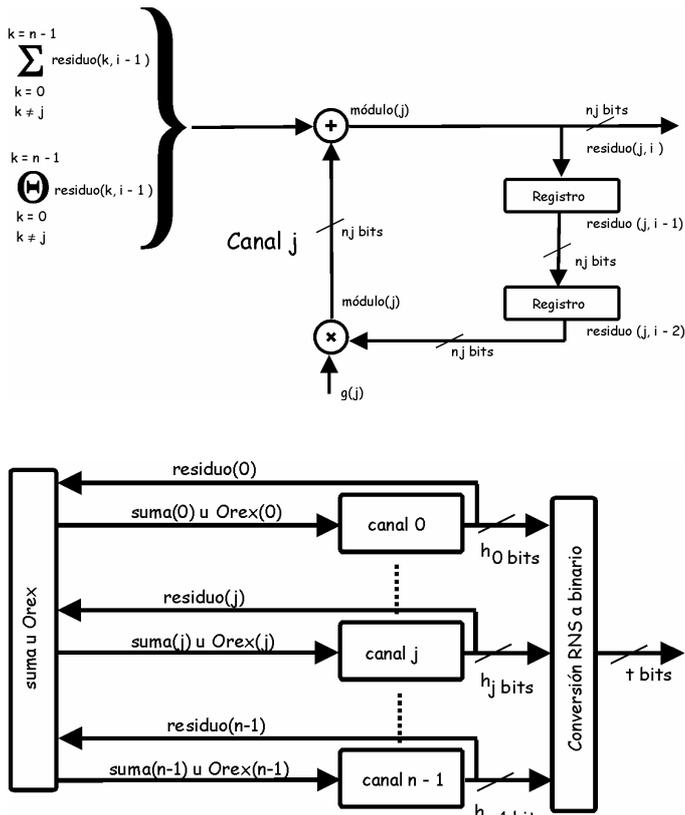


Figura 2 Generadores RNS-RCG-I y RNS-RCG-II. Diagrama en bloques para un canal genérico j , arriba. Esquemático total, abajo.

Ahora bien, si se desea generar números de t bits se presenta la siguiente dificultad. Para trabajar en el RNS se debe elegir un conjunto m de n módulos relativamente primos con lo que se obtiene un rango dinámico M igual al producto de los módulos, con $2^t < M < 2^{t+1}$. Es decir que M no es una potencia exacta de 2. Por lo tanto para trabajar con t bits se selecciona un conjunto m que siempre excederá a 2^t , lo que trae aparejado el siguiente inconveniente. Aún cuando los números leídos en decimal sean equiprobables, los 0s y 1s en cada posición no lo serán. Este problema se ejemplifica en la TABLA I, para tener $M = 11$ se necesita $t = 4$. Como se puede observar se tiene:

$$\text{Para la posición } \begin{cases} b_0 & 6 \text{ ceros y } 5 \text{ unos} \\ b_1 & 6 \text{ ceros y } 5 \text{ unos} \\ b_2 & 7 \text{ ceros y } 4 \text{ unos} \\ b_3 & 8 \text{ ceros y } 3 \text{ unos} \end{cases}$$

Los 0s y 1s no son equiprobables en cada posición, algo indeseado en un buen GNPA. Esto ocurre a pesar de que los números del 0 al 10 tengan una distribución uniforme perfecta.

Para salvar esta situación se implementaron tres estrategias, denominadas A, B y C.

A. Estrategia A

Se toma un conjunto m tal que cumpla con $2^t < M < 2^{t+1}$. Para el caso, $t = 32$, se eligió $m = \{3, 11, 17, 19, 23, 29, 31, 37\}$ con lo que se obtiene $M = 8.154.657.291 > 2^{32} = 4.294.967.296$, es decir se puede representar el rango deseado. Si el GNPA bajo estudio es bueno, cosa que se demostrará mediante los tests posteriores, se pueden tomar sólo aquellos valores que sean menores que 2^{32} y descartar el resto. Por ejemplo, si el GNPA tiene distribución uniforme entre 0 y $M - 1$, la serie obtenida tendrá distribución uniforme entre 0 y $2^{32} - 1$. Trabajar de esta manera trae dos consecuencias, una intuitiva y otra práctica. La intuitiva dice que si existiera alguna estructura en la secuencia generada, al quitar algunos de sus elementos, en este caso un número importante, casi uno de cada dos, en la nueva serie esa estructura se desvanecerá o atenuará. En el caso práctico se tiene el problema de que no se entregará, debido al descarte, un número en cada iteración. Esto puede subsanarse mediante el agregado de hardware, por ejemplo una memoria FIFO, para la cual habrá de realizarse un estudio a fin de determinar su capacidad y con el GNPA funcionando a una frecuencia mayor que el circuito que los procesa, por ejemplo el que encripta.

TABLA I. Ejemplo para $M = 11$ y $t = 4$.

	b_3	b_2	b_1	b_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

B. Estrategia B

En este caso se trata de seleccionar un conjunto m que cumpla con $2^t < M < 2^{t+1}$, pero de manera tal que la diferencia $M - 2^{32}$ sea mínima, y puesto que el número de bits es 33 simplemente se descarta el más significativo. En el caso ejemplificado en la TABLA I se obtendrán números comprendidos entre 0 y 10 en la que al descartar el bit de mayor peso se reducirá a una cadena de dígitos entre 0 y 7. Las consecuencias son las siguientes. Se mejora el *throughput*, puesto que en cada iteración se obtiene un dato. Se empeora su función distribución puesto que la combinación "000" es más probable que la "111", dado que la primera puede ocurrir si el número presentado por el generador fue "0000" o "1000" en tanto que la segunda de dará sólo cuando su salida sea "0111". Cuanto menor sea la diferencia entre M y 2^t menor será la "perturbación" en la función distribución, supuesta uniforme. Como ventaja tiene la característica de su sencillez, puesto que

ni siquiera es necesario un comparador, en efecto, de las tres clases de circuitos desarrollados es el más sencillo en su hardware. Para identificar los conjuntos de módulos que mejor se adaptan a esta estrategia se realizó un estudio exhaustivo con módulos primos de hasta 7 bits es decir con el conjunto {3, 5, 7, 11, 13, 17, 19, 23, 29, 31, 37, 41, 43, 47, 53, 59, 61, 67, 71, 73, 79, 83, 89, 97, 101, 103, 107, 109, 113, 127}. Se buscaron aquellos conjuntos de módulos que superaran a 2^{32} en no más de un 0,01%. Es decir combinaciones de los 30 módulos tomados de a 4, 5, 6, 7 y 8. Con 4 módulos no se puede llegar a 2^{32} , en los restantes casos los mejores resultados fueron los que se ilustran en la TABLA II.

Como se puede apreciar si se toma el primer conjunto, $m = \{3, 43, 47, 67, 97, 109\}$, que es el grupo con el cual se trabajó, la función distribución de probabilidad uniforme se verá "alterada", habrá números más probable que otros, pero serán sólo el 0,000171% del total. De manera que se puede afirmar que para la mayoría de los fines prácticos los 0s y 1s serán prácticamente equiprobables en cada posición y que la función densidad de probabilidad es uniforme.

TABLA II. Conjuntos de módulos que más se aproximan a 2^{32} en exceso.

Exceso de 2^{32} en porcentaje	m_0	m_1	m_2	m_3	m_4	m_5	m_6	m_7
0,000171%	3	43	47	67	97	109		
0,000329%	5	11	13	17	53	59	113	
0,001602%	3	7	13	37	47	83	109	
0,001765%	5	11	17	23	29	71	97	
0,001930%	11	23	53	59	61	89		
0,002493%	5	11	13	19	61	71	73	
0,002979%	3	11	13	23	67	73	89	
0,003663%	7	31	41	43	103	109		
0,003954%	3	7	13	37	53	71	113	
0,004044%	13	17	37	61	79	109		
0,004114%	13	19	53	59	67	83		
0,005759%	3	7	13	19	71	107	109	
0,005835%	3	7	11	13	29	31	37	43
0,006079%	3	5	7	53	73	97	109	
0,006208%	3	17	23	31	41	43	67	
0,006232%	11	17	31	79	83	113		
0,006623%	5	37	47	67	73	101		
0,006680%	7	17	37	89	97	113		
0,007078%	3	7	19	31	67	71	73	
0,008061%	13	23	47	53	73	79		
0,008383%	17	19	41	47	67	103		
0,009021%	3	19	59	89	113	127		
0,009294%	11	23	43	67	71	83		
0,009370%	3	5	7	13	23	41	47	71
0,009494%	3	7	19	29	43	89	97	
0,009509%	5	13	19	23	37	61	67	

C. Estrategia C

Este enfoque elimina las limitaciones que tienen las estrategias A y B. Puesto que entrega un número en cada iteración y la distribución es uniforme en toda su extensión.

Como en el caso B se toma un conjunto m tal que M sea mayor que 2^{32} pero cercano a él. Es decir que el generador entregará números que requieren para su representación en binario 33 bits. Los números entregados por el GNPA ingresan al bloque que se ilustra en Fig. 3, denominado circuito de corrección. Como se puede apreciar, si el bit más significativo entregado por el conversor RNS a binario es cero ($a_{32} = 0$), el número entregado por el GNPA sigue sin cambios su camino hasta la salida, Registrod. El Registroe periódicamente actualiza su valor de la siguiente manera. Si un determinado número de los bits menos significativos, por ejemplo 5, del Registroc, son iguales a un valor predeterminado, elegido de manera arbitraria, se almacena un nuevo valor. Esto significa que estadísticamente su valor se modifica, en caso de tomar los 5 bits menos significativos de Registroc, con una frecuencia de 1 cada 32 iteraciones y el valor que se almacena es el del Registrod. Se realimenta y almacena el contenido de Registrod y no en el Registroc, de lo contrario los últimos bits de Registroe serían siempre los mismos. La idea es que cuando el conversor RNS a binario entregue un número tal que $a_{32} = 1$ los bits $a_{31} \dots a_0$ sean reemplazados por alguna operación entre éstos y el valor de Registroe, que se almacenó en algún momento en el pasado. Estadísticamente tanto más alejados del valor actual cuanto mayor sea el número de bits tomados de Registroc para cargar al Registroe. La operación entre Registroe y $a_{31} \dots a_0$ debe ser una relación sencilla en la que, además, para cada bit del resultado los 0s y 1s sean equiprobables. El elemento que cumple con esta condición es la or exclusiva realizada bit a bit.

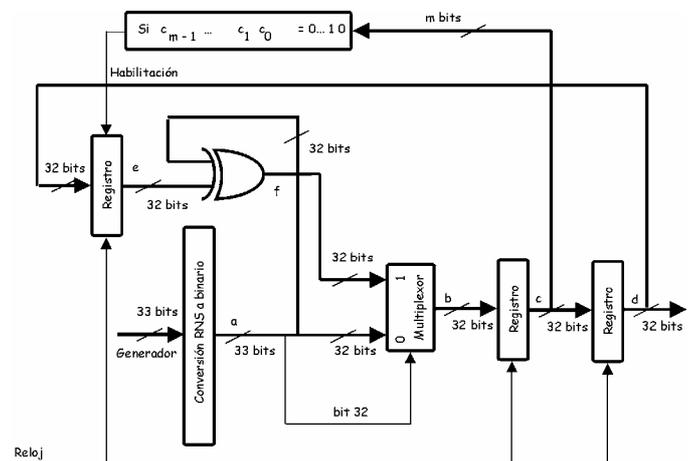


Figura 3 Esquema de corrección para los circuitos Clase C.

Con este circuito de corrección se logran dos cosas. Primero, en cada iteración se obtiene un número de la serie pseudoaleatoria. Segundo, no se altera la distribución uniforme, puesto que no existen valores privilegiados, como en la estrategia denominada B, dado que para cada bit f_{31} a f_0 los 0s y 1s son equiprobables.

III. PRUEBA DE LOS GENERADORES PROPUESTOS

En [1] se mostró el desempeño de los generadores propuestos bajo el conjunto de tests Diehard, demostrando que los circuitos presentados superaban este test de aleatoriedad. Ahora bien, el que las series de números entregadas por un circuito electrónico superen un test de aleatoriedad no significa que quede demostrado que la serie es estocástica. Lo que hace este procedimiento es agregar un elemento de plausibilidad o credibilidad a la hipótesis de que el circuito tiene un comportamiento aleatorio. Entonces, si bien no se puede demostrar que las series entregadas son aleatorias, cuanto más tests superen éstas, más sustento tendrá la hipótesis de que los circuitos propuestos entregan secuencias verdaderamente estocásticas. Por ello en el presente apartado se presentan los resultados obtenidos de someter a los GNPA a otros ensayos estadísticos.

Para el testeo de los generadores propuestos se tomó $m = \{3, 11, 17, 19, 23, 29, 31, 37\}$ para los algoritmos A, en tanto que para los B y C $m = \{3, 43, 47, 67, 97, 109\}$. Los coeficientes que operan sobre los valores anteriores en cada tipo de generador son las raíces primitivas $g = \{2, 2, 3, 2, 5, 2, 3, 2\}$ en el primer caso y $g = \{2, 3, 5, 2, 5, 6\}$ en el segundo y tercero.

A. Medida de complejidad mediante programas compactadores (zipers)

En [19] se propone el uso de algoritmos empleados para la compactación de archivos como una herramienta para medir la complejidad de un sistema. El teorema de Shannon-McMillan determina que para una dada cadena¹ existe un límite máximo al que se la puede comprimir sin pérdida de información. Este límite es proporcional a la entropía, en el contexto de la teoría de la información, que ella contiene. De manera que una buena medida de cuantificar la cantidad de información es ver cuanto se puede comprimir una cadena sin pérdida de información.

Según este razonamiento parece natural tomar los resultados que entregan los compresores de archivos más comunes como una herramienta de medir su entropía. Se dice que un algoritmo de compresión es óptimo si es capaz de alcanzar el límite enunciado por Shannon-McMillan.

Uno de los algoritmos más empleados por los compactadores comerciales es el de Lempel-Ziv, que es capaz de acercarse asintóticamente al límite impuesto por el teorema de Shannon-McMillan. Lempel y Ziv definieron en 1976 como medida de complejidad de una serie de bits el número de

¹ En este contexto una cadena puede ser, una secuencia de DNA, texto, bits en comunicación digital de datos, bit en almacenamiento magnético, etc.

patrones diferentes que se pueden encontrar en la secuencia. El programa WinZip 9.0² utiliza una versión mejorada del algoritmo anterior denominado Lempel-Ziv-Welch. La complejidad zipping se define entonces como:

$$C_{zipping} = \frac{N^{\circ} \text{ de bits del archivo compactado}}{N^{\circ} \text{ de bits del archivo sin compactar}} \quad (6)$$

Para medir la complejidad de zipping se usó la versión 9.0 de WinZip en el modo de compresión máxima y se analizaron 60 series entregadas por los GNPA propuestos. En los generadores Clase A, como se explicó, no se obtienen archivos de la misma longitud debido al descarte, en tanto que, en los Clase B y C todos tienen el mismo número de bytes.

En la TABLA III se muestra el resultado del cálculo de la Complejidad_{zipping} para los generadores Clase A. Se puede apreciar que en todos los casos es ligeramente mayor a uno. Esto se debe a que la relación de compresión obtenida es del 0%, es decir incompresible por este algoritmo, pero además al archivo comprimido se le agregan algunos bytes de información adicionales, como por ejemplo el nombre del archivo contenido.

TABLA III. Complejidad_{zipping} de 20 series para los generadores RNS-LCG-I y RNS-LCG-II Clase A.

Simulación	RNS-LCG-I	RNS-LCG-II
	Complejidad _{zipping}	Complejidad _{zipping}
0	1,0001622	1,00016214
1	1,00016211	1,00016219
2	1,00016229	1,00016217
3	1,00016224	1,00016227
4	1,00016214	1,00016203
5	1,0001622	1,00016212
6	1,0001622	1,00016211
7	1,00016221	1,0001622
8	1,00016215	1,00016233
9	1,00016215	1,00016216

Para los generadores Clase B la longitud de todos los archivos sin comprimir es de 12.000.000 de bytes. En todos los casos la relación de compresión es del 0% y el archivo compactado ocupa 12.003.785 bytes. Con lo que se obtiene como resultado: Complejidad_{zipping} = 1,000315417. Los archivos son incompresibles mediante este procedimiento.

Finalmente los generadores Clase C tienen todos una longitud de 11.999.992 bytes sin comprimir. Para cada serie la relación de compresión es del 0% y el archivo compactado ocupa 12.001.947 bytes. Nuevamente los algoritmos que emplea el programa WinZip no logran comprimir a los archivos presentados. El resultado es: Complejidad_{zipping} = 1,000162917.

B. Exponente de Hurst

H. E. Hurst [20] [21] trabajó en el proyecto de la represa del Río Nilo a principios del siglo XX. Su problema era determinar la capacidad del reservorio a construir y que

² Copyright 1991-2004 WinZip Computing Inc.

volumen de agua se puede dejar salir por año, sin que este se vacíe ni sea superado en su nivel máximo. Hasta entonces, y dada la cantidad de variables involucradas en el sistema del Río Nilo se suponía que el nivel del mismo se podía modelizar mediante la estrategia del camino aleatorio.

Einstein había mostrado, que en el fenómeno conocido como movimiento Browniano, la distancia media que recorre una partícula se incrementa con la raíz cuadrada del tiempo transcurrido entre una observación y otra. La expresión matemática es:

$$R = T^{0,5} \tag{7}$$

, donde R es distancia recorrida media y T el intervalo de tiempo entre observaciones.

Hurst descubrió que la Ec. (7), que se aplica sólo a series con valor medio cero y varianza igual a uno, se puede generalizar a:

$$\left(\frac{R}{S}\right)_n = c \cdot n^H \tag{8}$$

, donde R es el rango, S desviación estándar, c es un constante, n el número de puntos de la serie y H el hoy denominado exponente de Hurst. Este análisis también se conoce como análisis de rango reescalado, debido a que los datos se procesan para tener valor medio cero y se normaliza con respecto a su desviación estándar. Se divide la serie x de n puntos en b subseries con n / b valores cada una. A cada subserie se le realiza el proceso de reescalado, calculando el rango (R) dividido la desviación estándar. Se varía n / b desde 4 a n / 2 y se levanta una curva como la de la Fig. 4. A la curva obtenida se la aproxima por mínimos cuadrados, la pendiente de esta recta es el exponente de Hurst. El resultado del estudio puede dar:

$$\begin{cases} a) & H = 0,50 \\ b) & 0,50 < H \leq 1,00 \\ c) & 0 \leq H < 0,50 \end{cases}$$

Si H = 0,50 se trata de un proceso independiente. Ninguno de sus valores está relacionado con los anteriores. Es un proceso aleatorio, independientemente del tipo de función distribución de que se trate. Si el caso es el b, la serie es persistente y presenta efectos de memoria a largo plazo, lo que ocurre hoy afecta al futuro, para siempre, aunque con un efecto menor a medida que nos alejamos de ese valor en particular. Si en un determinado momento la serie presenta valores consecutivos ascendentes es muy probable que el próximo también lo sea. Si por el contrario los valores son descendentes es muy posible que el consecutivo siga esta tendencia. Por último, si H cae en el caso c la serie es antipersistente, el sistema cubre menos recorrido que en el camino aleatorio, su pendiente se invierte más seguido que en el movimiento Browniano. La fuerza con que un fenómeno es persistente o antipersistente depende del valor de H.

En el caso que nos interesa, testear si una serie es aleatoria, debe ser H = 0,50, o de manera más rigurosa, debido a los errores propios de todo procesamiento numérico y dado que se trata de un estudio estadístico, se debe cumplir que H ≈ 0,50 para ser considerada aleatoria.

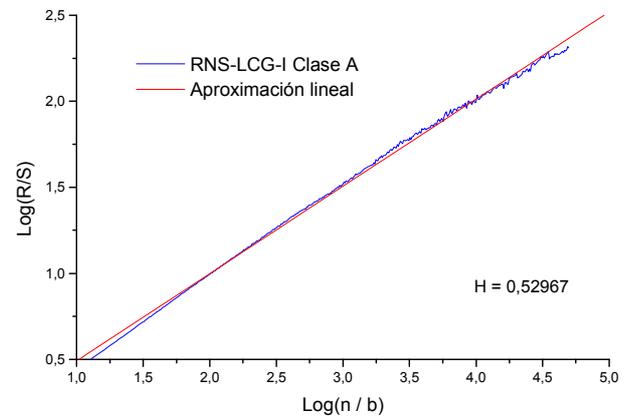


Figura 4 Gráfica para el cálculo del exponente de Hurst para el generador RNS-LCG-I Clase A.

A fin de poder comparar los generadores propuestos con otros ya testeados y conocidos se generaron las siguientes series testigos de números enteros de 32 bits:

- ◆ Uniforme, computada por el MatLab 7.0³.
- ◆ MWCG, Multiply With Carry Generator, con el programa Makewhat del paquete Diehard.
- ◆ MTHR4, “the mother of all random number generators” del paquete Diehard.
- ◆ SWBMWC, es una combinación de los generadores Subtract With Borrow y Multiply With Carry, del paquete Diehard.

Para el cálculo del exponente de Hurst se trabajó con series de 100.000 puntos de 32 bits cada uno, generadas por los GNPA's propuestos. El cálculo se realizó de manera tal que se pudieran graficar 500 puntos sobre los ejes log(R/S)–log(n/b) a fin de lograr resultados con poco error.

En la TABLA IV se muestran los resultados del cálculo del exponente de Hurst para las series entregadas por los circuitos electrónicos propuestos y los de referencia. Se puede apreciar que no hay diferencia entre los GNPA's propuestos y los tomados como referencia.

IV. IMPLEMENTACIÓN EN LÓGICA PROGRAMABLE

Debido a que los circuitos sumadores y multiplicadores son el núcleo de la mayor parte del hardware RNS, se realizó un amplio estudio sobre este tipo de operaciones en el sistema numérico de residuos [22] y [23]. Esta investigación incluyó distintos tipos de sumadores y multiplicadores presentados en distintos trabajos [24], [25], [26], [27] y [28]. De los resultados obtenidos en [22] y [23] se puede determinar que la frecuencia

³ Copyright 1984-2004, The MathWorks Inc.

de operación es de 93,4 MHz cuando se emplea una FLEX10K20RC240-4 y trabajando con 32 bits.

TABLA IV. Exponente de Hurst para cada uno de los generadores propuestos y los tomados como referencia.

Generador		H
A	RNS-LCG-I	0,52967
	RNS-LCG-II	0,52944
B	RNS-LCG-I	0,52119
	RNS-LCG-II	0,52314
C	RNS-LCG-I	0,51033
	RNS-LCG-II	0,52219
Uniforme		0,52689
MWCG		0,52616
MTHR4		0,52328
SWBMWC		0,52253

V. CONCLUSIONES

En el presente trabajo se presentaron una serie de generadores de números pseudoaleatorios basados en el sistema numérico de residuos que pasan exitosamente, además de las estadísticas básicas y el paquete Diehard [1], ensayos de complejidad de zipping y el método para determinar la correlación entre valores de una serie propuesto por H. E. Hurst.

REFERENCIAS

[1] C. A. Gayoso, C. González, L. Arnone, M. Rabini "Generador de números pseudoaleatorios mediante el sistema numérico de residuos, implementación en FPGA", Congreso Argentino de Sistemas Embebidos, 2-4 de marzo de 2011.

[2] M. Naito, N. Tanaka, H. Okamoto, "Distinguishing chaos from random fractal sequences by the comparison of forward predictions: utilization of the difference in time reversal symmetry of time series," IEEE Proc. Of First International Conference on Knowledge-Based Intelligent Electronic System, 21-23 de mayo de 1997, pp. 101-107.

[3] K. Ozdemir, S. Kilinc, S. Ozoguz, "Random Number Generator Design Using Continuous-time Chaos," IEEE Signal Processing, Communication and Applications Conference, 20-22 de abril de 2008, pp 1-4.

[4] M. Alioto, S. Bernardi, A. Fort, S. Rocchi and V. Vignoli, "On the suitability of digital maps for integrated pseudo-RNGs," Proc. ECCTD Cracow, Poland, Sep. 2003, p. III/349.

[5] J. Savir "A new empirical test for the quality of random integer generators", IEEE Trans. Comput., vol. C-32, pp. 960, Oct. 1983.

[6] Fred J. Taylor. "Residue arithmetic: A tutorial with examples," Computer Magazine, IEEE Mayo. 1984, pp. 59-62.

[7] M. A. Bayoumi and G. A. Jullien, "A VLSI Implementation of Residue Adders," IEEE Transactions on Circuits and Systems, vol. 34, no. 3, pp. 284-288, Mar. 1987.

[8] Fred J. Taylor. "Large moduli multipliers for signal processing," IEEE Transactions on circuits and systems, Volumen CAS-28, Número 7, Julio 1981.

[9] Chin-Liang Wang. "IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing," Noviembre 1994, pp. 768-772.

[10] G. A. Jullien, "Implementation of Multiplication, Modulo a Prime Number, with Applications to Number Theoretic Transforms", IEEE Transactions on Computers, vol. C-29, no. 10, pp. 899-905, Oct. 1980.

[11] J. C. Smith and F. J. Taylor, "A fault-tolerant GEQRNS processing element for linear systolic array DSP application", IEEE Transactions on Computers, vol. 44, no. 9, pp. 1121-1130, Sep. 1995.

[12] J. Ramírez, P. G. Fernández, U. Meyer-Bäse, F. J. Taylor, A. García and A. Lloris, "Design of Index-based RNS-DWT Architectures for Custom IC Designs", Proc. of 2001 IEEE Workshop on Signal Processing Systems SiPS'2001, pp. 70-79, Sep. 2001.

[13] W. A. Chren, "RNS-Based Enhancements for Direct Digital Frequency Synthesis," IEEE Transactions on Circuits and Systems II, vol. 42, no. 8, pp. 516-524, Aug. 1995.

[14] J. Ramírez, A. García, P. G. Fernández, L., Parrilla and A. Lloris, "RNS-FPL Merged Architectures for Orthogonal DWT," Electronics Letters, vol. 36, no. 14, pp. 1198-1199, Jul. 2000.

[15] N. S. Szabo and R. I. Tanaka, "Residue Arithmetic and Its Applications to Computer Technology," McGraw-Hill, NY, 1967.

[16] M. A. Soderstrand, W. K. Jenkins, G. A. Jullien and F. J. Taylor, "Residue Number System Arithmetic: Modern Applications in Digital Signal Processing," IEEE Press, 1986.

[17] U. Meyer-Bäse, A. Garcia and F. J. Taylor, "Implementation of a Communications Channelizer using FPGAs and RNS" Arithmetic Journal of VLSI Signal Processing, vol. 28, no. 1/2, pp. 115-128, May 2001.

[18] Altera Corporation, "Cyclone II Handbook," <http://www.altera.com/literature/ds/cycloneIIhandbook.pdf>, Nov. 2007.

[19] A. Baronchelli, E. Caglioti, V. Loreto, "Measuring complexity with zippers", European Journal of Physics, 26 (2005) S69-S77.

[20] E. Peters, "Chaos and order in the capital markets. A new view of cycles, prices and market volatility" Editorial John Wiley and Sons Inc. 1991.

[21] E. Peters, "Fractal market analysis. Applying chaos theory to investment and economics", Editorial John Wiley and Sons Inc. 1995.

[22] C. A. Gayoso, A. García, C. M. González, L. Arnone, J. C. García, E. Boemo, "Estudio sobre el diseño de sumadores en aritmética de residuos en lógica programable", II Jornadas sobre Computación Reconfigurable y Aplicaciones. 10 al 20 de septiembre de 2002, Almuñecar, Granada, España. Anales pág 203. ISBN: 84-600-9928-8.

[23] C. A. Gayoso, C. González, M. Rabini, L. Arnone, "Estudio de multiplicadores en aritmética de residuos empleando lógica programable", Décimo Tercera Reunión de Trabajo en Procesamiento de la Información y Control RPIC 2009, 16 al 18 de septiembre de 2009. Rosario, Argentina. Pág. 954-959. ISBN: 950-665-340-2.

[24] M. A. Bayoumi and G. A. Jullien, "A VLSI Implementation of Residue Adders", IEEE Transactions on Circuits and Systems, vol. 34, no. 3, pp. 284-288, Mar. 1987.

[25] M Dugdale, "VLSI Implementation of Residue Adders based on Binary Adders", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 39, no. 5, pp. 325-329, Mar. 1987.

[26] G. A. Jullien, "Implementation of Multiplication, Modulo a Prime Number, with Applications to Number Theoretic Transforms", IEEE Transactions on Computers, vol. C-29, no. 10, pp. 899-905, Oct. 1980.

[27] J. C. Smith and F. J. Taylor, "A fault-tolerant GEQRNS processing element for linear systolic array DSP application", IEEE Transactions on Computers, vol. 44, no. 9, pp. 1121-1130, Sep. 1995.

[28] J. Ramírez, P. G. Fernández, U. Meyer-Bäse, F. J. Taylor, A. García and A. Lloris, "Design of Index-based RNS-DWT Architectures for Custom IC Designs", Proc. of 2001 IEEE Workshop on Signal Processing Systems SiPS'2001, pp. 70-79, Sep. 2001.

Sistema de control para la autoestabilización de un vehículo aéreo trirotor no tripulado

Gabriel Alejandro Chaves

LEIS-Laboratorio de Electrónica, Investigación y Servicios.

UNSL-Universidad Nacional de San Luis

San Luis Capital-Argentina

gchaves@unsl.edu.ar

Abstract—El objetivo de este proyecto es presentar el diseño de un sistema de control de estabilización sencillo para un vehículo prototipo aéreo no tripulado. El modelo matemático que describe el comportamiento del prototipo es obtenido a través de las ecuaciones de Newton-Euler para aceleraciones lineales y angulares donde los ángulos de rolido, cabeceo y dirección son realimentados como una entrada para el correspondiente controlador SISO. El vehículo desarrollado tiene 6 grados de libertad que son controlados por 3 motores trifásicos y un servo usado para inclinar el motor de cola a fin de compensar el torque total. La lectura de los 3 ángulos se lleva a cabo mediante la implementación de un acelerómetro tri-axial y un giróscopo tri-axial y han sido considerados independientes uno de otro, dando lugar a 3 sistemas de control de simple entrada y simple salida.

Keywords: UAV, Trirotor, ángulos de Euler, Sistemas Embebidos, Sistema de Control PID, Sistema SISO.

I. INTRODUCCIÓN

Un tricóptero, también llamado trirotor, es un vehículo aéreo simple de tres motores donde uno de ellos, el motor de cola, puede inclinarse para anular el efecto producido por la reacción de los torques del sistema. Un trirotor tiene la ventaja de generar respuestas de movimiento rápido dado por la inclinación del motor de cola el cual puede ser también un desafío para este sistema ya que requiere cierta exactitud en la inclinación del motor para la estabilización del vehículo.

Para llevar a cabo el presente trabajo, se ha desarrollado un prototipo trirotor que posee 6 grados de libertad pudiendo realizar desplazamiento longitudinal, desplazamiento lateral, desplazamiento vertical, movimiento de rolido, movimiento de cabeceo y movimiento de dirección a través de la acción de los 3 motores trifásicos brushless y el mini-servo de cola. Éste último cumple dos funciones fundamentales: la primera es realizar el movimiento de dirección y la segunda es compensar el torque del motor de cola con una pequeña inclinación opuesta al par generado. Los sensores utilizados para cerrar el lazo de control son acelerómetros tri-axiales y giróscopos tri-axiales combinados mediante algoritmos de estimación de variables (filtros de Kalman) a fin de reducir la incertidumbre en la medición dado por las vibraciones de los acelerómetros, las derivas de los giróscopos y el ruido de los motores trifásicos. El microcontrolador utilizado es un LPC1768 de la firma NXP

con arquitectura ARM Cortex-M3 de 32 bits corriendo a 100 MHz.

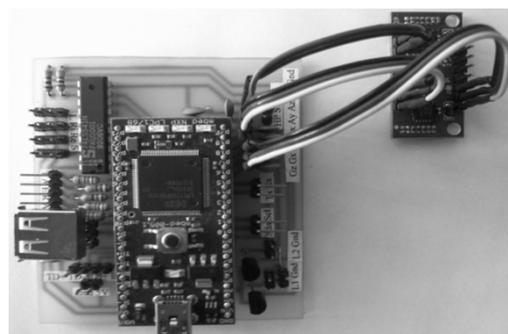


Figura 1. Hardware utilizado. En la parte derecha se encuentra la IMU de 6 grados de libertad.

El siguiente esquema ejemplifica el hardware utilizado en el prototipo donde cada motor cuenta con su respectivo variador de velocidad. La memoria Flash es utilizada para implementar un datalogger que almacena las variables de entrada y salida de cada controlador y las señales de los sensores son acondicionadas por filtros pasa-bajos para luego realizar la estimación de variables mediante la implementación de filtros de Kalman:

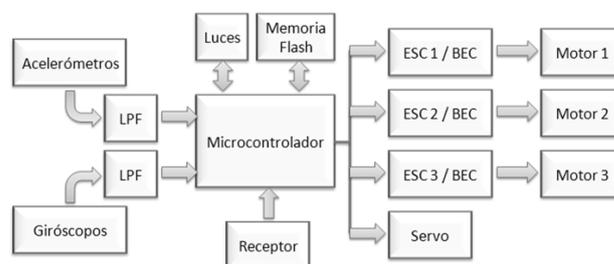


Figura 2. Diagrama de bloques del Hardware utilizado.

A continuación, la figura 2 muestra cómo se llevan a cabo los movimientos de altura, rolido, cabeceo y dirección en el trirotor para realizar los 6 grados de libertad permitidos:

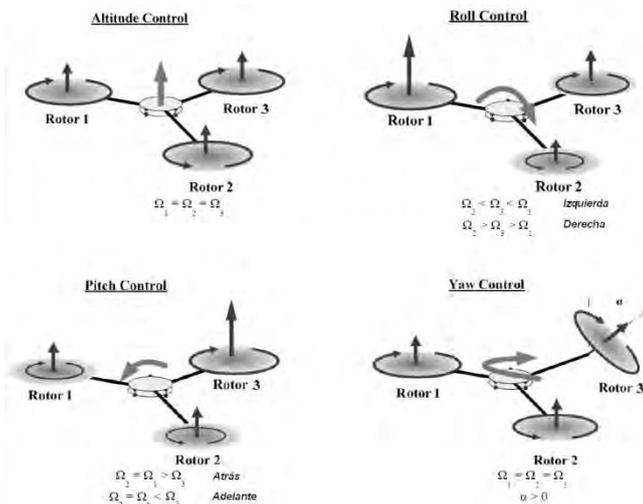


Figura 3. Movimientos permitidos en el trirotor mediante la interacción con los motores y servo de cola.

El principal obstáculo del prototipo a la hora de diseñar los controladores, es su comportamiento como un sistema MIMO (multiple input, multiple output), de modo que, mediante simplificaciones y consideraciones analíticas, el sistema puede ser convertido en varios sistemas SISO (simple input, simple output), donde trabajando sobre un eje de referencia, una única salida se ve afectada al producirse un cambio en una única entrada sin modificar los demás ejes cuyas variables relacionadas han sido consideradas constantes. Esto es válido para un sistema de auto-estabilización ya que las variaciones de las salidas son consideradas mínimas.

II. ECUACIONES DE MOVIMIENTO

A. Simplificación del modelo matemático

A fin de conseguir un análisis aproximado de la realidad como punto de partida para el diseño de los controladores, el modelo matemático contempla las siguientes simplificaciones:

- 1) En relación al efecto giroscópico producido por el cambio en la orientación del cuerpo rígido y cambio de orientación del plano de los rotores, se considera que las pequeñas correcciones de estabilización no generan inclinaciones por lo que dicho efecto no es considerable.
- 2) En relación al efecto tierra producido por la cercanía del vehículo respecto a la tierra generando una mejor eficiencia de los rotores debido a la reducción de la velocidad del flujo de aire inducido, se considera que la estabilización se realiza a una altura superior a 1.5 metros, donde dicho efecto es despreciable.
- 3) Se desprecia el flujo de aire y la variación del mismo considerando la fuerza de empuje de cada motor como un resultado que contempla todos los efectos aerodinámicos.
- 4) Se desprecia la dinámica de los motores ya que las respuestas son superiores en rapidez respecto a la respuesta del sistema.

- 5) Se desprecia el concepto de conservación de momento angular ya que el momento que se opone al movimiento es mínimo para pequeñas correcciones.

B. Sistema de referencia

Los parámetros de entrada del modelo está determinado por las 3 fuerzas de empuje de los motores (F1, F2 y F3) y el ángulo de inclinación (α) del soporte del motor de cola medido en radianes. El modelo devuelve como resultado las aceleraciones lineales y angulares respecto a cada eje de referencia.

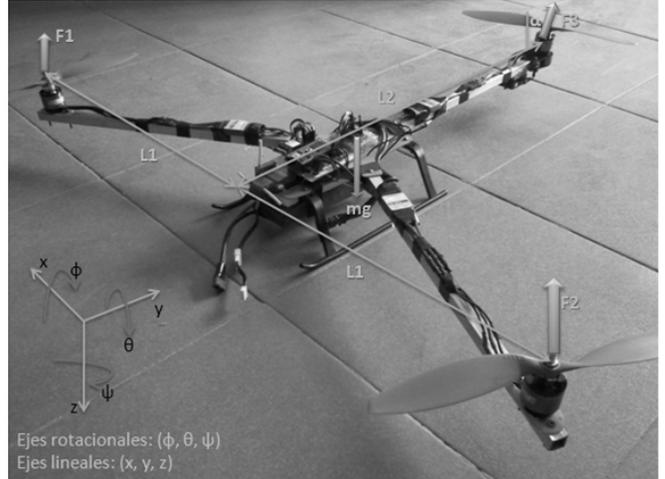


Figura 4. Sistema de referencia del prototipo trirotor HUARPE.

C. Aceleraciones lineales

La ecuación utilizada [5] es la 2ª Ley de Newton-Euler:

$$\mathbf{F} = m * \mathbf{a} + (\mathbf{W} \times m) * \mathbf{V} \quad \text{Ec. 1.}$$

Donde F es la fuerza, m la masa, a es la aceleración lineal, W la velocidad angular y V es la velocidad lineal. El término $(\mathbf{W} \times m) * \mathbf{V}$ se desprecia para velocidades mínimas. El producto vectorial es representado con una "x" y el producto punto con un "*".

Considerando la ecuación Ec.1, la acción de la gravedad y la matriz de rotación para ángulos pequeños (menores a 20 grados) bajo las simplificaciones de $\sin(\beta) \approx \beta$ y $\cos(\beta) \approx 1$, la aceleración lineal del trirotor en sus 3 ejes, es:

$$M * \begin{pmatrix} ax \\ ay \\ az \end{pmatrix} = \begin{pmatrix} 1 & \psi & \theta \\ \psi & 1 & \phi \\ \theta & -\phi & 1 \end{pmatrix} * \begin{pmatrix} -F3 * \sin(\alpha) \\ 0 \\ -F1 - F2 - F3 * \cos(\alpha) \end{pmatrix} + \begin{pmatrix} 0 \\ 0 \\ mg \end{pmatrix} \quad \text{Ec. 2.}$$

D. Aceleraciones angulares

Si un determinado cuerpo tiene un eje de giro y se desea cambiar su velocidad angular, la oposición al cambio está expresada por una magnitud que se denomina **momento de inercia** del cuerpo. Tal magnitud está ligada a la masa del cuerpo y a la distribución de esa masa respecto al eje de giro.

La expresión matemática de la ley Newton-Euler para momentos angulares [5] es:

$$\sum M = I * \alpha(t) + (W \times I) * W \quad \text{Ec. 3.}$$

Donde M representa el momento de la fuerza, I el momento de inercia, W la velocidad angular y a la aceleración angular. El término $(W \times I) * W$ se desprecia para pequeñas inclinaciones. Su explicación está ligada al concepto físico de conservación del momento angular, siendo un momento que se opone al momento del vehículo al producirse un cambio de estado. Por lo tanto, las aceleraciones angulares que describen el comportamiento del trirotor son:

$$\begin{pmatrix} I\phi & 0 & 0 \\ 0 & I\theta & 0 \\ 0 & 0 & I\psi \end{pmatrix} * \begin{pmatrix} \alpha\phi \\ \alpha\theta \\ \alpha\psi \end{pmatrix} = \begin{pmatrix} -L2 * F3 * \cos(\alpha) + T3 * \sin(\alpha) \\ L1 * (F1 - F2) \\ -L2 * F3 * \sin(\alpha) + T3 * \cos(\alpha) + T2 - T1 \end{pmatrix}$$

Ec. 4.

Donde $L1$ y $L2$ son los lados en metros señalados en la Figura 2; $F1$, $F2$ y $F3$ las fuerzas de empuje, α el ángulo de inclinación en radianes del soporte del motor 3, $T3$ es el torque del motor 3, $I\phi$, $I\theta$ y $I\psi$ son las inercias respecto al eje de rotación de cabeceo, rolido y dirección respectivamente.

E. Obtención de los parámetros del modelo

El parámetro de torque de los motores del prototipo utilizado se obtuvo analítica y experimentalmente siendo éste último el valor utilizado para aproximar el modelo a la realidad. Sin embargo, el método analítico permite demostrar que el valor obtenido experimentalmente es consistente.

Las especificaciones de los motores utilizados son:

- Motor trifásico brushless KA20-20L Pulso
- $K_v = 1050 \text{ rpm} / \text{V}$
- Corriente de operación: 4A – 15A
- Máxima corriente= 19A
- Eficiencia= 90%
- Fuerza de empuje máxima: 1 kg (9.8 Newtons)
- Peso: 57 gramos
- Para hélices APC 10x4.7 o APC 10x3.8

El método analítico parte de la siguiente relación dado en cualquier motor eléctrico:

$$Kt = \frac{1352}{K_v} = \frac{1352}{1050} = 1.2876 [\text{in-oz}] = 9.14 * 10^{-3} [\text{Nm}] \quad [\text{in-oz}]$$

Ec.5.

Donde Kt es el valor de torque por unidades de corriente y K_v son las rpm del motor por unidades de voltaje. La constante 1352 surge de hacer la conversión de $[\text{Nm} * \text{rad}/\text{seg}]$ a $[\text{in-oz} * \text{rpm}]$.

El torque del motor es proporcional al consumo de la corriente, siendo aproximadamente 15.33A para vuelo estacionario. Entonces:

$$T [\text{Nm}] = Kt * I = 9.14 * 10^{-3} * 15.33 = 0.14 [\text{Nm}]$$

Ec.6.

El método experimental parte de la ecuación del modelo matemático para la aceleración angular en el eje ψ donde $I\psi * \alpha\psi = 0$ para vuelo estacionario y $T2 - T1 = 0$ para motores en contra-rotación:

$$\begin{aligned} -L2 * F3 * \sin(\alpha) + T3 * \cos(\alpha) + T2 - T1 &= 0 \\ -0.4 * 5.0225 * \sin(\alpha) + T3 * \cos(\alpha) &= 0 \end{aligned}$$

Ec.7.

Para obtener el ángulo de inclinación del tercer motor, se realizó un vuelo estacionario en laboratorio con el sistema de control de cola anulado. Luego, mediante un offset de compensación manual aplicado al servo encargado de la inclinación del motor de cola, se logró inmovilizar la cola lo mejor posible y suavemente se aterrizó el vehículo. Finalmente, se midió el ángulo de inclinación como sigue:

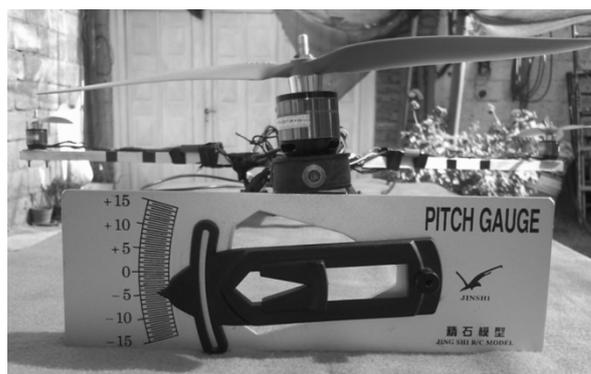


Figura 5. Medición del ángulo de inclinación (4.5°) del motor de cola

Se calcula el valor de torque del motor:

$$T3 = L2 * F3 * \text{tg} 5 = 0.4 * 5.0225 * 0.0787 = 0.1581 [\text{Nm}]$$

Ec.8.

El valor obtenido indirectamente a través de dicho experimento resulta ser muy similar al calculado analíticamente.

Los 3 parámetros de inercia se calcularon considerando la inercia total de cada eje como un conjunto de masas puntuales. La fórmula utilizada es la siguiente:

$$I = \sum m * r^2 [\text{Kg} * \text{m}^2] \quad \text{Ec.9.}$$

Donde I es el momento inercial, m es la masa y r es el radio de la masa puntual al eje de rotación.

Los resultados obtenidos aplicando la ecuación Ec.9 son visualizados en la siguiente tabla:

Inercia del eje de Rolido	0.031 [Kg * m²]
Inercia del eje de Cabeceo	0.067 [Kg * m²]
Inercia del eje de Dirección	0.069 [Kg * m²]

Tabla 1. Valores de las inercias respecto al eje de rotación.

Bajo consideraciones ideales tales como despreciar la resistencia de la hélice con el aire, suponer que el flujo de aire que ingresa a la hélice es constante, las rpm son constantes, hay suficiente distanciamiento del vehículo respecto al suelo y a las paredes a fin de despreciar las turbulencias, existe una expresión muy utilizada que relaciona el torque de un motor con la fuerza de empuje que genera:

$$T = K_{torque} * F$$

En vuelo estacionario (aproximadamente el 52% de la potencia total de los motores) se ha medido que la fuerza de empuje que genera un motor es de 512.5 gramos por lo que teniendo en cuenta el resultado del torque en la ecuación Ec.7, se llega a que $K_{torque} = 0.0315 [m]$.

Finalmente, con los parámetros calculados, se procede a rescribir la ecuación Ec.4 que rige el comportamiento del prototipo para aceleraciones angulares:

$$\begin{pmatrix} 0.067 & 0 & 0 \\ 0 & 0.031 & 0 \\ 0 & 0 & 0.069 \end{pmatrix} * \begin{pmatrix} \alpha\phi \\ \alpha\theta \\ \alpha\psi \end{pmatrix} = \begin{pmatrix} (-0.4 * \cos(\alpha) + 0.0315 * \sin(\alpha)) * F3 \\ 0.3464 * (F1 - F2) \\ (-0.4 * \sin(\alpha) + 0.0315 * \cos(\alpha)) * F3 + 0.0315 * (F2 - F1) \end{pmatrix}$$

Ec.11.

III. SISTEMA DE CONTROL

Los controladores utilizados para la estabilización del vehículo trirotor son los conocidos PID por su facilidad de sintonización configurando los parámetros k_p , k_i y k_d .

Como la salida realimentada del sistema son los ángulos de Euler (pitch, roll, yaw), se considera que los mismos están desacoplados (sistema SISO). Por ende, se obtienen 3 plantas independientes las cuales cuentan cada una con un controlador PID distinto.

A. Frecuencia de muestreo

En la práctica, el sistema está sincronizado con respecto a un receptor digital que entrega una señal PWM de 22 ms de período por cada canal (5 canales en total) donde uno de estos canales es utilizado para conmutar, desde el transmisor, entre modalidad de vuelo estacionario y vuelo normal. En este trabajo solo se desarrolla la modalidad de vuelo estacionario.

Consecuentemente, la lectura de los sensores mediante una IMU (unidad de medición inercial),

controladores y actuadores se refrescan cada 22 ms, considerado el período de muestreo del sistema total que se tiene en cuenta durante el diseño de los sistemas de control.

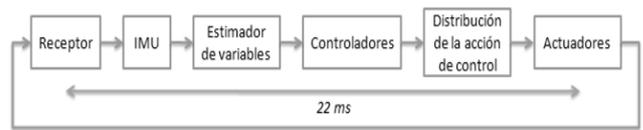


Figura 6. Ciclo de ejecución del firmware en el micro-controlador.

B. Diseño de los controladores de rolido y cabeceo

Los 2 sistemas SISO son obtenidos a partir de la ecuación Ec.11 para aceleraciones angulares de roll y pitch.

Se ha considerado un tiempo de crecimiento aceptable de 0.3 segundos sabiendo que transcurren aproximadamente 13 muestras para que la salida alcance la referencia. El valor de sobre-pico aceptable no debe ser superior a 0.1 radianes equivalente a 5.73 grados ya que el modelo funciona correctamente en un rango entre -20° y $+20^\circ$.

Para el controlador de rolido, el diseño contempla que la acción de control no supere los 6 Newtons totales para no saturar los actuadores (-3 Newtons de cada motor delantero sumados a los 5 Newtons necesarios para sustentar el vehículo). En cambio, para el controlador de cabeceo, la acción de control no supera los 9 Newtons ($+3$ Newtons de cada motor sumados a los 5 Newtons de sustentación).

Los controladores PD han sido sintonizados mediante ensayos con la planta en Simulink permitiendo ajustar los parámetros k_p y k_d y observar la ubicación de los polos y ceros de la función de transferencia del sistema completo utilizando el lugar de las raíces a fin de cumplir las especificaciones planteadas anteriormente.

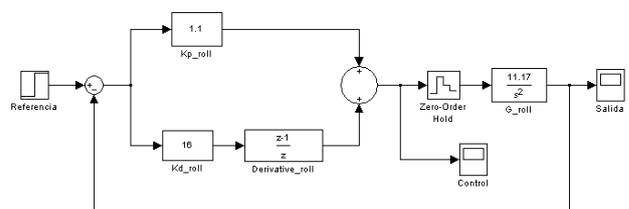


Figura 7. Sistema de control para el movimiento de rolido que implementa un controlador de tipo PD. $K_p = 1.1$ y $K_d = 16$.

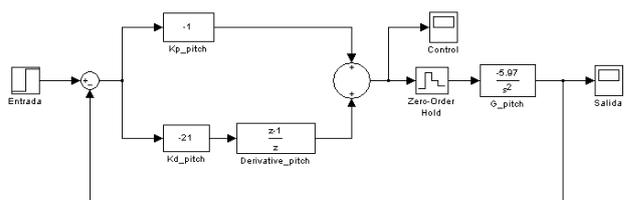


Figura 8. Sistema de control para el movimiento de cabeceo que implementa un controlador de tipo PD. $K_p = -1$ y $K_d = -21$.

C. Diseño del controlador de dirección

Las especificaciones planteadas fueron que la respuesta del sistema no debe tener un sobre-pico superior a 0.18 rad/seg, lo cual equivale a 10.31 grados/seg y, el tiempo de establecimiento debe ser inferior a 1 segundo.

La simulación llevada a cabo en Simulink contempla la perturbación del sistema debido al torque generado por el motor de cola. En estado estable, la acción de control se mantiene constante en 4.5 grados que es la inclinación necesaria para originar un momento igual y opuesto al torque de cola.

Al igual que el caso anterior, el controlador de dirección ha sido sintonizado mediante ensayos con la planta a fin de cumplir las especificaciones propuestas.

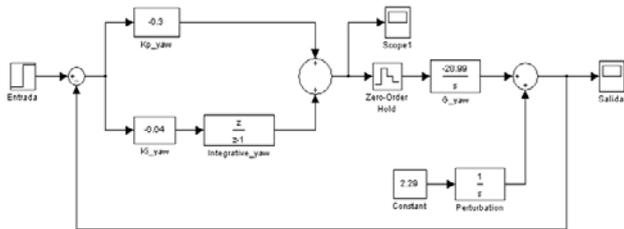


Figura 9. Sistema de control para el movimiento de dirección que implementa un controlador de tipo PI. $K_p = -0.3$ y $K_i = -0.04$.

D. Gráficas de simulación

Las gráficas de respuesta de salida para el movimiento de rolido y cabeceo son exactamente iguales ya que se plantearon las mismas especificaciones. Por lo tanto, el lugar de las raíces es el mismo en ambos casos. Entonces, las figuras 10 y 11 son válidas en ambos sistemas.

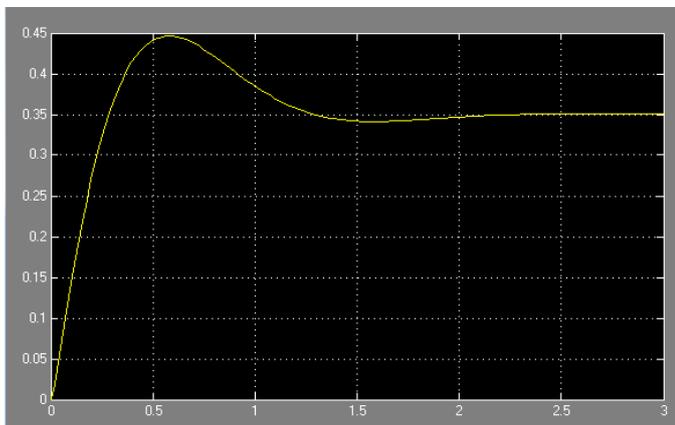


Figura 10. Respuesta de salida del movimiento de Rolido y Cabeceo para una entrada escalón que va de 0 radianes a 0.35 radianes (20°).

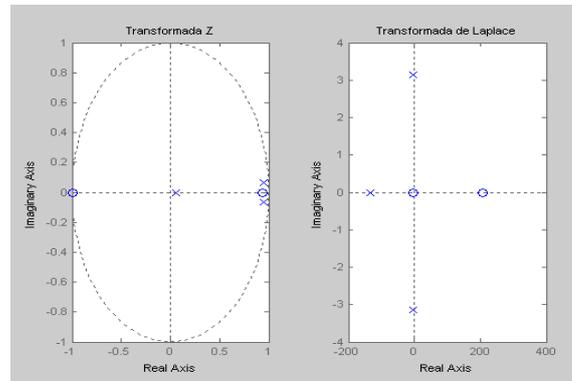


Figura 11. Ubicación de los polos y ceros de la función de transferencia de Rolido y Cabeceo en lazo cerrado. Izquierda: mapeo en el plano Z. Derecha: mapeo en el plano de Laplace.

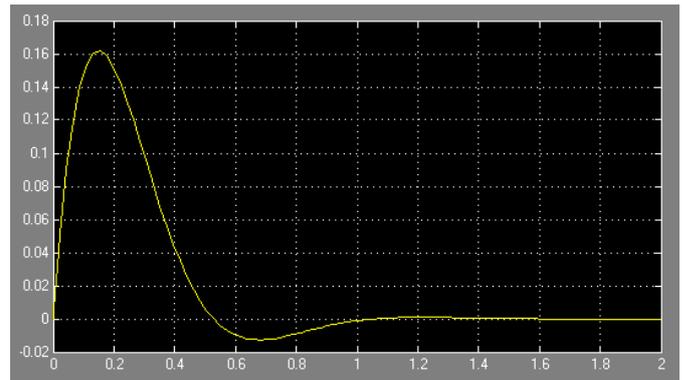


Figura 12. Respuesta de salida del movimiento de Dirección ante una entrada escalón con un valor inicial de -0.56 rad/seg y un valor final de 0rad/seg (variación de 0.44 rad/seg = 25.2 grados/seg).

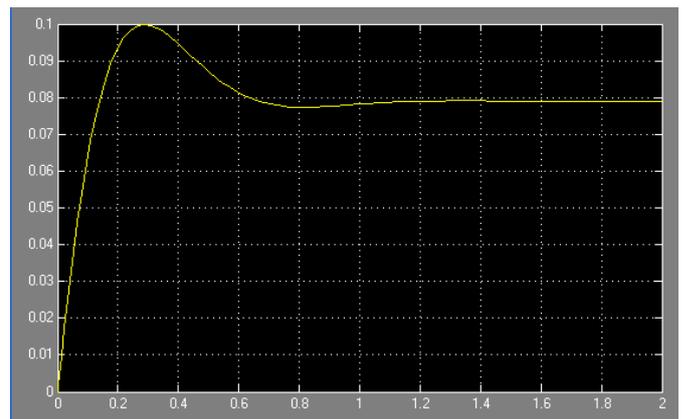


Figura 13. Acción de control para el movimiento de Dirección. La señal se estabiliza aproximadamente en 0.079 rad equivalentes a 4.5° necesarios para oponerse al torque producido por el motor de cola.

E. Distribución de la acción de control a los motores

Cada controlador entrega un valor que corresponde a la variación de fuerza resultante (ΔF) necesaria para llevar a 0 grados la inclinación que el trirotor tiene en ese momento respecto a un eje en particular. Por lo tanto, los controladores de inclinación modifican la fuerza de empuje absoluta que sustenta al prototipo en estacionario y que puede ser modificada desde la radio control del piloto.

Entonces, la acción de control del rolido y cabeceo indican la fuerza resultante que debe aplicarse para corregir el ángulo que corresponda a fin de llevar la salida a la referencia. Para eso, el bloque de distribución tiene en cuenta la siguiente relación:

$$f1(t) = f1_{hover}(t) + \frac{\Delta f_{roll}(t)}{2}$$

$$f2(t) = f2_{hover}(t) - \frac{\Delta f_{roll}(t)}{2}$$

$$f3 = f3_{hover}(t) + \Delta f_{pitch}(t)$$

Las fuerzas $f1_{hover}(t)$, $f2_{hover}(t)$ y $f3_{hover}(t)$ son las fuerzas necesarias para mantener en estacionario el trirotor que no están asociadas a ningún controlador y son modificadas desde el transmisor que manipula el piloto.

Para el caso del movimiento de dirección, el controlador actúa directamente sobre el servo que genera la inclinación del tercer motor.

IV. CONCLUSIONES

El sistema de control desarrollado para la autoestabilización del tricóptero ha permitido tener un buen punto de partida para la implementación de los algoritmos ejecutados por el microcontrolador. Sin embargo, fueron necesarios pequeñas modificaciones en la sintonización de los parámetros de los controladores PID's debido a las simplificaciones y tolerancias de la electrónica utilizada.

El tiempo de muestreo, limitado por la frecuencia de trabajo que pueden ser sometidos los variadores de velocidad de cada motor, ha sido suficiente para desarrollar un control de auto-estabilización ya que las frecuencias del sistema son inferiores a 12Hz. En cambio, para un sistema de control agresivo, es necesario incrementar la frecuencia de muestreo a fin de lograr un sistema estable.

V. TRABAJOS FUTUROS

Se ha pensado en la implementación de un controlador de altura mediante el uso del acelerómetro

utilizado y un sensor ultrasónico a fin de obtener una medición absoluta para alturas inferiores a 4 metros. También se considera la posibilidad de utilizar altímetros determinando la altura a partir de la medición de presión.

El modelo desarrollado permite expandirse a futuras implementaciones tales como navegación, sorteo de obstáculos y tareas programadas siempre y cuando los movimientos de rolido y cabeceo estén acotados entre -20 grados y +20 grados debido a la linealización aplicada en las aproximaciones. Tales expansiones pueden ser llevadas a cabo mediante un sistema de posicionamiento global (GPS) o sistemas de visión mediante la implementación de cámaras. Esta última técnica es apta para desarrollos en interiores logrando una mayor exactitud en la búsqueda de caminos para la navegación y el sorteo de obstáculos.

REFERENCIAS

- [1] J. Escareño, A. Sanchez O. Garcia, R. Lozano, "Triple Tilting Rotor mini-UAV: Modeling and Embedded Control of the Attitude", in *2008 American Control Conference Westin Seattle Hotel, Seattle, Washington, USA, June 2008*.
- [2] S. Salazar-Cruz and R. Lozano, "Stabilization and nonlinear control for a novel trirotor mini-aircraft", in *Proceedings of the 2005 IEEE International Conference on Robotics and Automation, Barcelona, Spain, April 2005*.
- [3] A. Baerveldt and R. Klang, "A low-cost and low-weight attitude estimation system for an autonomous helicopter," in *Intelligent Engineering Systems, 1997. INES'97. Proceedings., 1997 IEEE International*.
- [4] K. Miller, M. Kamgarpour, T. Claire, "Path tracking control for Quadrotor Helicopters", July 31, 2008.
- [5] G. Homann, S. Waslandery, "Quadrotor Helicopter trajectory tracking control", Stanford University, Stanford, California.

Implementación de la Transformada Discreta Wavelet en un sistema embebido para el análisis de registros electronistagmográficos

Lucas Matías Angarola¹, Maximiliano Fermín Córdoba², Miguel Angel Banchieri³

Departamento Ingeniería Electrónica
UTN Facultad Regional Bahía Blanca
Bahía Blanca, Argentina

¹lucasangarola@hotmail.com, {²mfcordoba, ³mbanch}@frbb.utn.edu.ar

Resumen—En el presente trabajo se describe el diseño y desarrollo de un sistema embebido basado en un microcontrolador de 32 bits, cuyo objetivo es determinar si la patología vertiginosa que sufre un paciente se debe al Sistema Nervioso Central (SNC) o al aparato vestibular. El software desarrollado para efectuar el análisis implementa la Transformada Discreta Wavelet (DWT), a fin de poder determinar la energía de los detalles de registros electronistagmográficos. Los resultados fueron comparados con los obtenidos con el software Matlab 7.0 instalado en una computadora personal. Se observó que los valores relativos de energías fueran similares, con la ventaja de tener un sistema fácilmente portable. La importancia de este desarrollo radica en que el método tradicional para efectuar este diagnóstico está basado en la observación de los registros en papel por parte de un especialista experimentado.

Transformada Discreta Wavelet; Multiresolución; Microcontrolador; Electronistagmografía.

I. INTRODUCCIÓN

El estudio del nistagmus¹ mediante el registro electronistagmográfico² permite determinar si la patología vertiginosa se debe al Sistema Nervioso Central (SNC) o al aparato vestibular.

Para realizar el estudio se emplea un sillón rotatorio automático y se registra simultáneamente el nistagmus de un ojo y el movimiento del sillón, Fig. 1. Al paciente se lo sienta en el sillón con los ojos tapados por un antifaz y con una inclinación cefálica de aproximadamente 30° hacia delante.

El registro se almacena asociado con un archivo de texto en el cual constan el análisis y el diagnóstico efectuado por el profesional.

Previo al estudio se efectúa el ajuste de ganancia del canal de adquisición del electronistagmógrafo con el paciente.

¹ Nistagmus: desviación conjugada de los ojos de origen reflejo y de carácter rítmico.

² Registro electronistagmográfico: gráfico que representa el trazado de las desviaciones conjugadas de los ojos



Fig. 1 Pantalla de presentación del registro electronistagmográfico. La señal con pendiente negativa es la excitación al sillón giratorio.

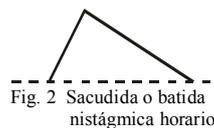


Fig. 2 Sacudida o batida nistágmica horario

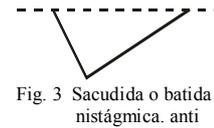


Fig. 3 Sacudida o batida nistágmica anti horario

Se hace girar el sillón junto con el paciente en sentido horario registrándose la respuesta del ojo y la excitación al sillón para que efectúe el giro. Luego se detiene el sillón y se continúa registrando la señal de nistagmus durante un lapso superior a los 30 segundos. El estudio se repite pero haciendo girar el sillón en sentido anti horario, Fig. 1.

Se analiza el registro de los primeros 30 segundos tanto sea cuando el sillón está girando como también cuando se detiene.

El profesional cuenta la cantidad de batidas, Figs. 2 y 3, dentro de los primeros 30 segundos del registro. Los criterios fijados para clasificar los distintos tipos de respuestas son:

Hiporreflexia: menos de 30 batidas en 30 segundos.

Estándar: entre 30 y 60 batidas en 30 segundos.

Hiperreflexia: más de 60 batidas en 30 segundos.

Analizando el registro electronistagmográfico, por medio de la Transformada Discreta Wavelet (DWT) [1], puede distinguirse si el paciente presenta una respuesta estándar o hiperreflexia.

El sistema embebido desarrollado tiene por objetivo analizar los registros electronistagmográficos utilizando la DWT.

Se compararon 32 registros correspondientes a 16 pacientes (rotación en sentido horario y anti horario) con respuesta estándar y ocho registros de 4 pacientes (rotación en sentido horario y anti horario) con respuesta hiperreflexia.

II. FUNDAMENTOS

A. Transformada Wavelet (WT)

El análisis por medio de la transformada wavelet consiste efectuar el análisis de la señal con ventanas variables [2], Fig. 4.

La WT permite aumentar la exactitud cuando se trabaja con bajas frecuencias al poder emplear intervalos de tiempo largos y mejorar también la exactitud a altas frecuencias al poder conformar ventanas más angostas.

Una wavelet es una “onda pequeña”, Fig. 5, la cual tiene su energía concentrada en el tiempo y es una herramienta para analizar transitorios, fenómenos no estacionarios o variantes en el tiempo. Tiene la oscilación característica de una onda permitiendo efectuar el análisis simultáneo en tiempo y frecuencia con fundamentos matemáticos flexibles.

B. La Transformada Wavelet Discreta

En este trabajo se empleará la transformada wavelet discreta (DWT).

Dada una señal discreta $S(n)$, se define la DWT de la siguiente forma:

$$C(j, k) = \sum_{n \in \mathbb{Z}} S(n) \psi_{j, k}(n) \quad (1)$$

Donde
$$\psi_{j, k}(n) = 2^{-\frac{j}{2}} \psi(2^{-j} n - k) \quad (2)$$

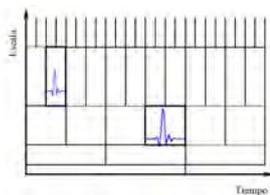


Fig. 4 Formas de las ventanas

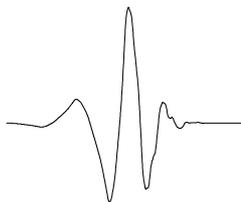


Fig. 5 Wavelet Daubechies 4

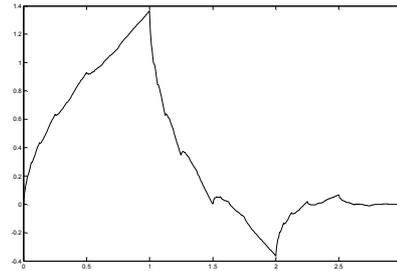


Fig. 6 Función escala Daubechies 4

Puede observarse que k representa un desplazamiento y j hace referencia al escalado de la función, Fig. 6.

La transformada inversa discreta se define como:

$$S(n) = \sum_{j \in \mathbb{Z}} \sum_{k \in \mathbb{Z}} C(j, k) \psi_{j, k}(n) \quad (3)$$

C. Análisis Multiresolución

El concepto básico de multiresolución está dado por el cambio de escala de la función de la ventana conforme al avance de la misma sobre la señal.

Es posible implementarlo por medio de una serie de filtros pasa bajos y pasa altos, permitiendo cambiar la resolución de la señal por medio del filtro pasa bajos y la escala con el filtro pasa altos. Este método es conocido como codificación de sub-bandas.

Es importante mencionar que el escalado se realiza con una escala diádica ($2, 4, 16, 32, \dots, 2^n$) debido a la facilidad que la misma representa al momento implementarlo en un sistema computacional.

Del filtro pasa bajos se tiene la función escalado $h(n)$ y con el filtro pasa altos la función wavelet $g(n)$ relacionada.

Al excitar simultáneamente con la señal $S(n)$ a los filtros pasa bajos y pasa altos, se tendrá a la salida del filtro pasa bajos un vector denominado aproximación c_1 de longitud $n/2$ y a la salida del filtro pasa altos un vector denominado detalle d_1 del mismo tamaño que el de las aproximaciones, Fig. 7. La resolución del tiempo se reduce a la mitad, pero se incrementa al doble la resolución en frecuencia.

Si se aplica el mismo procedimiento de doble filtrado a la aproximación c_1 obtenida anteriormente, se tendrán dos vectores c_2 y d_2 de longitud $n/4$, reduciendo así la resolución temporal en cuatro veces e incrementando cuatro veces la resolución en frecuencia, Fig. 7.

Se continúa este proceso hasta que el vector resultante tenga longitud unitaria [3].

Por ejemplo, utilizando la escala diádica y una señal con 1024 muestras, se tendrán 10 niveles de descomposición; donde por cada iteración se reduce a la mitad el vector y la señal de entrada es la aproximación c anterior.

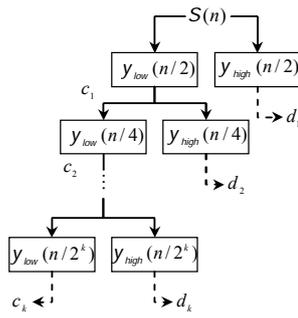


Fig. 7 Esquema del análisis multiresolución

Los coeficientes de la DWT son la concatenación de los detalles d empezando con el de mayor nivel. Es importante notar que el vector de coeficientes tiene la misma longitud que el vector de datos.

La función transferencia de ambos filtros está relacionada de la siguiente forma:

$$g(L-1-n) = (-1)^n h(n) \quad (4)$$

Donde L es la longitud del vector que contiene los coeficientes del filtro.

Para reconstruir la señal original se procede de forma inversa.

III. IMPLEMENTACIÓN

A. Transformada Wavelet Discreta Directa e Inversa

Para lograr implementar la DWT en un microcontrolador, se trabajó sobre un entorno de programación de lenguaje C soportado por el sistema operativo Windows Vista, en una computadora personal con procesador dual-core.

El algoritmo se basó en una matriz cuadrada que contiene los coeficientes de los filtros pasa bajos y pasa altos, es decir de las funciones *escalado* y *wavelet* respectivamente.

De forma genérica, considerando filtros $g(n)$ y $h(n)$ de longitud L , se tendrá una matriz cuadrada de $n \times n$:

$$T = \left[\begin{array}{l} \left. \begin{array}{l} h_k^{i,j}, g_k^{i+1,j}; \\ k=0,1,\dots,L-1; \\ i=0,2,4,\dots,n-L; \\ j=i,i+1,\dots,i+L-1; \end{array} \right\} \text{si } i \leq n-L \\ \left. \begin{array}{l} h_k^{i,j}, g_k^{i+1,j}; \\ k=0,1,\dots,L-1; \\ i=n-L+2,n-L+4,n-1; \\ \left\{ \begin{array}{l} j=i,i+1,\dots,n-1; \text{ si } k \leq L-1-i+n/2 \\ j=0,1,\dots,i-n/2-1; \text{ si } k > L-1-i+n/2 \end{array} \right. \end{array} \right\} \text{si } i > n-L \end{array} \right] \quad (5)$$

Donde i corresponde a la i -ésima columna y j a la j -ésima fila de la matriz. k es el número de coeficiente de los filtros cuya transferencia es $g(n)$ y $h(n)$.

Dado un vector de señal $S(n)$, por cada iteración se realiza la siguiente operación:

$$V = T S \quad (6)$$

Donde V es el vector resultante que tiene igual longitud que el vector de entrada, pero está conformado con los coeficientes de detalles y aproximaciones.

De forma similar se puede hallar la matriz de transformación inversa calculando la matriz transpuesta de la matriz T . De esta forma se obtendrá la señal nuevamente mediante la iteración.

$$S = T^T V \quad (7)$$

B. Procedimiento del análisis

El procedimiento de análisis, que ha sido implementado con el software del sistema embebido, se encuentra detallado en [1]. Dicho procedimiento puede resumirse de la siguiente manera:

En primer lugar se adquiere un bloque de 256 muestras de la señal a analizar, a la cual se elimina el valor medio. Posteriormente se realiza el análisis con la DWT empleando la wavelet *Daubechies 4*. Del resultado del mismo se extrae la aproximación correspondiente al tercer nivel c_3 . Esta aproximación se resta a la señal original, ya que se comprobó que contenía la mayor energía correspondiente a los *artefactos*³ [1].

La señal resultante se analiza nuevamente con la DWT pero utilizando la wavelet *Daubechies 8*. Del mismo se obtienen los valores de las energías correspondientes a los detalles d_1 a d_8 .

De los estudios realizados se obtuvo que cuando el paciente presenta una respuesta estándar, la energía correspondiente al detalle d_3 es mayor que la energía del detalle d_1 . En cambio si la energía del detalle d_1 es mayor que la del detalle d_3 , el paciente presenta hiperreflexia.

C. Sistema Embebido

Una vez desarrolladas las rutinas para la obtención de la DWT en lenguaje C, se embebieron en el kit de desarrollo STM32VLDISCOVERY [4] [5], el cual está basado en un microcontrolador de la familia STM32F100 [6] [7]. El mismo posee comunicación USB para carga y depuración del software, contando además con conectores especiales de entrada/salida. Estas características, permitieron usar las herramientas necesarias para evaluar el prototipo, disminuyendo así el tiempo de depuración.

El microcontrolador cuenta con 128 KB de memoria flash, 8 KB de memoria RAM, su núcleo es de 32 bits, y una frecuencia máxima del procesador de 24 MHz con la cual logra una performance de 1,25 DMIPS/MHz. Además está provisto a nivel hardware de mecanismos de multiplicación y división de 32 bits.

³ Energía que no forma parte de la respuesta fisiológica en las exploraciones objetivas, la cual debe ser controlada para que estas exploraciones alcancen su validez diagnóstica.

TABLA I. TIEMPOS DE EJECUCIÓN DE DIFERENTES OPERACIONES POR EL MICROCONTROLADOR

Operación	Ciclos de reloj	Tiempo de ejecución
double * double	83	3,45 μ s
float * float	39	1,625 μ s
int *int	3	0,125 μ s
sin(float)	2291	95 μ s
sin(double)	2359	98 μ s
double / double	162	6,75 μ s
float / float	65	2,71 μ s

Se le incorporó al kit una pantalla LCD de 20x4 caracteres y 3 pulsadores, con el fin de lograr una interfaz amigable con el usuario.

El software de desarrollo utilizado es la versión KickStart del entorno de programación IAR Embedded Workbench EWARM. Se utilizaron las librerías matemáticas, de retardos y de hardware provistas de manera estándar para la familia STM32, habiéndose desarrollado librerías propias para el cálculo de la DWT. Para determinar el rendimiento del microcontrolador, se simuló diversas operaciones matemáticas con diferentes tipos de variables, a la máxima frecuencia del procesador, resultando los tiempos de ejecución presentados en la Tabla I.

IV. RESULTADOS

Una vez introducidas las funciones en el sistema embebido, se evaluó el tiempo de ejecución de las mismas. En la Tabla II se muestra una comparación de los tiempos de ejecución de las funciones en diferentes entornos.

Pese a que el tiempo de ejecución empleado por el sistema embebido es muy superior a los del Matlab y C, no es condicionante ya que es inferior a los tiempos de las señales analizadas.

Se compararon los resultados obtenidos con el sistema embebido con respecto a los obtenidos con la computadora personal empleando el software Matlab 7.0 y el programa desarrollado en lenguaje C. Para ello se introdujeron los datos provenientes de 16 pacientes, formando vectores de 256 valores cada uno. El sistema permite seleccionar los datos de entrada de uno de los pacientes y realizar el análisis por medio de la DWT. Finalizado el mismo, se graficó en pantalla un cuadro comparativo de los diferentes valores de energías normalizadas correspondientes a los detalles d_1 a d_3 , determinándose si los mismos corresponden a un paciente con respuesta estándar o hiperreflexia, Figs. 8 y 9.

Debido a que por medio del kit se puede ejecutar el programa paso por paso, y analizar el contenido de las variables internas, se realizó una comparación de los tiempos empleados por el microcontrolador con respecto al de la computadora personal. A modo de ejemplo en la Tabla III se muestran los valores de energías resultantes para ambos métodos, tomando el registro de un paciente.

TABLA II. TIEMPOS DE EJECUCIÓN DE FUNCIONES (ms)

Función	Matlab	C	STM32F100
DWT	2,776	0,1134	13,19
IDWT ⁴	3,835	0,0812	12,69
Calculo de Energías	0,763	0,0676	232,28

V. CONCLUSIÓN

Se logró embeber en un microcontrolador STM32F100, un algoritmo para calcular la DWT, con el fin de realizar evaluaciones a los registros electronistagmográficos para determinar si un paciente presenta respuesta estándar o hiperreflexia. Cabe destacar que los resultados obtenidos coincidieron con los efectuados en el trabajo original.

En el método tradicional el especialista debe ubicar visualmente los nistagmus y contarlos, siendo una tarea tediosa que se realiza para 4 registros a saber: horario, anti horario y los dos pos rotacionales.

El sistema embebido implementado facilita la tarea de análisis ya que podría realizarse el análisis con un operador avezado, bajo la supervisión de un especialista, redundando en un gran ahorro de tiempo y disminución de posibles errores.

VI. TRABAJOS FUTUROS

Es necesario ampliar la capacidad de memoria RAM, para aumentar la precisión y disminuir algunos tiempos de procesamiento. Para ello, podría utilizarse algún microcontrolador de las familias superiores en prestaciones a las de la STM32F100, como por ejemplo la STM32F105/7, cuyos modelos alcanzan los 64 KB.

Actualmente, a los fines de evaluar el desempeño del algoritmo, los datos de los pacientes son cargados en memoria de programa. Está previsto, a corto plazo, desarrollar la etapa de adquisición y muestreo, para obtener a través de los electrodos y amplificadores de instrumentación (con sus correspondientes etapas de filtrado), los biopotenciales de eventuales pacientes bajo estudio. La señal de salida de estos amplificadores deberá ser muestreada por los conversores A/D propios del microcontrolador, para graficar el nistagmus y realizar su posterior análisis.

TABLA III. ERROR EN EL CALCULO DE ENERGIAS

Detalles	Energía [%]		Error
	Matlab	STM32F100	
1	18,1662707	18,1662731	13,2x10 ⁻⁶
2	31,6045396	31,6045417	6,64x10 ⁻⁶
3	45,9653118	45,9653015	-22,4x10 ⁻⁶
4	4,21554877	4,21554946	16,3x10 ⁻⁶
5	0,04823088	0,04823096	165,8x10 ⁻⁶
6	0,00005335	0,00005335	0,000
7	0,00004472	0,00004473	0,022
8	0,00000006	0,00000006	0,000

⁴ Transformada Wavelet Discreta Inversa

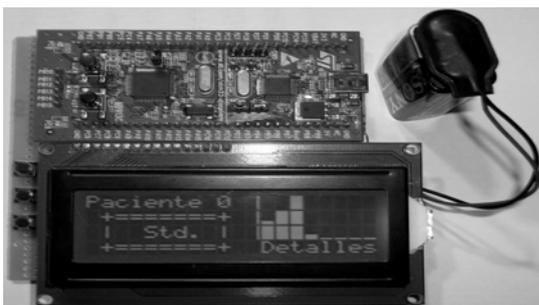


Fig. 8 Se observa el kit empleado con la pantalla incorporada en la cual puede verse como es la presentación de un análisis con respuesta estándar

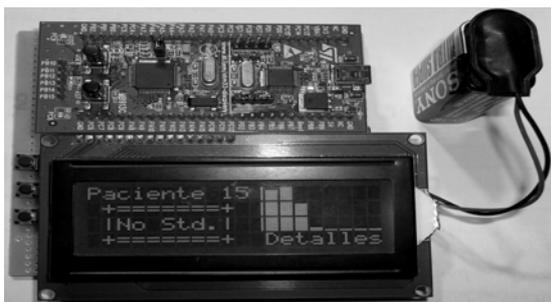


Fig. 9 En esta imagen se puede apreciar la respuesta de un paciente con hiperreflexia.

REFERENCIAS

- [1] Banchieri M.A., "Evaluación de registros electronistagmográficos empleando la transformada wavelet", Universidad Favaloro, 2008.
- [2] Amara Graps, "An Introduction to Wavelets", Instituto de Ingeniería Eléctrica y Electrónica, 1995.
- [3] Castro Fernandez.R, "Análisis de la teoría de ondas orientada a las aplicaciones en ingeniería eléctrica: Fundamentos", E.T.S.I. Industriales - Dto. Ingeniería Eléctrica, 2002.
- [4] AN3268 Application Note, STM32VLDISCOVERY firmware package, 2010.
- [5] UM0919 User Manual, STM32VLDISCOVERY, 2010. Datasheet STM32F100x, 2010.
- [6] Datasheet STM32F100x, 2010.
- [7] RM0041 Reference Manual, STM32F100XX advanced ARM-based 32-bit MCUs.

Cicaré CH7-B Engine Governor

Development of an Engine Governor for a Light Helicopter

Zumarraga, Augusto José
Investigación y Desarrollo
CRUX Sistemas Inteligentes
La Plata, Argentina
azumarraga@crux-si.com.ar

Garaventa, Guillermo Norberto
Grupo CAE
INIFTA, Facultad de Ciencias Exactas, UNLP
La Plata, Argentina
garaventa@inifta.unlp.edu.ar

Abstract—In this work the development of an engine's governor for a light single seat helicopter is presented. Architecture, control loop, hardware and firmware conceptual design is addressed and some difficulties are commented.

Keywords—component; governor; helicopter; control loop; digital filter; microcontroller; PID

I. INTRODUCTION

Helicopters are the most versatile aircrafts but also the most difficult to fly. The attitude control of a helicopter requires rotation actions on three orthogonal axes simultaneously with a coordinated control of the lift force generated by the rotor (collective pitch) and the engine speed.

The engine speed for a helicopter is the equivalent to the flight velocity in a conventional aircraft. It must be held in a range $\pm 2.5\%$ of its nominal value for safety reasons. If it falls too much, the maximum lift force attainable with the maximum collective pitch angle would not be enough to hold the vehicle's altitude.

In helicopters with manual engine control, the failure of the pilot to hold the rotor velocity above the safety limit is a common cause of accidents. In stationary flight at low altitude, the inertia of the rotor-motor chain brings little possibility to correct the condition before crashing to the ground.



Figure 1. Cicaré CH7-B helicopter

Hence in many countries an automatic control of this parameter is required by the aeronautical regulations.

The present work was undertaken to provide the Cicaré CH7-B helicopter with this capability, permitting the entry of this product in Europe and Oceania markets. The project was constrained with a short development time and with the requirement to match the performance of similar products in the market introducing the minimum complexity to the vehicle.

II. DESIGN DEVELOPMENT

A. Architecture

This engine governor is a single loop feedback control system. It measures the engine's regime and acts over its throttles to hold the nominal regime under any action of torque perturbations produced by the collective and tail rotor pitch angle changes.

Although the main controller task is that of a regulator one, a reference following capability was added to provide a controlled startup.

The controller switches to the active state when the engine regime exceeds 80%. This happens by the manual action of the pilot over the throttle handle. Then a reference ramp is internally generated to drive the engine to the nominal speed. The reference is fed to a pre-filter before entering in the control loop in order to avoid overshoot.

The governor automatically disengages when the speed falls below the activation limit. Although the controller prevents the velocity to fall, this occurs normally at land by a manual action of the pilot when he wants to put the machine in an idle condition, since he has control authority over the

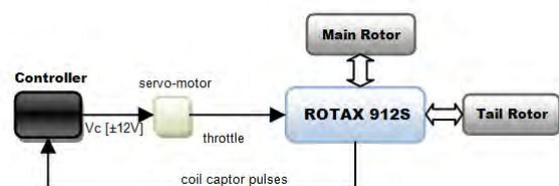


Figure 2. Governor architecture

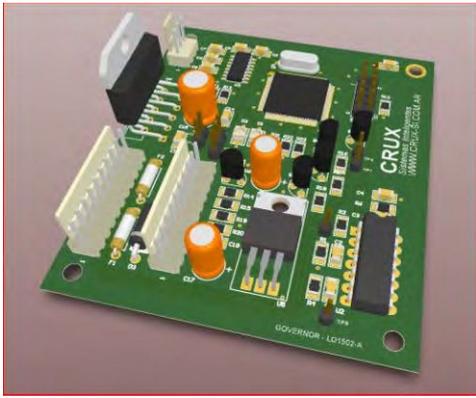


Figure 3. Governor's electronics board



Figure 4. Governor's servo-motor and clutch

governor.

B. Hardware

The governor electronics is implemented in a single board integrating an ATMEL ATmega64A1 microcontroller, signal conditioning circuits and power electronics (Figure 3). This microcontroller was chosen by its rich set of peripherals, and the efficiency of its instruction set for compiling C code.

The primary output is a $\pm 12V_{CC}$ voltage used to feed a brushed DC electrical servo-motor. This energy is taken from the unregulated battery bus and driven with an H MOSFET bridge commanded by the μC (microcontroller) with a PWM (pulse width modulation) signal and a discrete sense signal.

For security reasons, the servo-motor is coupled to the engine's throttles commanding mechanism through a friction clutch, giving the pilot the aforementioned control authority (Figure 4).

The primary input is a pulse train generated by conditioning the voltage peaks induced in a coil mounted in the engine's block by a permanent magnet mounted in the engine shaft. This is used for engine's speed sensing. A Hall Effect sensor is used to measure the rotor speed, but this and other signals are included for status monitoring only. There are also discrete inputs and outputs for the pilot interface.

Rotation speeds are calculated with the time between pulse flanges. The pulses generated by the sensor's coil (with voltages in the order of 100V) are conditioned to CMOS levels before introducing them in the microcontroller. This is the signal used normally by the engine's dashboard tachometer.

The coil sensor output is the voltage transient induced by the rotating magnet on the shaft. This transient is the result of the changes in the gap between the magnet and the coil due to the rotation of the shaft, but has also some contribution of mechanical vibrations. This voltage transient is fed to an integrated circuit with an analog comparator, which triggers a pulse when the voltage crosses a dynamically established threshold. The transients in the air gap produce a voltage transient profile not completely repetitive for every revolution of the shaft, so the precise time of the pulse generation will have variations. The final effect is a perceptible jitter in the period between pulses flanges entering in the μC , producing a

significant measurement noise that imposes has to be addressed in the design of the control loop.

The prototype of this controller was implemented with a development kit, which includes an SDRAM memory used to log flight data. An RS232 interface was exposed for data acquisition and commands using a standard industrial protocol. This COM interface was kept in the final prototype for diagnostics and reconfiguration.

The servo-motor, the clutch and the electronics box are the only modules added to the helicopter by the governor, since the magnet and sensing coil is part of the standard engine's equipment. This minimalist approach was taken to minimize the assembly complexity (this helicopter is sold as a kit) and lowering the probability of failures.

C. Control Loop

1) Plant Identification

In this case the plant dynamics is non-linear, and many dynamical effects change significantly with changes in collective pitch angle. However a linear approach was shown to be satisfactory, mostly due to the fact that under normal operation the changes in the state are small, and only become significant during startup.

From a conceptual analysis we assumed the engine rotation masses, the gear box and the rotational rotor's inertia as a rigid body for the frequency range of interest. The rotor is coupled with the gear box through a clutch, which decouples the rotor when the engine speed is below the rotor speed. This permits the helicopter to glide in the event of an engine stop, but is not important under normal operating conditions.

Since the engine has a natural velocity feedback, at this point we could assume that a first order dynamics should be representative, but this was not consistent with the experimental results.

The identification of the plant dynamics was undertaken through response measurements under different values of collective pitch angle to step variations in the throttle (Figure 5). These measurements were adjusted with the following model:

$$G(s) = \frac{T_z s + 1}{T_p s + 1} \cdot \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

, with the parameters:

$$T_z = 3.6 \quad , \quad T_p = 0.6 \quad , \quad \xi = 1 \quad , \quad \omega_n = 0.29$$

The gain could not be established due to some instrumentation difficulties in the measuring of the throttle and collective pitch commands angles. Other methods, like pseudo-random excitation, could not be applied because of logistics difficulties and lack of time. Although its precariousness, the results become useful to gather a conceptual understanding of the plant dynamics and its bandwidth.

The response to step collective pitch perturbations was also measured and adjusted with a similar model (Figure 6). The observed second order dominant dynamics can be explained by aeroelastic coupling between the rotor flapping motion and its shaft torque. Some preliminary mathematical models of this effects yield consistent results with structural test data and the observed responses. These issues will be addressed in future work.

From those results a 0.07Hz bandwidth was calculated; in order to define the compensator requirements.

2) Loop Compensation and Signal Processing

Indeed the control loop needs integral action to reject the low frequency torque variations necessary to trim the helicopter in different flight conditions. But the integral action is implicit in the servo-motor operation, since from the controller's perspective its dynamics is just an integrator in the feedback path from the perturbation.

There are important friction nonlinearities in the gearbox of this servo-motor. This produced annoying limit cycles in the loop, which were quite difficult to remove. A careful choice of the servo-motor gear ratio and the addition of a bias voltage in the control action reduced this effect up to acceptable levels.

With the minimalist instrumentation approach there is no way to introduce feed-forward action to anticipate the strong effects of torque perturbations during maneuvers; nor to keep the friction nonlinearities out of the loop dynamics. This leads us to pursue a high closed loop bandwidth; and for that we

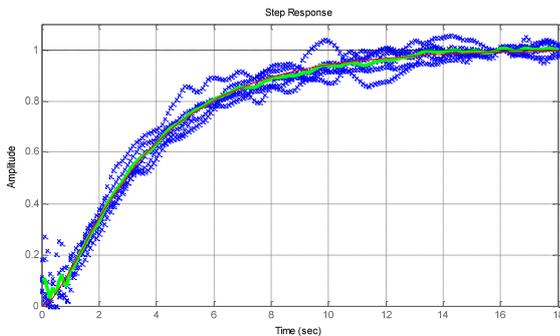


Figure 5. Throttle step response for various collective pitch angles, step response of the identified model.

have to introduce a high open loop gain with some derivative action to compensate its adverse effects.

The main drawback is that the measurement noise with a PD controller produces high noise levels in the control action. This does not disturb the engine speed but stresses the servo-motor unnecessarily, so it was necessary to include filtering in the feedback path.

The sampling clock for the PD compensator is an internally generated 10Hz timer overflow interrupt; but for the filter the same speed sensing pulse train is used as sampling event. Indeed this filter sampling rate is not constant, changing the frequency response of the filter with the speed of the engine. However, since in normal conditions this variation is small and the filter bandwidth was kept high enough to maintain it non-dominant in the close loop response, this has no significant impact.

There is another issue with this scheme that must be analyzed. If measurement noise is generated by engine vibrations as we have assumed, the fundamental frequency component of this noise would be the rotation frequency of the engine, which results twice the Nyquist frequency for the filter sampling rate. However, since we have perfect synchronism with this harmonic component, it is aliased to zero frequency and is not being noticed in our measurement. There are also high order harmonic (the R912 is a four stroke, four cylinders engine), but they are in phase with the previous one. We assume that other sources of noise are random in nature, and for that reason aliasing is not observed in our measurements.

A four order Butterworth digital filter was selected. We have to implement it by two second order sections to avoid numerical stability problems experienced with the direct form.

$$H(z) = \prod_{k=1}^L H_k(z) = \prod_{k=1}^L \frac{b_{0k} + b_{1k}z^{-1} + b_{2k}z^{-2}}{a_{0k} + a_{1k}z^{-1} + a_{2k}z^{-2}}$$

The second order sections are coded in direct form II:

$$v(n) = x(n) - a_1 v(n-1) - a_2 v(n-2)$$

$$y(n) = b_0 v(n) + b_1 v(n-1) + b_2 v(n-1)$$

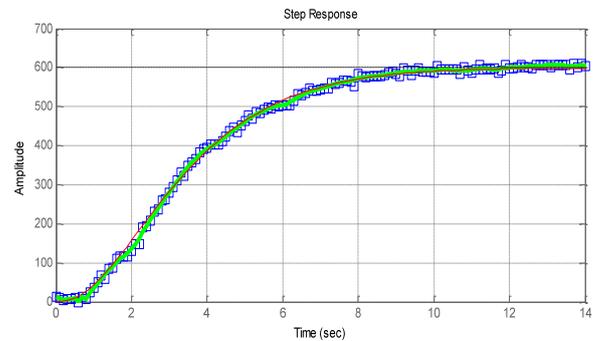


Figure 6. Collective pitch step responses, and step response of the identified model.

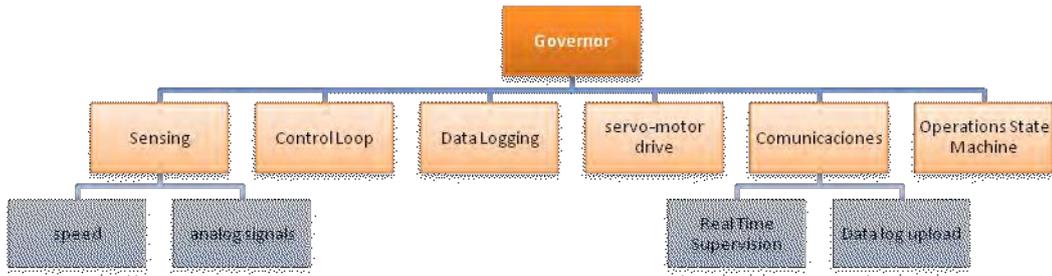
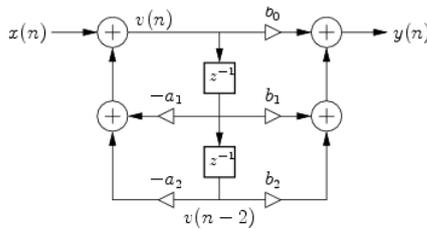


Figure 7. Firmware Function Breakdown Structure



class and function templates; and since with C++ templates most of the code's polymorphism is resolved in compilation time, this does not introduce any significant processing overhead in runtime, but allows a strong object oriented and reusable design.

The application code is based in the functional breakdown structure shown in Figure 7. Each main function is encapsulated in a singleton class, with minimal dependencies with the others.

Data flow for A/D converters and UART buffers is managed by DMA (Direct Memory Access) without intervention of the CPU. This is one of the more remarkable features of the XMEGA 8bit processor architecture. The frequency measurements are performed with capture timers and their interrupts. The filtering calculations are performed in these interrupt handlers.

The behavioral features are executed by a state machine driven by a 10Hz timer interrupt. This timed event triggers the PD control loop when the running state is the "active mode".

A switch placed behind the throttle handle, at the front of the collective lever forces the state machine to enter the

A special code was included for overflow control with extreme input values. These conditions are not expected to happen, but we prefer not to take the risk.

D. Firmware

The firmware is implemented in C++ and compiled with GCC with the ATMELs AVR Studio IDE. The code is composed by a reusable core framework and the application specific code.

The core framework provides a hardware abstraction layer, so the μC hardware specific details are hidden in the application code. This framework is mainly a collection of

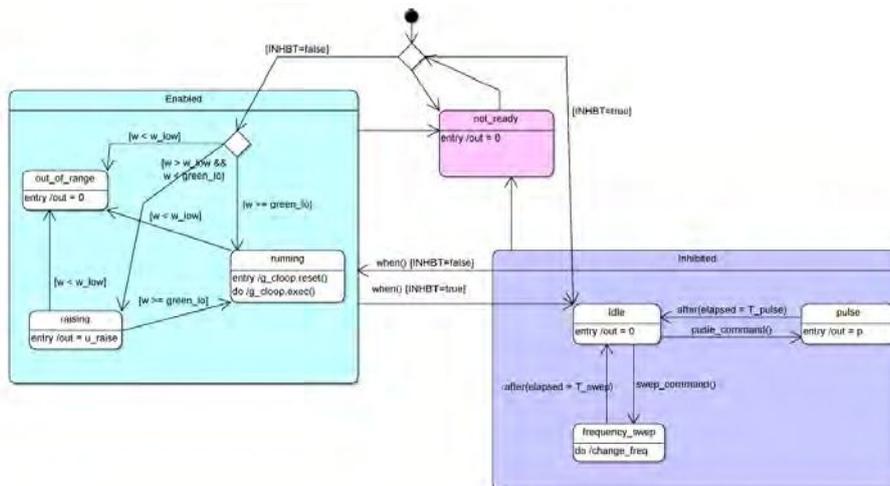
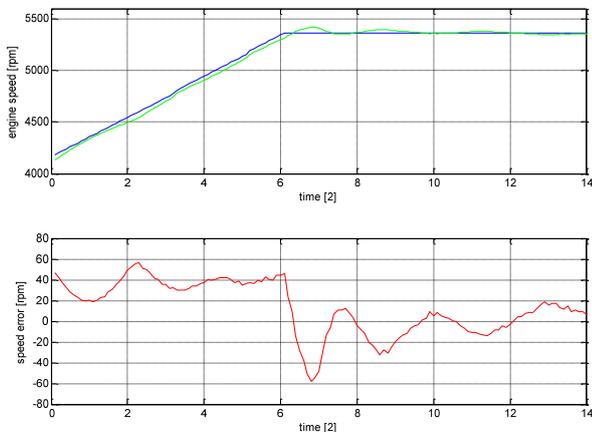


Figure 6. Firmware state machine

inhibited state, disabling any governor action on the throttle. In this state the governor can be commanded to execute some special diagnostic functions, like generating user defined control action pulses. This activity is controlled through the COM interface.

III. CONCLUSIONS AND FUTURE WORK

At the present the first versions of this governor is in production, and its performance satisfies the helicopter manufacturer's initial expectations. The following figure shows the loop response in the *rising* and *running* state.



However we think it could be better. Particularly we need to decrease perturbations sensitivities.

Further experimental work would allow us to correctly identify the plant dynamics, in order to refine the loop compensator; but we do not think we can enhance the loop performance by a compensator tuning, due to the strong restrictions on bandwidth already mentioned.

Our strategy is the inclusion of perturbation feed-forward action. This can be done by mechanical coupling between collective pitch control mechanism and throttle command, as was implemented by the helicopter manufacturer, but implies more mechanical complexity. For that reason some instrumentation work is being undertaken to provide measurements of the collective pitch, and handle this electronically. Complexity does not seem to be a problem with

this approach since we only need to add an incremental encoder, but the additional cost must be taken into account. The XMEGA architecture includes an "event system" which permits the interaction between several hardware modules without intervention of the CPU. As a special feature this system includes "quadrature decoders" that can be connected with any I/O pin and used to feed a timer/counter to track the encoder position completely by hardware. With a second timer we could measure velocity also.

With respect to the overall functionality of the product, the capabilities of the ATMEL XMEGA microcontroller allow a lot of features to be included, particularly for engine supervision and history recording. This is other point under evaluation, and some decisions need to be taken related to the convenience of expand the governor's functionality, or instead introduce an independent electronic module for that.

ACKNOWLEDGMENT

This work was done with the collaboration of Daniel Hamann, a member of our electronic engineering team who was responsible for the PCB design.

We want to thank also to Marcos Knoblauch for the review of this paper, Gaston Bonnet and Cristian Bottero for providing structural test data for the rotor; and Fernando Cicare, CEO of Cicare S.A., who was our official test pilot.

REFERENCES

- [1] J.G.Proakis, D.G.Manolakis, "Digital Signal Processing - Principles, Algorithms and Applications", 1996, Prentice Hall.
- [2] A.V. Oppenheim, R.W.Chafer, J.R.Buck "Discrete-Time Signal Processing", 1999, Prentice Hall.
- [3] M.H.Hayes, "Statistical Digital Signal Processing and Modeling", 1996, John Willey & Sons, Inc.
- [4] V.K.Madisetti, D.B.Williams, "The Digital Signal Processing Handbook", 1999.
- [5] Engineering Staff of Analog Devices, DSP Division, "Using the ADSP-2100 Family Volume 1", 1999, Prentice Hall.
- [6] B.Stroustrup, "The C++ Programming Language", 2000, Addison-Wesley
- [7] Bruce Eckel, "Thinking C++", January 2000, Planet PDF.
- [8] ATMEL Corporation, "XMEGA A MANUAL", <http://www.atmel.com/avr>

Predicción de ataque epiléptico usando entropía espectral

Diego Coulombie

Dto. de Ingeniería e Investigaciones Tecnológicas
UNLaM
San Justo, Buenos Aires, Argentina
coulombie@yahoo.com.ar

Susana Blanco

Facultad de Ingeniería UB
CONICET
Ciudad de Buenos Aires, Argentina

Resumen— El objetivo de este trabajo es evaluar la viabilidad de la entropía como instrumento para detectar precursores que permitan predecir un ataque epiléptico. Con esta finalidad se midió la entropía del espectro Fourier de la señal encefalográfica desde 0,5 hasta 32 minutos previos al ataque.

Palabras clave: predicción de epilepsia; encefalografía; análisis de señales; entropía espectral

I. INTRODUCCIÓN

La epilepsia es considerada por algunos autores como un síntoma que responde a diversos trastornos neurológicos. Estos pueden ser accidentes cerebro vasculares, traumas de cabeza, malformaciones cerebrales, efecto de sustancias neurotóxicas entre otros. Según el área del cerebro afectada ocurrirá un tipo de ataque con diferentes características (focal, ausencia o epilepsia generalizada). Todas son discontinuidades en la normalidad de la homogeneidad cerebral que crean las condiciones necesarias para que ocurra el ataque. El mecanismo del ataque no está bien claro aún, si bien existen varias hipótesis que se basan en que la correcta comunicación entre neuronas se ve afectada. Por algún motivo esto da lugar a una sincronización en los disparos de una masa de neuronas que terminan generando la crisis [1].

Según los postulados más aceptados el problema de la epilepsia se manifiesta cuando un error en la comunicación entre neuronas no es bloqueado por el sistema de inhibición que las controla. En este caso una neurona excita a otra dándose una cascada de estimulación entre neuronas que crece y se propaga reclutando a otras neuronas. Si durante esa propagación ningún factor inhibe el reclutamiento, esa pequeña falla inicial abarca una masa crítica de neuronas y a partir de allí el desenlace termina siendo el ataque epiléptico [2].

Las neuronas se comunican mediante impulsos eléctricos denominados potenciales de acción. Los impulsos parten de una neurona y llegan a la sinapsis con otra. La integración de varios impulsos provoca un aumento de potencial eléctrico en la zona de sinapsis y superado un umbral se activan los mecanismos de la neurona para disparar un nuevo impulso.

La señal de electroencefalografía (EEG) es el resultado de la integración de impulsos eléctricos generados por una gran cantidad de neuronas distribuidas en el espacio ocupado por el sistema nervioso. La señal tiene un ancho de banda que va desde la fracción de Hertz hasta los 100 Hz, concentrándose la mayor energía hasta los 30Hz.

Cuando en el electroencefalograma se observa una espiga, se considera que un número importante de neuronas generaron potenciales de acción en el mismo instante, es decir de manera sincrónica. Esta espiga puede ser un indicador de una sincronización neuronal y del advenimiento próximo del ataque. La forma en que se manifiesta es aún una incógnita y funciona como pilar de la investigación para el análisis de las señales [3].

Esta sincronización no es apreciable a simple vista en el trazado encefalográfico y se necesitan herramientas más sofisticadas para identificarla. Desde el punto de vista del análisis de señales se trata de detectar la presencia de una señal de amplitud y frecuencia desconocida y posiblemente variable (comunicación anormal), inmersa en ruido (comunicación normal) de mucha mayor amplitud [4].

Para afrontar este problema se propone estudiar la entropía de la señal usándola como método numérico para evaluar el grado de libertad o de dispersión de la energía de la señal. Se considera que a mayor entropía, mayores son los grados de libertad lo que representa un espectro con una distribución más uniforme. En cambio menor entropía, implica acumulación de energía en alguna frecuencia.

El objetivo de este trabajo es evaluar la viabilidad de la entropía como precursor para predecir un ataque epiléptico.

II. DESARROLLO

A. Materiales

Para el análisis se usó la base de datos de registros de pacientes del “Epilepsy Center of the University Hospital of Freiburg” de Alemania compartida para uso experimental en el marco del proyecto “Freiburg seizure prediction project” [5].

La base de datos de EEG contiene registros EEG invasivos de 21 pacientes que sufren de epilepsia focal médicamente intratables. Los datos fueron registrados durante un monitoreo de epilepsia invasivo pre-quirúrgico en el Centro de Epilepsia del Hospital Universitario de Freiburg, Alemania. En once pacientes, el foco epiléptico se encuentra en las estructuras neocorticales del cerebro, en ocho pacientes en el hipocampo, y en dos pacientes en ambos. Con el fin de obtener una alta relación señal-ruido, menos artefactos, y registrar directamente desde áreas focales, se utilizaron grillas, tiras, y electrodos de profundidad subdurales. Los datos de EEG fueron adquiridos mediante sistema de Video EEG digital Neurofile NT con 128 canales, 256 Hz frecuencia de muestreo, y conversión analógico-digital de 16 bits. No fue utilizado ningún tipo de filtro.

Para cada uno de los pacientes, existen dos conjuntos de datos llamados "ictal" e "interictal". El primer grupo contiene los archivos con el registro de la crisis epiléptica, al menos 50 minutos antes de que ocurra. El grupo interictal contiene aproximadamente 24 horas de registro de EEG sin convulsiones.

Para 13 pacientes se dispone de 24 hs de registro continuo en la fase interictal. Para el resto de los pacientes se han unido partes interictales independientes para formar un registro de 24hs.

B. Métodos

En los años cuarenta Claude Shannon desarrolló el concepto moderno de la entropía, como parte de su teoría matemática de la comunicación. La "entropía lógica" de Shannon sería la medida de la dispersión, variación o diversidad de los datos en una serie. Si los datos son muy uniformes, la entropía es baja, y al revés. Así pues, y de manera general, la entropía es un concepto relacionado con sistemas de aleatoriedad y predicción [6].

Shannon estaba interesado en una medida de la información. Desde el punto de vista de que la información reduce la incertidumbre, ambas -información e incertidumbre- están relacionadas. A más información, menos incertidumbre [7].

Aplicada a una serie de datos :

$$X(k) = (a_1, a_2, a_3, \dots, a_n) \quad (1)$$

la Entropía de Shannon es:

$$H = - \sum p_k \log_2 p_k \quad (2)$$

dónde p_k es la probabilidad de existencia del dato a_k en la serie $X(k)$ de la ecuación (1).

La ecuación (2) se aplica a procesos que son plausibles de analizarse estadísticamente, es decir que tienen una distribución probabilística de sus resultados. De esta forma al aplicarse en un vector con cierto grado de aleatoriedad la Entropía de Shannon aumentará cuanto mayor sea la distribución probabilística del mismo. En otras palabras, cuanto más irregular, más indeterminado, más variable, mayor es la entropía .

La Entropía Espectral (SEN), es la Entropía de Shannon debidamente normalizada y aplicada a la densidad del espectro de potencia de la señal de EEG. Esto es:

$$SEN = - \sum P_k \log P_k / \log(N) \quad (3)$$

dónde P_k son las potencias espectrales de frecuencia normalizadas, de forma que $\sum P_k=1$, y $N = N^\circ$ de frecuencias.

El algoritmo de Entropía Espectral fue implementado de la siguiente forma:

a) Obtención del Espectro de Potencia $P(k)$ mediante Fourier (FFT), donde k son las distintas frecuencias que componen la señal del EEG [8].

b) Normalización del espectro

c) Aplicación de la fórmula de Shannon (3) para cada una de las frecuencias del espectro $P(k)$

d) Normalización del resultado con respecto a $\log N$, siendo N el número de frecuencias del espectro (bin).

En este trabajo se aplicó el método analizando la señal 30s y 1, 4, 16 y 32 minutos previos a la crisis epiléptica. Las señales fueron previamente filtradas con un notch a 50Hz. La ventana de tiempo para la aplicación de la FFT fue de 8s (2048 muestras). La resolución en frecuencia fue de 0,125Hz (1024 bin).

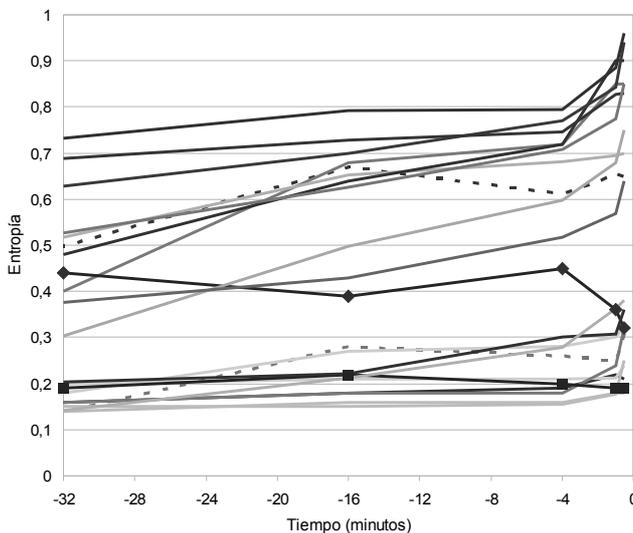
III. RESULTADOS

Se aplicó el método sobre los 21 registros disponibles, obteniendo los resultados que aparecen en la Tabla 1

TABLA 1: VARIACIÓN DE LA ENTROPÍA EN EL TIEMPO PARA CADA PACIENTE

Paciente	Minutos previos al ataque				
	-0,5	-1	-4	-16	-32
1	0,65	0,65	0,61	0,67	0,5
2	0,31	0,25	0,26	0,28	0,14
3	0,32	0,30	0,28	0,27	0,18
4	0,85	0,85	0,72	0,68	0,40
5	0,32	0,36	0,45	0,39	0,44
6	0,18	0,18	0,16	0,16	0,14
7	0,21	0,22	0,19	0,18	0,16
8	0,7	0,69	0,68	0,65	0,52
9	0,9	0,9	0,72	0,64	0,48
10	0,75	0,68	0,6	0,5	0,3
11	0,94	0,84	0,77	0,7	0,63
12	0,64	0,57	0,52	0,43	0,38
13	0,83	0,83	0,75	0,73	0,69
14	0,85	0,77	0,71	0,63	0,53
15	0,24	0,21	0,21	0,21	0,2
16	0,32	0,24	0,18	0,18	0,16
17	0,19	0,19	0,2	0,22	0,19
18	0,25	0,18	0,15	0,15	0,15
19	0,36	0,31	0,3	0,22	0,2
20	0,38	0,36	0,28	0,21	0,14
21	0,96	0,89	0,8	0,79	0,73

FIGURA 1 VARIACIÓN DE LA ENTROPÍA EN EL TIEMPO PARA CADA PACIENTE



IV. DISCUSIÓN

La señal de EEG tiene un espectro que normalmente no es plano, existe una mayor concentración de potencia en

frecuencias bajas. El aumento de la entropía evidencia que hay una distribución más pareja de la energía, disminuyendo en las bajas frecuencias y dando un peso mayor a las frecuencias superiores. Este aumento de las altas frecuencias no es evidente cuando se observa de forma directa la FFT ya que no se trata de una oscilación a una frecuencia determinada sino que es un aumento de la distribución de esa porción del espectro.

En la Figura 1 se observa la variación de la entropía en función del tiempo. En 17 pacientes, identificados con líneas continuas, la entropía aumenta, siendo mayor la tasa de aumento al acercarse al instante del ataque. Existieron 4 casos que no tuvieron el mismo comportamiento que el resto. En un caso, identificado en el gráfico de la Figura 1 con rombos, la entropía varió levemente en el tiempo y bajó considerablemente en el instante previo al ataque. En los otros dos casos identificados con líneas de trazos cortos la entropía tuvo un máximo a los 16 minutos, y luego bajó volviendo a subir en instantes previos al ataque. En el último caso identificado con cuadros, la entropía subió levemente en el minuto 16 y luego bajo en la siguiente muestra manteniéndose casi constante.

Es importante destacar estos casos donde la entropía no crece de manera uniforme o incluso disminuye. El comportamiento puede deberse a algún mecanismo de control que actúa para evitar el ataque [9], y que de alguna manera actúa sobre la comunicación neuronal, provocando la disminución de la entropía.

Otra posible explicación a este comportamiento diferente se puede atribuir a la forma de identificar el ataque. Si la entropía se analiza durante el ataque, arroja valores con poca significación clínica ya que la señal encefalográfica y su espectro bajo estas circunstancias quedan totalmente inmersos en ruido electromiográfico. En éstos estudios el instante en el que ocurre el ataque fue determinado por un médico epileptólogo en base a la inspección visual del trazado y considerando también las imágenes de video sincronizadas. Si el ataque comenzó antes del tiempo marcado como 0 por el médico (y además no se llega a manifestar notoriamente en el trazado encefalográfico) puede ser motivo que el análisis de entropía en esos instantes próximos se esté haciendo bajo condiciones diferentes a las restantes.

V. CONCLUSIONES

Los resultados de esta prueba resultan alentadores para proseguir con el estudio de este método para predecir ataques epilépticos. El hecho que se trate de un único indicador numérico que sintetiza el comportamiento del espectro de una señal de la complejidad como la es la de EEG, es de un gran potencial para su aplicación práctica en herramientas de diagnóstico o tratamiento [10].

La entropía puede considerarse viable como un identificador de los precursores del ataque epiléptico. Queda como tema de investigación de futuros trabajos la evolución en el tiempo de la entropía a intervalos separados pocos segundos. Queda también evaluar el desempeño del método luego de fijar

umbrales [11] para definir la predicción y obtener tasas de falsos positivos y falsos negativos

Más allá del potencial de la herramienta, este ensayo aporta sobre el conocimiento de la fisiología de la epilepsia, dando una prueba más sobre la existencia de oscilaciones de alta frecuencia en momentos previos al ataque.

REFERENCIAS

- [1] L. D. Iasemidis, J. C. Sackellares, R. L. Gilmore, and S. N. Roper, "Automated seizure prediction paradigm," *Epilepsia*, vol. 39, no. S6, p. 207, 1998.
- [2] Markram H, Toledo-Rodríguez M, Wang Y, Gupta A, Silberberg G, Wu C. Interneurons of the neocortical inhibitory system. *Nat Rev Neurosci* 2004;5:793-807.
- [3] Mirzaei, A.; Ayatollahi, A.; Gifani, P.; Salehi, L.; "EEG analysis based on wavelet-spectral entropy for epileptic seizures detection" *Biomedical Engineering and Informatics (BMEI), 2010 3rd International Conference on*
- [4] J. C. Sackellares, L. D. Iasemidis, P. M. Pardalos, W. Chaovalitwongse, D.-S. Shiau, S. N. Roper, R. L. Gilmore, P. R. Carney, and J. C. Principe, "Performance characteristics of an automated seizure warning algorithm utilizing dynamical measures of the EEG signal and global optimization techniques," *Epilepsia*, vol. 42, no. S7, p. 40, 2001.
- [5] <https://epilepsy.uni-freiburg.de>
- [6] Y. Xu, S. Haykin, and R. J. Racine, "Multiple window time-frequency distribution and coherence of EEG using slepian sequences and hermite functions," *IEEE Trans. Biomed. Eng.*, vol. 46, pp. 861–866, July 1999
- [7] Xiaoli Li "Wavelet Spectral Entropy for Indication of Epileptic Seizure in Extracranial EEG" *ICONIP'06 Proceedings of the 13th international conference on Neural information processing - Volume Part III.*
- [8] D. J. Thomson, "Spectrum estimation and harmonic analysis," *Proc. IEEE*, vol. 70, pp. 1055–1096, 1982.
- [9] P. R. Carney, L. D. Iasemidis, P. M. Pardalos, A. Srivastava, N. Lee, J. Won, D.-S. Shiau, A. J. MacLennan, and J. C. Sackellares, "Predictability of seizures in an epilepsy-prone transgenic mouse model," *Epilepsia*, vol. 42, no. S7, p. 225, 2001.
- [10] D. Qin, "A comparison of techniques for the prediction of epileptic seizures," presented at the 8th IEEE Symp. Computer-Based Medical Systems, Lubbock, TX, 1995.
- [11] H. Gao, "Choices of thresholds for the wavelet shrinkage estimate of the spectrum," *J. Time Series Anal.*, vol. 18, pp. 231–251, 1997.

Modelado de un canal de propagación basado en atenuación provocada por personas en ambiente cerrado

Cristian Ariel BOYKO
Instituto Universitario Aeronáutico
Facultad de Ingeniería
Grupo de investigación y desarrollo, Argentina
cboyko698@alumnos.iaa.edu.ar

Matias Fabián RIVILLI
Instituto Universitario Aeronáutico
Facultad de Ingeniería
Grupo de investigación y desarrollo, Argentina
mrivilli481@alumnos.iaa.edu.ar

Resumen— En este paper se describe la obtención del factor de atenuación producida por el número de personas dentro de un ambiente confinado.

El punto de partida de esta investigación radica en la realización de campañas de medición en el Instituto Universitario Aeronáutico para la obtención de diversos factores de atenuación en ambiente confinados [1].

Utilizando un equipo comercial de comunicaciones de 15 dBm de potencia de salida y un equipo receptor (notebook), se realizaron múltiples mediciones del nivel de potencia de señal electromagnética de señales wifi IEEE 802.11 g, en distintos casos de ocupación de un Aula específica por parte de personas.

Mediante el uso de herramientas estadísticas y matemáticas, se obtiene el factor de atenuación de potencia producido por el número de personas dentro de un ambiente confinado específico, el cual amplía los resultados del modelo de propagación indoor recomendado por la ITU [2].

I. INTRODUCTION

En la actualidad, el avance de las redes inalámbricas por sobre las cableadas es realmente notable. Esto se debe, entre otras cosas, a la facilidad de instalación de las mismas ya que evitan el traslado, instalación, empalme, conexión o mantenimiento de un medio físico de transmisión de la información.

Frente a este avance en dicha tecnología de comunicación, se empezaron a utilizar diversos modelos de propagación para el cálculo de cobertura y/o enlace. Los primeros modelos de propagación se basaron especialmente en cálculos y ecuaciones provenientes del modelado de estaciones de radio (HF, VHF, UHF) de principios del siglo XX, modelos exclusivamente del tipo outdoor.

Los modelos de propagación indoor, se diferencian de los outdoor ya que en los modelos para interior el entorno influye más que la distancia de separación entre las antenas.

Al analizar los modelos de propagación Indoor existentes [3][4] (one-slope; dual-slope; partitioned; Cost-231 multi-wallmodel and averagewalls), se puede destacar que ninguno de ellos hace referencia al cuerpo humano como factor de atenuación de la señal. Tomando como referencia el modelo de propagación de la ITU-R, en su recomendación P.1238-5 [2], se decidió investigar el comportamiento de la señal electromagnética ante la presencia del cuerpo humano en un ambiente confinado en el rango de frecuencias de 2,4 a 2,5 GHz, planteando como objetivo llegar a incorporarle al mismo un factor de atenuación producido por el número de personas dentro del ambiente estudiado.

II. PROCESO DE MEDICIÓN

Antes de comenzar con la campaña de mediciones con personas dentro de Aula, se realizaron diversas mediciones de atenuación con el software Wirelessmon®, pero con la presencia de bancos metálicos dentro del ambiente confinado. Estas pruebas permitieron elaborar un proceso de medición viable para obtener los datos necesarios en el menor tiempo posible de medición. Esta precaución fue tomada en cuenta ya que en el momento de realizar esta actividad con personas el tiempo de medición no puede ser demasiado extenso.

Es por ello, que primero se realizaron mediciones con bancos y sillas metálicas propias del Aula utilizada para las mediciones, y luego de ajustar la técnica de medición a utilizar, se procedió con personas.

En ambos casos (bancos y sillas metálicas, y personas) el Aula fue preparada de la misma forma para minimizar la posibilidad de atenuación o interferencias de la señal estudiada por parte de diferentes factores; es por ello que se decidieron diferentes pautas las cuales se detallan a continuación:

a) Dado el rango de frecuencias de la señal wireless en su norma 802.11 g (2.4 GHz a

2.5 GHz) y teniendo en cuenta que en el Instituto Universitario Aeronáutico (IUA) existen diferentes redes de tecnología inalámbrica (WLAN), se hizo un estudio previo del espectro utilizando el software Wirelessmon®, para conocer el nivel de potencia de dichas redes dentro del Aula a estudiar, ya que estas resultan ser interferentes a la señal estudiada. Como resultado del mismo, se determinó transmitir en el canal 1 (uno) de la banda de 2,4 a 2,5 GHz, ya que era un canal libre de fuentes de interferencias (otras redes WLAN en el área). De este modo se redujeron al mínimo las posibilidades de interferencia por parte de señales.

b) Para poder estudiar sólo la atenuación producida por el espacio libre o por la cantidad de bancos dentro del Aula, se llevó a cabo un relevamiento de las posibles fuentes de atenuación no deseadas en este estudio. Para ello, se comenzó con el alejamiento de bancos y sillas metálicas de las Aulas aledañas a la estudiada.

Se decidió esto ya que las paredes que separan las diferentes Aulas dentro del IUA (Instituto Universitario Aeronáutico) son de yeso prensado, un material que atenúa débilmente a la señal wireless, lo cual implicaría una atenuación o reflexión de la señal a estudiar por los bancos de Aulas circundantes, un factor no deseado a la hora de obtener datos de las mediciones lo más cercano a los reales.

c) a los efectos de que los encargados de tomar las mediciones no afectaran los resultados de las mismas con sus propios cuerpos, se decidió realizar el control de dicho equipo portátil de medición en forma remota a través de un segundo equipo. Dicho control remoto se realizó a una distancia mínima de 10 (diez) metros para que dichos cuerpos interfieran lo mínimo posible con la señal estudiada.

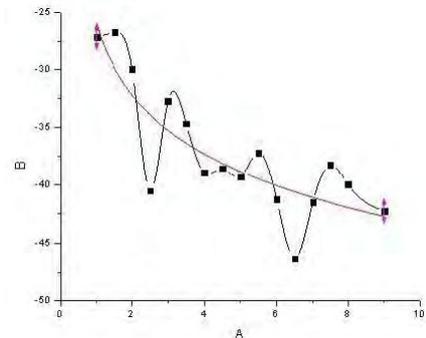
Para realizar las mediciones, el equipo de transmisión se dispuso en una mesa rectangular a una altura de 72 cm del suelo, a una separación de la pared del fondo de 33.5 cm y ubicada su antena en el medio del aula (a una separación de 2,38 metros de cada pared lateral).

Luego, se tabuló el largo del Aula cada medio metro (50 cm) con diferentes marcas en el piso, excepto el primer metro de distancia y los dos últimos de medición (7 y 8 metros), esto se debe a que se amplió la resolución en los metros donde previamente se habían medido picos o muy altos o muy bajos de potencia que se alejaban de la media medida previamente.

Se decidió, con el software Wirelessmon®, medir el nivel de potencia de señal por el transcurso de 1 (uno) minuto y 30 (treinta) segundos a diferentes distancias el equipo transmisor, llegando a los 8 (ocho) metros de separación máxima. Este tiempo de medición permitió obtener en promedio 70 (setenta) mediciones del nivel de potencia de la señal wireless en cada punto de medición; número de muestras aceptable para que el promedio de las mismas converja al valor real medio en cada punto de medición.

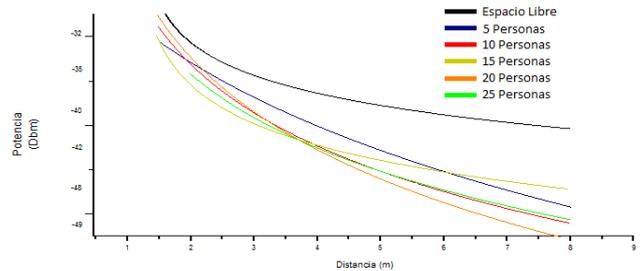
Luego de finalizar con el proceso de medición anterior, se decidió observar el nivel de atenuación que produce la presencia de bancos dentro del Aula estudiada. Para ello, se introdujeron 5

(cinco) bancos y fueron ubicados en línea a una distancia de 2 metros de separación del equipo transmisor y separados entre sí a una distancia de 30 (treinta) cm. El nivel de potencia de señal medido con 5 bancos puede observarse en el [gráfico 1].



[gráfico 1]

Al finalizar con las mediciones con 5 bancos, se prosiguió con 10, 15, 20 y 25 bancos; y luego con personas, utilizando la misma metodología de medición. Los datos obtenidos pueden observarse en el [gráfico 2].



[gráfico 2]

Dicha metodología de medición utilizada con bancos y sillas metálicas también fue aplicada para las mediciones con personas dentro del ambiente confinado.

III. TRATAMIENTO DE DATOS

A los datos obtenidos en las dos campañas de medición se le aplicaron herramientas provenientes de la estadística para poder trabajar con los promedios de los valores de potencia de señal registrados.

Obtención del factor de atenuación

El software Origin 8® permite introducir una serie de valores en un cuadro de doble entrada en donde posteriormente este programa realiza un proceso de “fitting”(rellenado) para continuar con la regresión matemática necesaria para la obtención de la ecuación asociada a dichos valores.

Es necesario seleccionar un tipo específico de ecuación para que el software pueda calcular los coeficientes que esta ecuación

posee y, de ese modo, poder abarcar los datos cargados en la tabla de doble entrada. El tipo de ecuación seleccionada fue:

$$f(x) = A - B \log(x + C)$$

Este modelo de ecuación fue seleccionado ya que se asemeja al utilizado por la recomendación de la ITU [2].

Para la obtención del factor de atenuación, se realizaron previamente restas aritméticas entre funciones de coberturas, lo cual consiste en restar “punto a punto” las matrices de niveles de potencia obtenidas.

$$L_{(5 \text{ personas})} = P_{rx(5 \text{ personas})} - P_{rx(0 \text{ personas})}$$

$$L_{(10 \text{ personas})} = P_{rx(10 \text{ personas})} - P_{rx(0 \text{ personas})}$$

$$L_{(15 \text{ personas})} = P_{rx(15 \text{ personas})} - P_{rx(0 \text{ personas})}$$

$$L_{(20 \text{ personas})} = P_{rx(20 \text{ personas})} - P_{rx(0 \text{ personas})}$$

$$L_{(25 \text{ personas})} = P_{rx(25 \text{ personas})} - P_{rx(0 \text{ personas})}$$

	1,5	2	2,5	3	3,5	4	4,5	5	5,5	6	6,5	7	8
0 personas	-29,1	-32,07	-35,2	-32,51	-36,2	-37	-38,29	-39,96	-39,93	-42,49	-46,11	-34,16	-42,76
5 personas	-32,63	-35,34	-34,48	-35,42	-40	-40,7	-41,22	-42,48	-43	-46	-43,2	-46	-47
10 personas	-30,47	-33,26	-40,5	-39,89	-43,39	-37,91	-40,57	-35,17	-45,5	-52,86	-49	-49,53	-46
15 personas	-32	-36,06	-36,73	-43,08	-37,81	-44,39	-44,44	-39,04	-45	-37,24	-49,52	-48,13	-43,5
20 personas	-31	-31,07	-41,18	-32,07	-39,13	-44	-44,17	-48,06	-44,69	-48,43	-48,93	-48,22	-47,37
25 personas	-36,07	-37,45	-37,29	-35,54	-36,86	-38,64	-37,93	-44,86	-46,29	-44,49	-48,03	-53,19	-39,03

RESTAS	1,5	2	2,5	3	3,5	4	4,5	5	5,5	6	6,5	7	8
Att 5 P	3,529	3,273	-0,72	2,902	3,8	3,696	2,932	2,521	3,071	3,514	-2,91	11,84	4,243
Att 10 P	1,369	1,186	5,3	7,379	7,191	0,913	2,28	-4,79	5,571	10,38	2,886	15,37	3,243
Att 15 P	2,9	3,993	1,533	10,57	1,61	7,393	6,153	-0,92	5,071	-5,24	3,404	13,97	0,743
Att 20 P	1,9	-1	5,979	-0,45	2,933	7	5,887	8,1	4,761	5,943	2,817	14,07	4,613
Att 25 P	6,969	5,377	2,09	3,021	0,662	1,643	-0,35	4,9	6,357	2	1,92	19,03	-3,72

[gráfico 3]

En el [gráfico 3] podemos observar, en la parte superior, la matriz de nivel de señal obtenida en las diversas mediciones; mientras que en la tabla inferior se expresan los resultados de realizar las diferencias destacadas en el párrafo anterior.

Finalizado este proceso matemático, tenemos como resultado las ecuaciones de atenuación de los distintos tipos de ocupación del Aula por parte de cuerpos atenuantes (bancos metálicos y/o personas). Para obtener finalmente el factor de atenuación producido por estos cuerpos en donde los mismos sean una variable de dicha expresión, se introdujo en el Origin 8® el resultado de dicha resta de funciones, pero se seleccionó el siguiente modelo de función para el futuro factor de atenuación:

$$f(x) = A \log(x - B)$$

Los resultados obtenidos se representan a continuación

NUMERO DE PERSONAS DENTRO DEL AULA	FACTOR DE ATENUACIÓN PRODUCIDO POR PERSONAS PRESENTES DENTRO DEL AULA
5 Personas	$L_{(5 \text{ personas})} = -1,63 \ln(x - 1,8204)$
10 Personas	$L_{(10 \text{ personas})} = -0,3422 \ln(x - 3,004)$
15 Personas	$L_{(15 \text{ personas})} = 1,5 \ln(x + 0,019)$
20 Personas	$L_{(20 \text{ personas})} = 0,469 \ln(x - 3,7902)$
25 Personas	$L_{(25 \text{ personas})} = 1,5 \ln(x + 0,1563)$

Factores de atenuación de señal producida por el número de bancos dentro del Aula [tabla 1]

Con estos factores de atenuación a encontrar el factor de atenuación producido por el número de personas dentro del Aula estudiada.

Procedemos con la obtención del factor de atenuación en función a “n” cantidad de personas dentro del ambiente confinado.

Luego de analizar ecuaciones obtenidas y teniendo en cuenta el error producido, se ha decidido en primer lugar fijar la constante dentro del logaritmo aplicando el procedimiento de promedio de la misma:

$$Cte_{(promedio)} = \frac{(-1,8204) - 3,004 + 0,019 - 3,7902 + 0,1563}{5}$$

$$Cte_{(promedio)} = -1,688$$

Para calcular el error de tomar a dicha constante como parte de la ecuación de final, se aplicaron herramientas provenientes de la estadística y probabilidad. Se calcula la varianza de las muestras analizadas:

$$\sigma^2 = \frac{(-1,8204)^2 + (-3,004)^2 + (0,019)^2 + (-3,7902)^2 + (0,1563)^2}{5}$$

$$\sigma^2 = 5,6$$

Obtención de desviación estándar:

$$\text{Desviación estándar} = \sigma$$

$$\sigma = 2,36$$

La información que brinda la desviación estándar es vital para comprender el nivel de error que posee el promedio frente a los valores reales de cada muestra. Al sumarle y restarle al promedio el valor de tres veces la desviación estándar, se pretende englobar en dicho rango de valores, la totalidad de las muestras tomadas para calcular dicho promedio. Si realizamos esto, se tiene que el rango de valores va desde -8,77 a 5,41, abarcando de ese modo la totalidad de las muestras utilizadas.

Lo siguiente a resolver fue analizar qué proceso utilizar con la constante fuera del logaritmo. La mejor opción fue introducir valores en Origin 8® y obtener así un factor que contenga como variable al número de personas dentro del Aula.

Al introducir los valores en el Origin 8® se obtuvo la siguiente expresión:

$$f_{(n)} = e^{-1,22+0,22634n-0,00526n^2}$$

Donde “n” es el número de personas situadas dentro de Aula

En cada una de las funciones obtenidas en la [tabla 1] está implícito el número de personas presentes en el Aula que permitieron la conformación de las distintas funciones obtenidas. Es por ello, que dentro de las dos constantes de cada función (una dentro del logaritmo y otra como factor del mismo) debía estar presente el número de personas. Se decidió fijar la constante dentro del logaritmo como el promedio de los valores obtenidos en dicha constante dejando ese término independiente de “n”, y mediante otro proceso de regresión con los valores del factor que queda fuera del logaritmo, obtener una nueva expresión a ubicar como factor del logaritmo que sea dependiente de “n”.

Finalmente, la expresión que determina la atenuación producida por el número de personas dentro del aula es la siguiente:

$$L_{(x,n)} = e^{-1,22+0,22634n-0,00526n^2} \log(x - 1,688)$$

Luego de un proceso de ajuste de constantes de las ecuaciones devueltas por el software matemático, los factores de atenuación y la ecuación final del nivel de potencia de señal teniendo en cuenta el número de personas dentro del Aula se presentan a continuación:

$$e^{2,34+0,0534n} \log(x - 0,2656) \quad [i]$$

$$e^{-1,21+0,12n} \log(x - 0,5) \quad [ii]$$

$$P_{rx} = P_{tx} - 20 \log(f_{(MHz)}) - 9,24 \log(x - 0,76) + 15,5 - e^{1,21+0,12n} \log(x - 0,5) \quad [iii]$$

x = separación entre equipo receptor y transmisor
n = número de bancos/personas

- [i] Factor de atenuación (bancos metálicos)
- [ii] Factor de atenuación (personas)
- [iii] Nivel de potencia de señal teniendo en cuenta el número de personas.

IV. CONCLUSIONES

El cuerpo humano atenúa de manera considerable a la señal electromagnética wireless en su norma 802.11 g, pero de manera diferente que cuerpos metálicos (estudio a futuro).

Es posible obtener un modelo de propagación indoor que contemple la presencia de personas dentro de un ambiente confinado, teniendo un error de máximo de ±8,7 dB.

A continuación, se representa en los gráficos siguientes, los datos de niveles de señal medidos [gráfico 4] y los calculados con la función obtenida [gráfico 5].

	3	3,5	4	4,5	5	5,5	6
5	-35,4	-40	-40,7	-41,2	-42,4	-43	-46
10	-39,8	-43,4	-37,9	-40,5	-35,1	-45,5	-52,8
15	-43	-37,8	-44,4	-44,4	-39	-45	-37,2
20	-32	-39,1	-44	-44,1	-48,	-44,6	-48,4
25	-35,5	-36,9	-38,6	-37,9	-44,8	-46,2	-44,4

[gráfico 4]

	3	3,5	4	4,5	5	5,5	6
5	-39,7	-40,5	-41	-41,5	-41,9	-42,3	-42,7
10	-39,9	-40,7	-41,3	-41,8	-42,2	-42,6	-43
15	-40,2	-41,1	-41,7	-42,3	-42,8	-43,2	-43,6
20	-40,7	-41,8	-42,5	-43,1	-43,7	-44,2	-44,7
25	-41,9	-43,1	-44	-44,8	-45,5	-46,1	-46,7

[gráfico 5]

Si bien solo se muestran los datos de 3 a 6 metros en ambos gráficos, puede destacarse el mayor error registrado (8,7dB) a una distancia de 3 metros con 20 personas dentro del Aula.

V. DOMINIO DE LAS VARIABLES DE LA ECUACIÓN FINAL

El dominio según la ecuación:

$$P_{rx} = P_{tx} - 20 \log(f_{(MHz)}) - 9,24 \log(x - 0,76) + 15,5 - e^{-1,21+0,12n} \log(x - 0,5)$$

Es el siguiente:

$$n \geq 1$$

Esto quiere decir que es válida para medir el nivel de señal presente en el ambiente confinado con una persona o más dentro del mismo. Origen del dominio: lógica del modelo

$$x > 0,5$$

Se puede observar que el modelo solo es válido para medir niveles de señal a una distancia mayor a 0,5 metros. Origen del dominio: matemático

VI. BIBLIOGRAFÍA REFERENCIADA

[1] Instituto Universitario Aeronáutico, Trabajo Final de Grado “Modelo de propagación COST-WALL 231 para ambientes confinados”, Argentina, Junio 2009.

[2] ITU, P.1238-5 “Datos de propagación y métodos de predicción para la planificación de sistemas de radiocomunicaciones en interiores y redes de radiocomunicaciones de área local en la gama de frecuencias de 900 MHz a 100 GHz”, 2007.

[3] Cassio Bento Andrade and Roger Pierre FabrisHoefel, “IEEE 802.11 Wlans: A Comparison on indoor coverage models”, Brasil, 2005.

[4] BahrinSujak, Deepak Kumar Ghodgaonkar, BorhanuddinMohd. andSabiraKhatun, “Indoor Propagation Channel Models for WLAN 802.11b at 2.4GHz ISM Band”, Malasia, 2005

VII. DATOS DE CONTACTO

Juan Galleguillo. Instituto Universitario Aeronáutico. Avenida Fuerza Aérea 6500, Km 6 1/2, jgalleguillo@iua.edu.ar

Competencia de sumo robot para la enseñanza de electrónica y robótica práctica

Diego Brengi, Néstor Mariño, Christian Huy, Rodrigo Gómez,
Gerardo García, Marcelo Márquez, Ignacio Zaradnik
Universidad Nacional de La Matanza (UNLaM)
Departamento de Ingeniería e Investigaciones Tecnológicas (DIIT)
Laboratorio Abierto de la Carrera de Ingeniería Electrónica (LACIE)
San Justo, Buenos Aires, Argentina. Email: brengi@inti.gov.ar

Resumen—Se presenta en este artículo una experiencia educativa orientada a brindarle a los alumnos conocimientos generales en el campo de la electrónica y la robótica, incentivando especialmente el trabajo en grupo y la resolución de problemas prácticos. La actividad consiste en la construcción de un robot sumo autónomo por parte del alumno, brindándole para esto los conocimientos, herramientas y materiales necesarios para cumplir con el desafío.

Como incentivo principal de la actividad se organiza, dentro de la universidad, una competencia de sumo robot donde los alumnos deben participar con el robot construido.

Se exponen en este trabajo los criterios utilizados para planificar la actividad, los objetivos deseados, la selección de tecnologías involucradas, los problemas que se presentan, algunas de sus soluciones y los resultados obtenidos.

I. INTRODUCCIÓN

Las competencias de robótica se vienen realizando desde 1992 en varias partes del mundo[1]. Aquí en Argentina desde 2003 el grupo de robótica y simulación de la UTN, Facultad Regional Bahía Blanca[2] organiza un evento a nivel nacional donde participan universidades y escuelas técnicas del país, que ya cuenta con 8 ediciones. Además del espectáculo que brindan para toda la familia estas competencias, las actividades que el alumno debe realizar para participar lo benefician en muchos aspectos[3][4]:

- Mejor incorporación y apropiación de conceptos teóricos y prácticos.
- Enseña a trabajar en grupo.
- Fomenta el intercambio de ideas.
- Requiere del alumno planificación y estrategia.
- Aplicación e integración de conocimientos del plan de estudios, como por ejemplo: mecánica, materiales, física, electrónica, programación, control y robótica en general.
- Autosuperación y demanda de conocimientos.

Por estos motivos, en el año 2008 se comenzó en la universidad una estrategia para incursionar en robótica pedagógica, buscando involucrar en forma masiva a los alumnos de las carreras de ingeniería en electrónica e ingeniería en informática en el desarrollo de robots autónomos para participar en este tipo de eventos. Se usa la competencia como un incentivo para los alumnos y como una herramienta didáctica para los docentes. Este tipo de actividad bajo modalidad constructi-

vista, privilegia el aprendizaje inductivo y el descubrimiento guiado[3].

II. COMPETENCIA DE SUMO ROBOT

Además de la modalidad sumo robot, existen también competencias de robótica con modalidad velocistas, laberintos, rastreadores, fútbol, desafíos y varias más[5]. Se seleccionó inicialmente sumo robot de entre todas ellas por considerarla una de las modalidades más llamativas, completas y sencillas de implementar, ya que por ejemplo fútbol robot (no simulado) requiere de una infraestructura más costosa y difícil de implementar, además que se orienta principalmente al software de control y el hardware específico de cada robot debe ser uniforme[6].

II-A. Alcance

Mencionamos anteriormente que existe ya una competencia a nivel nacional, y también existen otras, más recientes, como por ejemplo la organizada por UTN Regional Paraná.

Por esto, se define que en los primeros años de esta experiencia la competencia organizada se realice en forma interna a la universidad. Los motivos que justifican la elección son dos:

- Utilizar las competencias nacionales como un incentivo extra para quienes obtengan buenos resultados en la competencia interna.
- Evitar la complejidad de implementar un evento a nivel nacional, ya que el plantel docente dedicado específicamente esta actividad era más escaso en los primeros años.

En el último año se ha permitido la participación de colegios técnicos de la zona.

II-B. Reglamento

El objetivo de la competencia es construir un robot con limitaciones de peso y tamaño según el reglamento. Los robots deben ser autónomos y lograr mantenerse dentro del *tatami*¹, intentando expulsar al contrincante del mismo. El *tatami* es una mesa circular, normalmente negra, con una franja blanca como borde. Esta franja se coloca para que el robot pueda

¹Se llama así al campo de juego por ser el término japonés empleado en las competencias reales de sumo.

detectar fácilmente cuando llegó al borde del área de juego. Pierde el robot que cae o es empujado fuera del círculo.

Cada competencia de sumo robot posee un reglamento particular que define lo siguiente:

- Tamaño y peso máximo.
- Elementos permitidos y prohibidos en los robots. Este tipo de competencias en general prohíben el uso de dispositivos que puedan dañar intencionalmente al otro robot.
- Diámetro del *tatami*, ancho de la franja en el borde, ubicación inicial de los robots, etc.
- Sistema de puntaje y penalizaciones (por ejemplo la por pérdida del combate por el desprendimiento de partes).
- Tiempo de lucha, tiempo de arranque y cantidad de rounds.
- Sistema de competencia, calificación, eliminación, llaves, rondas, etc.
- Requisitos para participar.
- Reglas de conducta, jurado, etc.

En la UNLaM se utilizaron las mismas pautas de la competencia de Bahía Blanca, en su categoría de sumo libre (o mayores). De esta manera los robots resultan de similares características y pueden competir sin mayores adaptaciones².

El reglamento de la competencia nacional define un peso máximo de 3 Kg y tamaño de hasta 20x20 cm, sin límite de altura. El *tatami* tiene un diámetro de 175 cm y la franja blanca es de 5cm. Como elemento principal de control se permiten compuertas lógicas y microcontroladores (no procesadores) y están prohibidos los módulos o sensores comerciales para robótica. El espíritu es que cada grupo deba diseñar, adaptar y fabricar el hardware. La energía del robot debe obtenerse de baterías y los motores deben ser eléctricos. No se permite arrojar objetos, líquidos, polvos o gases, ni utilizar dispositivos que dañen deliberadamente al oponente. Tampoco está permitido dañar la superficie del *tatami* o la utilización de pegamentos y dispositivos de succión contra el suelo. También define un máximo de 4 participantes por robot.

Para la competencia local, la organización de las luchas se ajusta cada año en función de la cantidad de participantes.

III. IMPLEMENTACIÓN DE LA ACTIVIDAD

Este tipo de actividad involucra una amplia diversidad de tareas y materiales. La iniciativa es más compleja si se pretende trabajar con grupos grandes de alumnos, sin requerirles demasiados conocimientos previos, y que estos produzcan una buena cantidad de robots en condiciones de competir dentro de un mismo año lectivo³.

Para llevar adelante esta labor fue necesario ampliar las capacidades de los laboratorios, definir procedimientos y normas de trabajo, coordinar eficientemente la labor docentes

²Normalmente la competencia local se realiza a mediados de Octubre y la nacional en Bahía Blanca a principios de Noviembre.

³Considerar un periodo menor a 6 meses teniendo en cuenta que el comienzo de clases en la universidad es a principios de Abril, la competencia es a mediados de Octubre y el receso invernal es más prolongado por las fechas de exámenes finales.

y administrativos, y generar material educativo de referencia para guiar y ayudar fácilmente a los alumnos.

III-A. Relación con el programa de estudio

La estrategia didáctica busca un acercamiento a la electrónica práctica en los primeros años de la carrera.

Sin embargo, los conceptos necesarios para la construcción de los robots se estudian en distintas materias de la carrera: robótica, física I, programación I y programación avanzada, control, instrumentación y control, técnicas digitales I y II, dibujo técnico, electrónica de potencia, etc.

Al no pertenecer a la currícula, esta actividad no posee tiempo específicamente asignado dentro de las materias, motivo que dificulta la captación de alumnos interesados, especialmente para el desarrollo del primer evento de sumo robot en el 2008.

Para salvar esta situación se seleccionaron dos materias sin correlatividades, que son cursadas generalmente por alumnos de los primeros años y muchos de sus contenidos coinciden con las tareas a realizar. Estas materias son el Taller de Electrónica (ingeniería electrónica) y el Taller de Robótica (optativa de ingeniería informática). Ambos talleres son anuales y con carga horaria de dos horas semanales. Se adaptaron entonces ambos programas para incorporar la experiencia.

III-B. Espacio de trabajo

Además de las aulas donde se imparte cada materia, se utilizó el LACIE (Laboratorio Abierto de la Carrera de Ingeniería en Electrónica), un espacio de libre uso que cuenta con mesas, instalación eléctrica, computadoras y herramientas. Este laboratorio se encuentra abierto y disponible casi en todo momento. Esto permite que los alumnos dediquen tiempo libre a la actividad. Fue necesario organizar el mobiliario de forma tal de permitir un mayor flujo de gente y poder delimitar sectores para varios tipos de labores (programación, mecanizado y ensamblaje electrónico).

Para la coordinación de la actividad se utilizaron recursos gratuitos en Internet que permiten el trabajo en grupo brindando alojamiento de archivos y listas de correo[7]. Para esto se crearon dos grupos con distintas funciones. El primero con una lista de correo donde los alumnos pueden dialogar entre ellos y con los docentes y acceder al material educativo en formato digital (diseños, apuntes, notas y fotos). El otro grupo solamente con docentes, utilizado para coordinar y planificar la actividad.

III-C. Herramientas

Fue necesario incorporar máquinas y herramientas para la construcción de los robots. Estas herramientas (agujereadora vertical, cizalla, morsa, amoladora y minitorno) se colocaron en una mesa dedicada del laboratorio abierto. Se instalaron carteles, se instruyó a todos los alumnos en la correctas normas de seguridad necesarias y se confeccionó una normativa que contempla su uso.

También se adquirieron una gran cantidad de herramientas de mano, organizadas en cajas de herramientas y puestas a libre disposición en el laboratorio.



Figura 1. Espacio del LACIE, laboratorio abierto de electrónica.



Figura 2. Diseño de circuitos con Kicad.

Las herramientas para electrónica ya estaban disponibles debido a la propia carrera de electrónica.

III-D. Materiales e insumos

Se adoptó como metodología brindar a los alumnos todos los materiales necesarios para la construcción de los robots: baterías, motores, componentes electrónicos, engranajes, ruedas, cables, interruptores, chapas, tornillería, etc.

De esta forma el alumno no se ve obligado a realizar un gasto adicional⁴ para poder participar. Además el robot resultante quedará en la universidad y podrá ser utilizado nuevamente al siguiente año si por lo menos un alumno del grupo desea adaptarlo o mejorarlo.

Para ayudar con el orden y el seguimiento docente, se entregaron contenedores transparentes tipo *tuppers*, uno por grupo y etiquetados con los nombres de los alumnos, que se utilizan para entregar los materiales y poseen espacio suficiente para colocar luego el robot a medida que avanza su construcción.

III-E. Software utilizado

Para organizar el aprendizaje y poder asistir eficientemente a los alumnos, es conveniente crear una plataforma uniforme como base del desarrollo.

Para la elección del software asociado a todo el proceso se planteó como criterio principal la utilización de software libre [8] o, en su defecto gratuito, para facilitar la instalación en cualquier PC de la universidad, eliminar costos de licencias y administrativos, y principalmente permitir a los alumnos el uso del mismo en sus hogares sin violar ninguna licencia.

Los programas seleccionados fueron:

- **Avr-gcc:** Compilador de C para microcontroladores Atmel Avr, basado en el GNU GCC[9].
- **AvrDude:** Transferencia del programa hacia el microcontrolador[10].
- **WinAvr:** Entorno de compilación para microcontroladores AVR para sistemas operativos Windows. Incluye los dos programas anteriores[11].
- **AvrDude-gui:** Interfaz gráfica para el AvrDude[12].

⁴El costo de un robot puede superar normalmente los 500 ARS (122 USD).

- **Avr Studio:** Entorno de programación y simulación de microcontroladores Avr[13].

- **Kicad:** Desarrollo de circuitos impresos[14]. Ver Fig.2.

Estas herramientas (menos Avr Studio y Win Avr) pueden utilizarse también en sistemas operativos GNU/Linux en el caso que algún alumno o docente así lo desee.

Se realizó la instalación y configuración del software mencionado en todas las PCs asignadas.

III-F. Hardware electrónico de referencia

Para facilitar la tarea de docentes y alumnos, se realizaron diseños de referencia que los participantes pueden tomar como base y modelo para construir su robot. Podemos mencionar el siguiente material:

- **AVR-Robot:** Circuito de referencia para el control del robot, realizado en Kicad (Ver Fig. 3). Incluye un microcontrolador Avr Atmega16 de 40 pines, un doble puente H para comandar dos motores de continua, puerto de programación *in-circuit* y conexiones de E/S. Posee una guía explicativa de varias páginas. Los alumnos toman este diseño y lo modifican acorde a las necesidades y características de su robot. Cada grupo fabrica su propia versión derivada.
- **Robot-libs:** Son rutinas muy básicas de control de E/S para la placa AVR-Robot. Ayudan a comenzar con la programación del robot.
- **Programador USB:** Circuito programador USB para el microcontrolador utilizado. Se trata de una versión en Kicad basada en el USBtinyISPAVR[15] y soportada por el software AvrDude. Esto permite que cualquier interesado pueda fabricarse el programador y continuar con el desarrollo en su casa.

Este material se brinda a todos los grupos participantes, ayudando a vencer la barrera inicial en cuanto al uso y desarrollo con microcontroladores.

III-G. Difusión y publicidad

Para motivar la participación, se realizaron panfletos y carteles de publicidad. También se promocionó la competencia en la radio[16] y el periódico de la universidad[17].

Además, la competencia se realiza siempre dentro de la exposición anual de proyectos de ingeniería, que convoca



Figura 3. Placa de control AVR-Robot.



Figura 4. Etapas de desarrollo y pruebas.

a docentes, alumnos de todos los niveles y sus respectivos familiares.

III-H. Evaluación de la actividad

Para los alumnos que realizan la actividad dentro de alguna de las dos asignaturas seleccionadas, se implementó una evaluación oral posterior a la competencia. Esta evaluación busca identificar la labor particular de cada alumno y cuánto conoce sobre el proceso de construcción, desarrollo y pruebas del robot. Esto permite establecer el tiempo y el esfuerzo invertido por cada participante, independientemente del resultado o el desempeño obtenido por el robot en la competencia. También se observa en el alumno la capacidad de trabajar en grupo, la interacción social y la predisposición para transmitir conocimientos.

III-I. Incentivos

Son varios los incentivos que plantea la actividad para captar a los alumnos:

- La competencia local y el desafío que representa.
- La cantidad de compañeros, familiares y docentes que asisten a la competencia.
- La posibilidad de participar posteriormente en la competencia nacional, con gastos de transporte, alojamiento y estadía cubiertos por la universidad. Los participantes de esta actividad se seleccionan en función de los recursos



Figura 5. Robots participantes de la competencia 2010.

disponibles, el desempeño en la competencia y el trabajo en laboratorio.

- Las distintas publicidades y los premios asociados a la competencia. Cada participante recibe gratuitamente la camiseta oficial de la competencia. Se entrega a los ganadores una medalla con el logo de la universidad y éstos son entrevistados luego por el periódico y la radio de la universidad.
- Por último, y no menos importante, los participantes valoran la posibilidad de acceder a los recursos y tecnologías asociadas, y el aprendizaje de las habilidades necesarias para la construcción de los robots.

IV. RESULTADOS

Mencionaremos brevemente los resultados de la experiencia desde sus inicios en 2008 hasta 2010.

IV-A. Competencias locales realizadas

Se realizaron hasta el momento tres competencias. Resumimos las mismas en el cuadro I.

Cuadro I
PARTICIPACIONES EN COMPETENCIAS LOCALES.

Año	Alumnos	Robots	Docentes
2008	15	3	3
2009	25	8	5
2010	40+8	12+2	7

Podemos apreciar el notable incremento de alumnos, robots y docentes afectados a la actividad. En 2010 (ver Fig. 5 y Fig. 6) participaron además 8 alumnos de escuelas secundarias, con dos robots.

IV-B. Competencias a nivel nacional

Los alumnos destacados poseen la oportunidad de viajar a la competencia nacional realizada en Bahía Blanca. En el cuadro II resumimos las participaciones en este evento.



Figura 6. Competencia de sumo robot realizada en 2010.



Figura 7. Varios grupos trabajando en los días previos a la competencia.

Cuadro II
PARTICIPACIONES EN COMPETENCIAS NACIONALES.

Año	Alumnos	Robots	Docentes	Puesto
2008	7	1	1	4°
2009	14	5	2	2°
2010	9	8	2	1° y 4°

La competencia nacional brinda un espacio donde intercambiar ideas y opiniones entre docentes y alumnos, y ofrece la oportunidad de conocer el trabajo de otras instituciones. Se considera un factor muy valioso este intercambio dentro de un ámbito relajado y ameno como el de la competencia nacional de robótica.

IV-C. Utilización de los laboratorios

Es notorio el incremento en la utilización de los laboratorios, fuera del horario de las asignaturas. Esto es más evidente aún en el mes previo a la competencia, donde los distintos grupos trabajan fuera del horario de clases para ajustar sus robots. En la Fig.7 se puede observar el laboratorio abierto en las horas previas a la competencia.

IV-D. Impacto de la actividad

Se puede intentar evaluar el impacto de la actividad observando los siguientes indicadores:

- El incremento de la utilización de los laboratorios en horarios fuera de clase. Esto aporta varias horas de actividad práctica.
- La utilización de las mismas herramientas de software y de hardware para proyectos de otras asignaturas de la carrera.
- Los grupos de trabajo que forman vínculos fuertes que se mantienen luego en las distintas asignaturas y continúan participando de las competencias, ya sin tanta supervisión docente.
- El interés que despierta la competencia en familiares, conocidos, docentes, alumnos y autoridades.
- La repercusión en los medios de difusión de la universidad [18][19][20][21][22][23][24].
- La cantidad de consultas técnicas que realizan los alumnos, una vez finalizada la competencia.



Figura 8. Alumnos y docentes participantes de la competencia 2010.

- Se ha observado, el último año, que los nuevos grupos que se suman a la actividad (de los primeros años de la carrera) consultan a los grupos ya experimentados (mucho más avanzados en la carrera).
- Todos los grupos a la fecha han logrado llegar a tiempo en la construcción de un robot que pueda competir.
- La gran concurrencia de público en las competencias, donde es muy común que asistan también los familiares y conocidos de los competidores, creando un importante vínculo entre la universidad, el estudiante y su actividad. También asisten las autoridades del departamento de ingeniería. Más difícil de mensurar es la promoción que el evento realiza a las carreras de ingeniería y la captación de nuevos alumnos.

V. CONCLUSIONES

Se considera que la actividad encarada hace 4 años ha brindado muchas satisfacciones tanto para alumnos como para docentes. Para los alumnos, la rápida introducción práctica a la programación y la electrónica, sin profundizar inicialmente en su teoría, hace que pierdan el miedo y se encuentren mejor preparados, predispuestos y confiados para las materias que deberán cursar posteriormente en la carrera. Además, trabajar en un espacio de aprendizaje tan motivado, hace más fácil la captación de conceptos teóricos y prácticos a medida que éstos son requeridos para diseñar, construir, mejorar o poner en funcionamiento el robot.

Los docentes, por su parte, reciben consultas y requerimientos de los alumnos que los motivan a perfeccionarse, a mejorar y complementar el material didáctico y ampliar la infraestructura de los laboratorios.

VI. TAREAS FUTURAS

Como tareas futuras se plantea incorporar nuevas tecnologías ofrecidas a los alumnos que repiten por segunda o tercera vez la experiencia, como circuitos de montaje superficial, sensores más complejos como por ejemplo sensores de proximidad más eficientes, acelerómetros, ultrasonidos y también programación avanzada de microcontroladores. También está planificado duplicar el espacio designado al laboratorio abierto de electrónica, para permitir una mayor cantidad de alumnos, máquinas e instrumental.

Además está pensado implementar un sitio web donde colocar los resultados y todo el material relacionado al evento. Por último, se realizarán encuestas a los alumnos para conocer sus opiniones, sugerencias y sacar estadísticas que ayuden a mejorar la experiencia.

VII. AGRADECIMIENTOS

Se agradece especialmente a las autoridades de la Universidad por el apoyo brindado a este emprendimiento: Ing. Osvaldo Spositto (Decano), Ing. Andrés Dmitruk (Secretario de Investigaciones), Ing. Isabel Weinberg (Coordinadora de Ingeniería en Electrónica) y Mg. Domingo Donadello (Coordinador de Ingeniería en Informática). A las personas del departamento de ingeniería que colaboraron en todo momento: Valeria Baiardino y Nora Gigante. Agradecemos también a la firma Electrocomponentes S.A. por la atención recibida, al Ing. José Salama por su ayuda en el laboratorio de electrónica, al Grupo de Robótica y Simulación de UTN-FRBB por organizar el evento inspirador de esta actividad y a todos los alumnos participantes.

REFERENCIAS

- [1] M. A. Junco Rey, R. Swain Oropeza, A. Aceves López, and J. Ramírez Uresti, "Robocup: El reto," in *XXXIII Congreso de Investigación y Extensión del Sistema Tecnológico de Monterrey*. México: [http://homepage.cem.itesm.mx/aaceves/publicaciones/\[5\]_PRC_Peru.pdf](http://homepage.cem.itesm.mx/aaceves/publicaciones/[5]_PRC_Peru.pdf), 2003, p. 1671.
- [2] "Competencia nacional de robótica," <http://www.grsbahia blanca.com.ar>, Grupo de Robótica y Simulación, Universidad Tecnológica Nacional, Facultad Regional Bahía Blanca.
- [3] X. P. Zaldivar-Colado, U. Zaldivar-Colado, J. C. Niebla-Zatarain, O. Gómez-Gamboa, D. Murillo-Campos, C. Marmolejo-Rivas, and L. H. Lavín-Zatarain, "Procesos de aprendizaje aplicables en la robótica pedagógica," in *XII Congreso Mexicano de Robótica - COMRob 2010*. México: Universidad Autónoma de Sinaloa, Universidad Politécnica de Sinaloa y Universidad de Occidente, Nov. 2010, pp. 256–260.
- [4] A. Odorico, "La robótica desde una perspectiva pedagógica," in *Revista de Informática Educativa y Medios Audiovisuales*. Argentina: , Jun. 2005, pp. 33–48.
- [5] J. Pastor and P. Revenga, "Semana de la robótica de la UAH, como herramienta de motivación," Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica, Apr. 2010. [Online]. Available: <http://e-spacio.uned.es/fez/view.php?pid=taee:congreso-2010-1033>
- [6] P. Kogan, G. A. Parra, and R. Del Castillo, "Diseño de agentes experimentando con robots que juegan al fútbol en ambientes reales y simulados," in *VIII Workshop de Investigadores de Ciencias de la Computación*. Argentina: Universidad de Morón, <http://ficte.unimoron.edu.ar/wicc/Trabajos/1%20-%20asi/633-wicc06.pdf>, Aug. 2006, pp. 39–43.
- [7] Yahoo! Groups. [Online]. Available: <http://groups.yahoo.com/>
- [8] Free Software Foundation, Inc., "The Free Software Definition," <http://www.gnu.org/philosophy/free-sw.html>.
- [9] GCC, the GNU compiler collection. [Online]. Available: <http://gcc.gnu.org/>
- [10] AvrDude: Avr downloader/uploader. [Online]. Available: <http://www.nongnu.org/avrdude/>
- [11] WinAVR, open source software development tools for the Atmel AVR microprocessors on Windows platforms. [Online]. Available: <http://winavr.sourceforge.net/>
- [12] AvrDude-gui, a simple GUI for avrdude. [Online]. Available: <http://sourceforge.net/projects/avrdude-gui/>
- [13] "Avr Sstudio: IDE for Atmel 8-bit AVR microcontrollers," http://www.atmel.com/dyn/products/tools_card.asp?tool_id=2725, Atmel Corporation.
- [14] J.-P. Charras, "Kicad: GPL PCB Suite," http://www.lis.inpg.fr/realise_au_lis/kicad.
- [15] USBtinyISPAVR programmer and SPI interface. [Online]. Available: <http://www.ladyada.net/make/usbtinyisp/>
- [16] "Radio Universidad de La Matanza, R/U FM 89.1," <http://ru891.com.ar/>, Universidad Nacional de La Matanza.
- [17] "Realizarán competencia de robots-sumo," Periódico E11, Jul. 2008. [Online]. Available: <http://www.el1digital.com.ar/index.php?idPage=20&idArticulo=1004>
- [18] "Representantes de la UNLaM y sus robots compiten en Bahía Blanca," Periódico E11, Nov. 2010. [Online]. Available: <http://www.el1digital.com.ar/index.php?idPage=20&idArticulo=19260>
- [19] "Los robots de la UNLaM, campeones nacionales," Periódico E11, Nov. 2010. [Online]. Available: <http://www.el1digital.com.ar/index.php?idPage=20&idArticulo=19574>
- [20] "Una decena de robots animaron la Expoproyecto de Ingeniería," Periódico E11, Nov. 2010. [Online]. Available: <http://www.el1digital.com.ar/index.php?idPage=20&idArticulo=18991>
- [21] "Expoproyecto 2009: los alumnos presentaron sus robots," Periódico E11, Nov. 2009. [Online]. Available: <http://www.el1digital.com.ar/index.php?idPage=20&idArticulo=11551>
- [22] "La pelea de robots fue para un luchador de película," Periódico E11, Oct. 2009. [Online]. Available: <http://www.el1digital.com.ar/index.php?idPage=20&idArticulo=11312>
- [23] "Una delegación de la UNLaM, en torneo de robots," Periódico E11, Nov. 2008. [Online]. Available: <http://www.el1digital.com.ar/index.php?idPage=20&idArticulo=3646>
- [24] "Particular final de la expoproyecto 2008," Periódico E11, Oct. 2008. [Online]. Available: <http://www.el1digital.com.ar/index.php?idPage=20&idArticulo=3333>

StartStack.dev

Herramienta de desarrollo modular multiplataforma para sistemas embebidos

Gustavo Murias

Facultad de Ingeniería, Universidad Nacional de Mar del Plata

Mar del Plata – Argentina

murias@ieee.org

Resumen—Se presenta el diseño e implementación de una herramienta de hardware modular y multiplataforma para el desarrollo de sistemas embebidos, dirigida a estudiantes de universidades y escuelas técnicas. El sistema consta de una placa principal que puede ser usada en forma aislada, y un conjunto de placas de aplicación específica que aportan un valor agregado al conjunto, permitiendo la configuración de diferentes escenarios tecnológicos con total flexibilidad.

Palabras clave: desarrollo; didáctica; FPGA; microcontrolador; microelectronica.

I. INTRODUCCIÓN

Las herramientas de desarrollo son fundamentales en el proceso de aprendizaje de diseño de sistemas embebidos. Los estudiantes adquieren los conocimientos prácticos más rápidamente con la utilización de placas construidas para aplicaciones específicas, pero su costo suele ser muy elevado.

StartStack.dev brinda una alternativa más que interesante, debido a que se construye con componentes fáciles de conseguir en el mercado local, e incluso, algunos de ellos son parte de los programas de muestras gratis de las firmas Texas Instruments y Freescale, dándoles a los usuarios la opción de construir sus propias herramientas.

Otro punto de interés es su habilidad para configurar diferentes entornos de manera modular, ya que, incluyendo los módulos insertables, el usuario puede configurar la mejor combinación para desarrollar su sistema embebido.

A. Características generales

Aquí se presentan algunos de los detalles de diseño que debieron tomarse en cuenta con el fin de brindar soporte para ampliaciones futuras, y para las diferentes combinaciones de placas que el usuario requiera. Bajo éstas premisas se define un esquema general de conexiones entre placas, que de acuerdo a las características que tenga el *dispositivo activo* (denominando de esta manera al microcontrolador, microprocesador, o FPGA con que está equipada la placa principal o placa activa) estará implementado como puerto de uso específico, o como conexión de entrada/salida de uso general. Así, como muestra la figura 1, se encontrará una sección de 8 entradas analógicas, una sección para las salidas PWM, una para diferentes formatos de comunicación, como SPI, I²C, SCI, superpuesto con éstas, una sección de *datos y direcciones* para aplicaciones

de bus paralelo, entradas para los comparadores incluidos en algunos microcontroladores, etc.

La longitud de los terminales de expansión es de 29 pines por cada lado de la placa, tanto en la cara superior como en la inferior, donde además de las conexiones descritas, se encuentran también conexiones de masa y de alimentación, con valores diferentes, separando tensión de placa (5Volts) y tensión de dispositivo. De esta manera se garantiza compatibilidad para dispositivos que funcionan con tensiones de alimentación menores a 5V.

FUNCIONES		PIN	FUNCIONES	
Alimentación dispositivo		L-01	R-01	Alimentación periféricos
GND		L-02	R-02	GND
		L-03	R-03	
		L-04	R-04	
		L-05	R-05	
		L-06	R-06	
		L-07	R-07	
Chip Select	Teclados	L-08	Entradas y salidas digitales	Sensores Touch
		L-09		
Compara- dores	Entradas y salidas digitales	L-10	Entradas y salidas digitales	COM PORT
		L-11		
		L-12		
		L-13		
		L-14		
		L-15		
		L-16		
		L-17		
MASA		L-18	I ² C	Direccio- nes
		L-19		
		L-20	INT	
		L-21	GND	
		L-22		
Entradas analógi- cas	Entradas y salidas digitales	L-23	Entradas y salidas digitales	SPI
		L-24		
		L-25		
		L-26		
		L-27		
		L-28		
		L-29		
		R-21	GND	Datos
		R-22		
		R-23	SPI	Datos
		R-24		
		R-25	PWM	Datos
		R-26		
		R-27		
		R-28		
		R-29		

Figure 1. Descripción de los puertos de expansión

Los puertos de expansión permiten conectarse directamente con el mundo exterior usando cables, sin embargo, el mérito está en la posibilidad de conectar una o varias *placas de aplicación especial*, formando una pila o *stack* de hardware, combinando las características entre la placa principal y una o varias placas de aplicación compatibles, en forma simultánea.

Para lograr la interconexión de placas, los terminales de la cara superior son de tipo macho y en la cara inferior se colocaron tipo hembra. Utilizando el mismo esquema en las placas de aplicación es como se logra encastrar varias de ellas.

B. Sistema multiplataforma

Este concepto da lugar a un sistema de desarrollo más libre, ya que cuidando el diseño de los puertos de expansión, se pueden construir placas activas con dispositivos de diferentes

marcas o tecnologías, entre las que se pueden nombrar microcontroladores de las firmas Atmel, Freescale, Microchip, Texas Instruments, y otros, tanto en 8 como en 16 o 32 bits, brindando versatilidad en el desarrollo de aplicaciones [1] [2] [3].

Como plan de expansión a corto plazo se está trabajando en la construcción de una placa basada en la FPGA Spartan-3A de la firma Xilinx, y en una que aloja un DSP de tecnología ARM Cortex-M4, ambas compatibles con el sistema, haciendo de *StartStack.dev* la primera plataforma de desarrollo que combina microcontroladores y FPGAs aprovechando todos los periféricos del sistema [4] [5].

C. Interfaz de programación y debug

Debido a los requisitos y posibilidades particulares de cada línea, la conexión para programación, que puede ser JTAG, ICSP, BGD, u otro dependiendo del fabricante, es parte de la placa principal, de esta manera, no existe límite para la diversificación tecnológica.

D. Características especiales del dispositivo

Algunos dispositivos cuentan con periféricos particulares, como por ejemplo Ethernet, CAN, OTG-USB, Touch, etc, que no forman parte de la oferta masiva, por lo tanto, la implementación de estas características se incluye en la placa base que contiene al dispositivo en cuestión. También se integra en la propia placa a los reguladores de tensión adecuados y, en los casos en que es necesario, la interfaz con los puertos de expansión se hace a través de buffers conversores de tensión multinivel.

II. PLACA ACTIVA

La placa principal o *activa* está basada en la implementación de un microcontrolador o *componente activo*, componentes adicionales, LEDs, puertos de comunicación, y todos los terminales del *dispositivo* dispuestos en tiras de postes a los bordes de la placa, denominados *puertos de expansión*.

Se describe una de las placas principales, la *StartStack.dev* PIC18F67J50, que incorpora como dispositivo principal el microcontrolador PIC nombrado, de la firma Microchip Inc. [3].

Éste dispositivo de 64 pines, con encapsulado TQFP, es un ejemplo representativo de una línea de microcontroladores, que incluye como característica principal un puerto USB 2.0 con 3.9KB de memoria RAM de doble puerto que puede ser dedicada al módulo, y entre sus otros periféricos se cuenta con 2 UART mejoradas, 1 puerto SPI, 1 puerto I²C, 1 conversor A/D de 10 bits con 8 entradas multiplexadas, 2 comparadores analógicos, 2 módulos PWM con varias salidas y funciones de captura y comparación, entre otros.

Parte de las características de éste microcontrolador están implementadas en la placa *StartStack.dev* PIC18F67J50, como son el módulo USB, al que se accede a través de un conector estándar USB-B, con el que también se puede dar alimentación

a la placa, un puerto RS-232 con su correspondiente conector DB-9, y una memoria EEPROM 24LC1025 de 1Mb conectada al bus I²C.



Figure 2. Aspecto de la placa *StartStack.dev* PIC18F67J50

La tensión de alimentación es de 3.3V, pero admite en sus puertos digitales entradas de 5V, haciéndolo directamente compatible con el resto del sistema. En la placa se incluye un regulador de tensión LDO de 3.3V y un conector ICSP para programación y depuración *In-Circuit*, compatible con los programadores que ofrece Microchip, Pickit 2, Pickit 3, y MPLab ICD2/ICD3 [6].

En la placa también se incluye un cristal de 4MHz para el oscilador principal, que excitando al PLL incorporado en el microcontrolador, es capaz de generar hasta 48MHz de frecuencia de reloj, y otro cristal, de frecuencia 32768 Hz, conectado a un oscilador independiente, para ser usado con los timers de sistema para propósitos de temporización.

III. MÓDULOS DE APLICACIÓN ESPECÍFICA

Como se dijo antes, las placas de aplicación específica otorgan al sistema una elevada complejidad, permitiendo el desarrollo de aplicaciones muy diversas, la combinación de diferentes aplicaciones, y si fuera necesario, la migración de plataforma con la mínima dificultad y a bajo costo.

Algunas propuestas de placas de aplicación se detallan en los siguientes apartados, siendo las aplicaciones más comunes:

A. Control de motores

Las técnicas de control de velocidad de motores requieren de componentes de potencia y sensores, estos se integran en una placa con una fuente de alimentación adecuada para los motores a utilizar.

Un interés bastante común radica en el control de motores paso a paso, por eso el primer desarrollo apunta a esta tecnología, incorporando *drivers* [7] integrados para manejar simultáneamente dos motores, utilizando las salidas PWM, accesibles desde los puertos de expansión del sistema.

Para realizar un control de velocidad a lazo cerrado es posible conectar *encoders* incrementales a entradas especiales disponibles en la placa de aplicación, a la que también pueden

conectarse otros sensores, como interruptores o fotodiodos para indicar las condiciones de punto de inicio, fin de carrera, etc. Otra posibilidad es la de medir corriente en los motores, y para esto se incluyen en placa resistencias *shunt* con sus respectivos amplificadores y conexasión para los ADC [8].

B. Placa multimedia básica

Esta placa contiene un conjunto de elementos de entrada y salida típicos de la mayoría de las aplicaciones básicas, con sus respectivos drivers y selectores de habilitación. Dada la cantidad y similitud de los elementos, éstos están multiplexados, pudiendo elegir cuál de ellos estará conectado a una determinada zona del puerto de expansión. El contenido de esta placa es:

- Módulo de display LCD retroiluminado.
- Zócalo para tarjeta de memoria SD.
- Receptor de control remoto estándar de 38KHz.
- Displays de LED de 7 segmentos.
- LEDs de propósito general.
- Pulsadores conectados en matriz.
- Buzzer auto oscilante, y transductor.
- Potenciómetro de carbón y digital.
- Encoder rotativo para comando.
- Comando Joystick analógico de dos ejes.
- Conector PS/2 para teclado/mouse.

C. Instrumentación y sensado

Siguiendo la línea de diseño antedicha, se propone un conjunto de sensores, amplificadores, y redes de acondicionamiento de señal, pensados especialmente para el diseño de instrumentos de medición y control, entre los que se encuentran:

- Sensor digital de temperatura.
- Sensor de aceleración de 3 ejes.
- Sensor de presión barométrica.
- Sensor de presión diferencial (opcional).
- Amplificador para termocupla J/K/PT-100.
- Amplificador diferencial para instrumentación.
- Excitador para puente Wheatstone.
- Termistor PTC.
- Sensor LDR, fotodiodo IR.
- Fotodiodo de precisión BPW-21.
- Terminales para conexión de sensores exteriores.
- Terminal/es BNC 1MΩ.
- Filtros antialiasing de frecuencia ajustable.

D. Placa de Audio digital

Originada por interés personal del autor, la placa de aplicación de audio digital enmarca los elementos necesarios para que el usuario, entusiasta audiófilo, encuentre un ambiente dedicado al procesamiento de señales de alta definición, con componentes especialmente seleccionados entre las líneas SoundPlus™ de Texas Instruments, LME de National Semiconductor, y otras.

Si bien el módulo es compatible con la totalidad de los componentes del sistema, se ve beneficiado al ser montado

sobre un DSP o una FPGA, debido a su mejor desempeño en el manejo de señales de estas características.

Los elementos más importantes que incluye son:

- Amplificador de micrófono de bajo ruido.
- Alimentación *phantom* para mic. de condensador.
- Amplificador de auriculares clase D.
- Amplificador de auriculares clase A puro.
- Amplificador de potencia para parlantes.
- Entradas de línea.
- Conversores AD y DA de 24 bits 96KHz.
- Codec de 24bits.
- Filtros analógicos programables.
- Conexiones de entrada y salida balanceadas.

IV. SOPORTE

Para cada parte del sistema se escribió un manual de uso, en el que se adjunta el esquema eléctrico de la placa, se describe cada componente instalado, y se incluyen sus hojas de datos. Para facilitar la tarea de programación, también se escribieron archivos de encabezado para lenguaje C (.h) que hace referencia al hardware de manera uniforme, con etiquetas identificatorias de los elementos principales y de los terminales de cada placa, de esta manera, cuando se escribe el código, solo será necesario acceder al elemento por su nombre relativo al sistema, y no relativo al pin del dispositivo al que se haya conectado, p. e. se puede escribir en el código de la aplicación: Led1On en lugar de output_low(PIN_B3), en caso de usar el compilador CCS [9]. Esto hace independiente al usuario de la forma en que se haya conectado el LED, es decir, a VDD o a VSS.

V. CONCLUSIONES

Se diseñó e implementó un paquete de hardware didáctico reconfigurable, logrando un alto grado de independencia de marca y de tecnología. Con el fin de generar un espacio de trabajo versátil a un costo relativamente bajo, en el que se pueden ensayar soluciones tanto en el campo de los microcontroladores como en el de los procesadores digitales de señal (DSP), e incluso de las más modernas tecnologías de diseño de hardware digital, FPGA.

REFERENCIAS

- [1] AT89C5131A-M 8-bit Microcontroller Datasheet, Atmel Corporation, 2008.
- [2] MC9S08AW60 Advance Information Data Sheet, Freescale Semiconductor, 2006.
- [3] PIC18F87J50 Family Datasheet, Microchip Technology Inc. 2007.
- [4] LM3S8938 Microcontroller Datasheet, Texas Instruments, 2007.
- [5] Spartan-3A FPGA Family Datasheet, Xilinx Inc. 2010.
- [6] "In-Circuit Serial Programming™ Guide", Tim Wilmshurs, Microchip Technology Inc. 2003.
- [7] "LB1845, PWM Current Control Stepping Motor Driver", Sanyo Electric Co. Ltd. 1996.
- [8] AN894 "Motor Control Sensor Feedback Circuits", Microchip Technology Inc. 2003.
- [9] CCS C Compiler, Custom Computer Services Inc. www.ccsinfo.com

Comunicador pictográfico

Un Proyecto de Electrónica para la Extensión Universitaria

J. A. Rapallini, M.A. Staiano, F.A.Ferrari, A. Sacco,
M.C. Cordero

UNITEC, *Unidad de Investigación y Desarrollo para la
Calidad de la Educación en Ingeniería con orientación en
el uso de TIC*

La Plata, Argentina
corderomc@gmail.com

M. Tenti, J. Santillán

Alumnos de Ingeniería en Electrónica de la Facultad de
Ingeniería UNLP

P.Paletta

Profesora Especializada en Educación de Irregulares
Motores

Resumen—El presente trabajo describe la relación entre el Proyecto Final para la obtención del título de grado de Ingeniería Electrónica y su relación con los fundamentos esenciales de la Extensión Universitaria y la formación basada en la enseñanza por competencias.

Palabras clave: Extensión Universitaria; Proyectos de Electrónica, Calidad educativa, Enseñanza basada en competencias

I. INTRODUCCIÓN

Coexisten hoy en día, numerosas formas de enseñanza-aprendizaje que brindan resultados sólidos en cuenta a una formación de excelencia universitaria.

La Universidad tiene como función fundamental la formación integral de sus educandos. Los profesionales competentes serán aquellos que demuestren capacidad en su desempeño y responsabilidad con la sociedad.

La relación entre la Extensión Universitaria que exige la transferencia de conocimientos al medio en el que vivimos para mantener un vínculo estrecho encuentra una posibilidad de realización dentro de las modalidades de realización de un Proyecto Final de Ingeniería Electrónica.

II. EXTENSIÓN UNIVERSITARIA

A. La Extensión Universitaria y la Universidad Nacional de La Plata

En su discurso de inauguración de los cursos en la Universidad Nacional de La Plata, el 8 de abril de 1907, el Dr. Joaquín V. González sienta nuevamente las bases de la extensión universitaria, ya fijadas en 1905, diciendo que “Las universidades no son solamente institutos de altas especulaciones ideales, ni sitios consagrados de conservación y progreso de las ciencias y las artes: son en primer término, focos de luz y de calor, donde germinan y toman formas prolíficas, los sentimientos de solidaridad social en que se funde el único patriotismo verdadero, aquel que no se diluye en palabras ni se pierde en movimientos o agitaciones estériles,

sino que consiste en esa virtud de generar grandes inspiraciones del bien en cada ciudadano y en la colectividad ...”

En la página web de la Universidad Nacional de La Plata [1], y en su Estatuto[2], queda claramente expresado que la Extensión Universitaria es una de las funciones principales, definiéndola como la presencia e interacción académica mediante la cual, la Universidad aporta a la sociedad en forma crítica y creadora, los resultados y logros de su investigación y docencia, y por medio de la cual, al conocer la realidad nacional enriquece y redimensiona toda su actividad académica conjunta. Las actividades que permiten identificar los problemas y demandas de la sociedad y su medio, coordinar las correspondientes acciones de transferencia, reorientar y recrear actividades de docencia e investigación a partir de la interacción con ese contexto, constituyen la Extensión Universitaria.

La Extensión Universitaria no es una actividad unidireccional sino que debe producirse un "diálogo" permanente entre el que da (Universidad) y el que recibe (Sociedad y Medio), lo que significa que el sujeto que da, el que extiende, se enriquece en forma permanente.

También la Extensión Universitaria cumple un rol de formación continua de la propia comunidad universitaria en su conjunto total y de profesionales, dirigentes y empresarios; un rol en la divulgación científica y de la diversidad cultural; un rol en la transformación social y el desarrollo comunitario y un rol en la transferencia tecnológica, con visión estratégica del desarrollo.

La Universidad, mediante la Extensión Universitaria, promueve la creación y difusión del pensamiento crítico y del desarrollo de la cultura entre la comunidad universitaria y la sociedad, para la obtención de una formación integral de la persona en el proceso de educación permanente. Y, para ello, propicia la existencia de espacios, estructuras y el desarrollo de todas aquellas acciones que faciliten y promuevan el logro de dichos objetivos.

III. PROYECTO FINAL DE ELECTRÓNICA

A. Proyecto Final

Un Proyecto Final [3] es un conjunto de actividades orientadas a un fin específico con una duración predeterminada, que conjuga una dimensión técnica (el proyecto mismo), una dimensión humana (autores, directores y evaluadores) y la gestión de ambas. En los últimos años, se ha reafirmado la importancia del Proyecto Final como modo de concluir la Carrera de Ingeniería Electrónica.

El Proyecto Final de Ingeniería Electrónica se cursa en el 9° y 10° cuatrimestre y tiene una asignación de 250 horas cátedra para su realización. Se considera, por lo tanto, que los alumnos han adquirido los conocimientos necesarios para el desarrollo de una tarea individual y creativa en el área electrónica de su interés. Su objetivo es propiciar la concreción, por parte del estudiante, de un trabajo que integre los conocimientos adquiridos en el transcurso de la carrera, con los requerimientos de la futura actividad laboral.

B. Modalidades del Proyecto Final de Electrónica

El Proyecto Final tiene amplias opciones para su concreción:

- a) Diseño y construcción de equipos, sistemas o partes de los mismos.
- b) Estudios de procesos, mejora de su calidad, aspectos técnicos y económicos, etc.
- c) Trabajos en laboratorios, industrias, plantas, obras, oficinas técnicas, etc.

Las actividades vinculadas al Proyecto Final se pueden desarrollar en empresas del medio local (o del medio donde el estudiante desee desenvolverse), en cátedras, laboratorios, centros, institutos, o en el laboratorio de la Cátedra de Proyecto Final. Los trabajos pueden ser efectuados individualmente o en pequeños grupos.

Para su realización es necesario un Director que guíe y facilite al alumno su tarea, tal como proponen T.H. Codagnone & M.L. González (2007) en su artículo La importancia del tutor en un plan de estudios generado por competencias. El cronograma de trabajo se acuerda con el director, dependiendo de las características del mismo, teniendo en cuenta los plazos comprometidos y otras obligaciones académicas del alumno.

La Cátedra brinda los lineamientos para la gestión del Proyecto Final a los distintos organismos admitidos como lugares de realización del mismo. Los alumnos tienen libertad para elegir el tema de su trabajo según su interés y las posibilidades de concreción del mismo.

IV. ENSEÑANZA BASADA EN COMPETENCIAS

La Universidad tiene como función fundamental la formación integral de sus educandos. Los profesionales competentes serán aquellos que demuestren capacidad en su desempeño y responsabilidad con la sociedad.

Las Competencias [4-10] se desarrollan a través de experiencias de aprendizaje en cuyo campo de conocimiento se

integran tres tipos de saberes: Conceptual (Saber), Procedimental (Saber Hacer), Actitudinal (Saber SER).

Si el proceso de enseñanza-aprendizaje tiene la tendencia de conducir al estudiante a adquirir únicamente conocimientos y se descuidan los otros dos elementos, tendríamos como resultado alumnos con mucho conocimiento (saber), pero con deficiencias en aplicarlos (saber hacer) y en su comportamiento (saber ser): Lamentablemente, tendríamos un perfil de egreso de “eruditos incompetentes”.

Las Competencias en la educación que deberán consolidarse serán el manejo de emociones, el avance de la autonomía a la independencia, la madurez en las relaciones interpersonales, el establecimiento y desarrollo de la propia identidad y el desarrollo de objetivos personales.

V. PROYECTO FINAL Y EXTENSIÓN UNIVERSITARIA

Uno de los desafíos del Proyecto Final es integrar a la Universidad con la Sociedad e involucrarse para elaborar una respuesta útil y real de acuerdo a las necesidades planteadas.

La relación del Proyecto Final de Electrónica con la Extensión Universitaria permite la aplicación natural de la Enseñanza basada en competencias, pues para su realización plena se conjugan la necesidad de tener los conocimientos para ejecutar la tarea, es decir el proyecto electrónico, el saber hacerlo, ya que es necesario plasmar ese proyecto en un prototipo real y el saber ser, ya que ese proyecto debe plantearse dentro de una necesidad social a resolver.

A través de la tarea que se desarrolla en uno de los laboratorios de la UID UNITEC, el Laboratorio de Asistencia Técnica a Establecimientos de Educación Especial, se ha detectado dentro de las Necesidades Educativas Especiales la falta de dispositivos electrónicos como ayuda técnica para los docentes que desarrollan esa actividad. Se plantea así el desarrollo de ayudas técnicas o rampas tecnológicas complejas de bajo costo, ya que si bien estos equipos existen, son generalmente de origen extranjero y muy costosos, lo que impide el fácil acceso a los mismos.

VI. DESARROLLO DE UN COMUNICADOR PICTOGRÁFICO

Existen personas que poseen dificultades para comunicarse con su entorno. Estas dificultades provienen de enfermedades o accidentes que han dejado al sujeto incapacitado de movilizarse y expresarse a través de la palabra oral, lo cual plantea interrogantes sobre los recursos a utilizar para que dicha persona pueda comunicarse con el medio que lo rodea. La comunicación es de vital importancia para todo ser humano, ya que permite expresar lo que se siente y desea; y al mismo tiempo permite adaptarse al medio social circundante; y esta dificultad puede estar presente también en personas con discapacidad intelectual, ocasionándoles problemas en su vida cotidiana, como en su desenvolvimiento familiar, escolar y social [11].

De aquí surge un proyecto cuyo objetivo es disminuir la brecha que genera este tipo de patología, diseñando un dispositivo capaz de dar respuesta a la problemática planteada.

El prototipo desarrollado es un tablero pictográfico para la comunicación alternativa y aumentativa que servirá como medio de interacción entre la persona incapacitada y su medio ambiente.

A. *Objetivos principales de la aplicación*

Promover la intención de comunicarse: dar una función a los intentos comunicativos de la persona.

Desarrollar la capacidad de comunicar necesidades básicas y respuestas de rechazo y agrado. Compartir las intenciones y mensajes que le comunican otras personas, atribuyéndoles progresivamente mayor significado [12]

Proveer dibujos muy sencillos, representativos e icónicos.

Posibilidad de ejercer cierto control sobre sus acciones.

Permitir en niños evaluar el nivel de comprensión, estimular la atención, concentración y motivación.

VII. ESPECIFICACIONES TÉCNICAS

A. *Objetivo del comunicador*

La función principal de esta herramienta es permitir comunicarse a un usuario que no utilice el lenguaje oral ni escrito. Para ello, dispone de espacios para colocar hasta nueve tarjetas pictográficas, con imágenes que representan conceptos.

Ya en funcionamiento, luces ubicadas junto a cada tarjeta se encienden cíclicamente, constituyendo esto un proceso de *barrido*, de manera que el usuario pueda elegir la tarjeta cuyo concepto desee comunicar, a través de la activación de un *switch* conectado al aparato.

De acuerdo a las posibilidades del usuario y la evaluación del equipo de profesionales que trabaje con él, el comunicador se puede configurar para operar con distintas modalidades de *barrido* (la secuencia de encendido de las luces), a distintas velocidades, con o sin sonido, etc.

B. *Especificaciones generales*

Replicabilidad: Especificaciones, planos de armado y configuración, protocolos de ensayo, archivo de datos de simulaciones, etc. Permitirá su producción ante el requerimiento de nuevos usuarios.

Manual de Usuario: El manual contará con un índice temático, ilustraciones y notas que permitirán al usuario una mejor comprensión de su uso y así obtener el mayor potencial del tablero para comunicación alternativa y aumentativa. Tendrá un diseño compacto para ser transportado junto con el tablero y brindará información sobre:

- ✓ Seguridad
- ✓ Funcionamiento Básico
- ✓ Configuración de los modos de *barrido*
- ✓ Cuidado y mantenimiento

Tamaño y forma: se optó por una forma rectangular con las dimensiones de una hoja A4, que lo hace más fácil de transportar.

Materiales: debido al costo que supone su desarrollo utilizando matricería, se eligió una combinación entre acrílico y MDF porque presentan un buen balance entre costo y calidad.

Cantidad de tarjetas: por lo investigado se decidió por un juego de 12 tarjetas porque con este número se logra cubrir la mayor cantidad de inquietudes de la persona. El tamaño de las mismas será de 5,5 cm de lado.

Pictogramas: se podrán usar distintos tipos de pictogramas incluyendo fotografías.

Modos de operación: el tablero contará con 8 modos de operación, según las especificaciones. También contará con la posibilidad de habilitar/deshabilitar sonido.

Alimentación: podrá funcionar con dos modos.

- Con baterías recargables
- Con conexión a la red eléctrica

C. *Elección del microprocesador más adecuado*

Para la selección del microcontrolador más apropiado se han tenido en cuenta varios factores, como por ejemplo:

- Documentación existente y apoyo técnico
- Herramientas de desarrollo disponibles y su precio
- Precio del microcontrolador
- Confiabilidad
- Versatilidad

El producto comercial que cumple con la mayor parte de estas exigencias es el microprocesador Microchip PIC7, y dentro de la familia PIC18, se evaluaron diferentes alternativas y se eligió el PIC18F2520, porque presentó las mejores características costo-rendimiento y disponibilidad comercial en las principales casas de componentes electrónicos.

Sus funciones son controlar el Panel de Configuración, el sistema de alarma, la iluminación de tarjetas. La entrada es a través de la señal de un *switch* que es una interface que le permite al usuario el control del comunicador pictográfico.

El comunicador posee una entrada estándar para *switch* y soporta todo tipo de *switches* (tacto (presión), soplido o aspiración, optoelectrónico, etc.)

D. *Sistema de batería*

La batería recomendable elegida es de Níquel-Metal-Hidruro (NiMh) de 7,2V y una corriente igual o superior a 1500mAh para una mayor autonomía.

El consumo aproximado del tablero será de 90mA.

El adaptador AC-DC que se utilizará tiene una salida de continua en el rango de 16V a 20V y 500mA.

Microcontrolador PIC16F676, funciones:
Comutación entre alimentación por batería o por red eléctrica
Indicación de carga y descarga mediante led bicolor y aviso sonoro
Desconexión automática por baja tensión de batería
Tensión umbral, tensión mínima, tensión máxima

El circuito consta de 7 etapas fundamentales:

Etapa controladora (1). Esta etapa consta de un PIC y se encarga de sensar y controlar la correcta carga de la batería. Además sensa la descarga a fin de dar aviso para iniciar una recarga de la batería. Las variables a sensar son tensión umbral, tensión mínima, tensión máxima, temperatura máxima y la pendiente de carga.

Etapa de conmutación (2). Esta etapa realiza una conmutación ni bien se conecta el adaptador de red eléctrica. Esto permite desconectar el tablero de la batería y realizar su alimentación vía red eléctrica. Esto también permite alimentar la etapa de carga.

Etapa de regulación de potencia (3). Esta etapa consta de dos reguladores LM317T que en conjunto regulan tensión y corriente para la carga.

Etapa de conmutación de carga (4). Esta etapa es controlada por el PIC, la cual en condiciones normales conmuta cuando se requiere una recarga.

Etapa de sensado de tensión (5). Por medio de un divisor resistivo se sensa la carga y descarga de la batería.

Etapa de alarma (6). Este módulo emite un aviso visual y sonoro para indicar el estado de carga del circuito.

Etapa de sensado de temperatura (7). Mediante un circuito integrado (LM35), se sensa la temperatura durante la carga de la batería.

E. Software utilizado para el desarrollo del proyecto

Software de simulación: Se utilizó el programa PROTEUS que es un entorno integrado diseñado para la realización completa de proyectos de construcción de equipos electrónicos en todas sus etapas: diseño, simulación, depuración y construcción. La suite se compone de cuatro elementos, perfectamente integrados entre sí. Se realizaron los siguientes análisis funcionales:

- Análisis de la etapa de control de matriz
- Análisis de la etapa de configuración
- Análisis de la etapa de control de alarma

Software de compilación: Se utilizó el compilador de la empresa CCS para la programación del microcontrolador en lenguaje C. Este software es muy utilizado por la mayoría de los diseñadores de hardware debido a que es una potente herramienta, que combinada con el simulador Proteus, permiten acelerar los tiempos de desarrollo de sistemas.

Software para diseño de Circuitos Impresos: Se eligió el *PCB Wizard* ya que es un programa diseñado para el ámbito educativo que permite crear esquemas de circuitos electrónicos y a partir de estos, obtener de una manera sencilla el diseño del circuito impreso a una o dos caras.

Software utilizado para la explicación del armado del gabinete: Se utilizó el software AUTOCAD 2007, con el cual se crearon vistas a escala del tablero, así también como el despiece del mismo.

VIII. DESEMPEÑO DEL PRODUCTO FINAL

Luego de realizados los ensayos finales se comprobó que el prototipo alcanzó las expectativas previstas cumpliendo las

especificaciones dadas y logrando una relación costo-beneficio satisfactoria.

Se logró una gran adaptabilidad para diferentes tipos de funciones requeridas en el campo de aplicación.

Con este diseño se consiguió un producto fácilmente escalable, lo que posibilita aumentar, ya sea la cantidad de tarjetas y también el uso de diferentes switches.

Este prototipo presenta la característica de ser fácilmente operable, lo que lo hace muy intuitivo para el usuario.

A. Ventajas y desventajas del producto

Ventajas:

- El dispositivo puede ser fácilmente reproducido con materiales comerciales.
- El costo de fabricación es muy inferior a la media de los productos importados.
- Presenta gran versatilidad al poseer una amplia variedad de modos de barrido y distintas velocidades.
- La iluminación es a base de diodos leds, lo que garantiza una gran vida útil.
- Es un dispositivo cuyas dimensiones lo hacen portable, similar a una notebook.
- Su peso es relativamente bajo ayudando a su portabilidad.
- Tiene la posibilidad de funcionar con baterías recargables o mediante la red eléctrica pública.
- El diseño de las tarjetas facilitan el intercambio de los pictogramas.
- El uso de imanes posibilita el cambio de tarjetas y las dimensiones de las mismas.
- La presencia de la alarma sonora y lumínica posibilita una efectiva percepción de los requerimientos del usuario.
- El panel de configuración posee un acceso muy intuitivo para quien lo manipule.
- Se cuenta con la posibilidad de habilitar o deshabilitar el sonido de la alarma.
- El prototipo cuenta con el soporte para adaptarse a cualquier tipo de switch on/off, incluso uno de fabricación casera en caso de avería del principal.
- Cuenta con la posibilidad de hibernar, lo cual evita que esté constantemente funcionando si el usuario no lo requiere.
- Posee un soporte que permite que el prototipo permanezca en una posición favorable para su uso.
- Posee luz de indicación de batería baja.

Desventajas:

- El dispositivo no cuenta con una matriz de inyección, que evite todo el trabajo de matrizado manual.
- El material empleado en la fabricación no es el adecuado, ya que el correspondiente debería ser PVC o similar.
- Las dimensiones y el peso se pueden disminuir si se cuenta con matriz de inyección.
- Las plaquetas donde se montan los componentes se podrían optimizar si se contara con la tecnología adecuada.

- Se podrían utilizar baterías más pequeñas y de menor tensión si se contara con la posibilidad de importar los componentes.

B. Experiencia lograda en los alumnos por la realización del proyecto

Tal como mencionan en el Informe Final del Proyecto los alumnos consideran que “El trabajo realizado nos permitió conocer una realidad ajena a nuestras vidas cotidianas, entendiendo la problemática, buscando soluciones que se adapten a las especificaciones dadas y conociendo profesionales idóneos en el tema.

Se pudo comprobar que la ingeniería puesta en juego fue mucha ya que se tuvo que desarrollar un dispositivo, que no es de uso común en la población en general y por esto se debió buscar los materiales adecuados para la implementación del sistema.

Se observó que el uso de estos dispositivos es fundamental en la comunicación alternativa y aumentativa, ya que brindan un medio muy eficiente probado a nivel mundial.

Todo el estudio que se realizó nos permitió lograr una solución adaptable, robusta, escalable, y con muchas posibilidades de expansión ya que la temática abordada así lo dicta.

Se aprendió a trabajar con distintos materiales para lograr el objetivo prefijado asumiendo, que se debió tomar decisiones en aspectos cuya competencia le corresponde a otras especialidades como ser diseño industrial.

La elaboración del gabinete y todo su matizado manual se llevó a cabo con diligencia y sentido común, para lograr un acabado que contemple una fabricación en serie.”

C. Informe realizado por la Prof. Patricia Paletta respecto del funcionamiento del desarrollo realizado.

Autor: Patricia Paletta

Títulos y actividad profesional:

Profesora Especializada en Educación de Irregulares Motores.

Técnica Superior Universitaria en Informática Educativa.

Asistente Educacional.

Docente de la EEE N° 527 de La Plata.

Asesora en instituciones de rehabilitación.

Formadora de profesionales del área de discapacidad.

Consideraciones generales.

El dispositivo creado por los alumnos Matías Tenti y Jorge Santillán cumple con las especificaciones planteadas en el proyecto lo cual pudo ser verificado durante las entrevistas realizadas en las instalaciones de la Escuela Especial N° 527, para Irregulares Motores de La Plata.

Sus fortalezas están en el hecho de la ductilidad para adaptarse a diferentes usuarios, ya que presenta varias opciones de barrido, permite que se regule el tiempo del mismo y responde a diferentes formas de pulsar (lo que también le facilita el acceso de usuarios que presenten diversidad en sus respuestas motoras). También se adapta al aprendizaje del

usuario, ya que pueden usarse menos cantidad de imágenes y de mayor tamaño.

Otro de los aspectos positivos es la posibilidad de modificar y combinar funciones, ya que la programación de los módulos lo permite.

Dentro de las sugerencias para mejorar el proyecto, habría que considerar materiales más livianos, aplicar leds de color para apoyar el seguimiento visual, pero es necesaria su aplicación con usuarios reales, para comprobar las modificaciones que requiera para ajustar su pertinencia.

Cabe destacar la importancia de la propuesta generada desde esta cátedra de la Universidad, donde se fomenta la aplicación de recursos técnicos y humanos al servicio de las personas con discapacidad, y que los proyectos estén a disposición de los mismos.

Sería importante que la información, los proyectos y sus especificaciones puedan estar a disposición del público, dándole difusión y acceso libre (léase una plataforma Web, por ejemplo.)

Por último, deseo hacer énfasis en el hecho de la riqueza del trabajo interdisciplinario, ya que directa o indirectamente (como es mi participación), hemos aunado esfuerzos desde diferentes campos profesionales, en beneficio de las personas con Necesidades Especiales.

IX. CONCLUSIONES

Uno de los objetivos de la UID UNITEC y que comparte la Cátedra de Proyecto Final es ayudar a despertar la conciencia de la necesidad del desarrollo de una ética profesional en el ejercicio de la ingeniería que no sea ajena a los problemas sociales de nuestro tiempo, especialmente en el campo del trabajo, y se inspire en actitudes de servicio, justicia y solidaridad. Se intenta contribuir a la formación de profesionales eficientes y con alto sentido de la responsabilidad. La Extensión Universitaria es un ámbito propicio para el logro de estos propósitos.

Las conclusiones expresadas por los alumnos que llevaron adelante la construcción del comunicador pictográfico, así lo demuestran, ya que de ello se desprende que no solo reconocen el haber adquirido competencias relacionadas con el *saber* y el *saber hacer*, sino también con el *saber ser*:

“El prototipo realizado ha cumplido los objetivos propuestos. *Se ha logrado satisfacer las especificaciones propuestas obteniendo un producto confiable, robusto, escalable y expandible a otras demandas técnicas.*

El diseño y la planificación, previo estudio de la temática en cuestión, han logrado superar las expectativas iniciales.

La tarea realizada fue un hecho muy gratificante ya que permitió el diseño de un dispositivo orientado hacia un carácter social y humanitario. Con esto se intentó, de alguna manera, aportar nuestro pequeño grano de arena a una necesidad muy poco satisfecha por poseer un mercado limitado y además tener costos elevados, lo cual acota su posesión a usuarios con altos recursos.

Una recomendación importante es que se tenga en cuenta las mejoras a futuro ya que, como se expresó con anterioridad, se pretende lograr un producto económico y de una excelente calidad.

El trabajo con el campo de la comunicación alternativa y aumentativa abrió un capítulo para el desarrollo de tecnologías dedicadas que posibiliten el desenvolvimiento y crecimiento de aquellas personas cuyas posibilidades de comunicación se vieron limitadas por acontecimientos fortuitos.”

REFERENCES

- [1] www.unlp.edu.ar/extension
- [2] www.unlp.edu.ar/el_estatuto
- [3] J.A: Rapallini et al. Innovaciones en el desarrollo del Proyecto Final en Ingeniería Electrónica, Congreso Mundial de Ingeniería, 2010
- [4] T. E. Bell . Proven skills: new yardstick for schools, IEEE Spectrum, pp. 63 – 67, Sept. 2000
- [5] IEEE Trans. Educ., Vol 37, No. 2, pp.131-135, 1994.
- [6] Conf. Mundial sobre la Ed. Sup.. La educación superior en el siglo XXI: Visión y acción, 1998.
- [7] Hirsch, A.; Actitudes y ética profesional en estudiantes de posgrado en la Universidad de Valencia y en la UNAM, Reencuentro, 43, 26-33, 2005.
- [8] Hirsch, A., Construcción de una escala de actitudes sobre ética profesional, Revista Electrónica de Investigación Educativa, 7 (1), 2005.
- [9] NCVER (National Centre for Vocational Education Research), Fostering generic skills in VET programs and workplaces: At a glance, NCVER, Adelaide, 2003
- [10] P.M.Sartor, Educar para pensar y para trabajar. Ingenieros competentes = Profesionales de excelencia, Experiencias Docentes en Ingeniería, 2007
- [11] Sandra Patricia Espinoza Zacarías, “Técnicas pictográficas como sistema alternativo de comunicación para padres de niños con discapacidad intelectual moderada que asisten al centro para el desarrollo psicopedagógico integral Cedepi,” Universidad de San Carlos de Guatemala.
- [12] Patricia Paleta, Gabriela Sanguinetti, “Camino a un sistema de CAyA”.
- [13] Antonio Sacco, “Comunicador pictográfico, Especificaciones funcionales y técnicas,” Web: www.antoniosacco.net, 2010.
- [14] Matías Tenti y Jorge Santillán, Proyecto Final de Ingeniería Electrónica. Comunicador pictográfico para comunicación aumentativa y alternativa. Dto Electrotecnia. FIUNLP, 2011.
- [15] José Manuel Marcos Rodrigo “Experiencia práctica del uso de Sistemas de Comunicación y Ayudas en alumnos P.C.I.” Ponencia presentada en las “I Jornadas Aragonesas sobre Sistemas Aumentativos y Ayudas Técnicas para la Comunicación. C.P.E.E. (Colegio Público de Educación Especial) Alborada. Zaragoza. Web: <http://centros6.pntic.mec.es/cpee.alborada/>
- [16] J.L. San Martín, M.C. Cordero, R.M. Aldasoro, J.H. Massarutti, A.N. Isidori. La generación de competencias profesionales a través de un trabajo de extensión. Anales de la Sociedad Científica Argentina. Vol. 239, N°2. 2009.
- [17] F. A. Ferrari, J. A. Rapallini , P. S. Paús, F. H. Blassetti, M.A.Staiano, J.I. Gialonardo y M. C. Cordero, El Proyecto Final como Herramienta de interacción con Organizaciones Públicas. Revista Ingengerare, Facultad de Ingeniería, Pontificia Universidad Católica de Valparaíso, Valparaíso (Chile), Octubre 2008.
- [18] **URL:** http://www.espaciologopedico.com/articulos2.php?Id_articulo=143
- [19] **URL:** <http://www.catalogo-ceapat.org>
- [20] **URL:** www.enablingdevices.com
- [21] **URL:** www.ablenetinc.com
- [22] **URL:** www.mayer-johnson.com
- [23] **URL:** www.attainmentcompany.com
- [24] **URL:** www.salttillo.com
- [25] **URL:** www.toby-churchill.com
- [26] **URL:** www.catedu.es/arasaac/
- [27] **URL:** <http://www.adaptat.com/>
- [28] **URL:** www.educa.madrid.org/web/cpee.joanmiro.madrid/SPC/index.html
- [29] **URL:** http://sapiens.ya.com/eninteredvisual/rincon_de_la_ca.htm
- [30] **URL:** <http://www.dotolearn.com>
- [31] **URL:** <http://www.furgovw.org/index.php?topic=19252.0>
- [32] **URL:** <http://www.nobile.com.ar/resinas%20epoxi.htm>,
- [33] **URL:** http://es.wikipedia.org/wiki/Resina_epoxi
- [34] **URL:** www.atmel.com
- [35] **URL:** www.microchip.com
- [36] **URL:** www.st.com
- [37] **URL:** www.freescale.com

Educación a distancia aplicada al Desarrollo de Redes Neuronales en FPGA

Ing. Leonardo Navarria, Ing. José A. Rapallini, Ing. Antonio A. Quijano

Centro de Técnicas Analógico Digitales (CeTAD) - Codiseño Hardware/Software (CoHS)
Facultad de Ingeniería. Universidad Nacional de La Plata
Calle 48 y 116, La Plata 1900, Argentina
leonardonavarria@gmail.com, josrap@ing.unlp.edu.ar, quijano@ing.unlp.edu.ar

Resumen- Uno de los motivos más importantes del resurgir de las redes neuronales en la década de los ochenta fue el desarrollo de la tecnología microelectrónica de alta escala de integración o VLSI (Very Large Scale Integration), debido a dos circunstancias. Por una parte, posibilitó el desarrollo de computadores potentes y baratos, lo que facilitó la simulación de modelos de redes neuronales artificiales de un relativamente alto nivel de complejidad, permitiendo su aplicación a numerosos problemas prácticos en los que demostraron un excelente comportamiento. Por otra parte, la integración VLSI posibilitó la realización hardware directa de redes neuronales como dispositivos de cálculo paralelo aplicables a problemas computacionalmente costosos, como visión o reconocimiento de patrones. En el presente trabajo se indican cómo se llega a generar una red neuronal en un arreglo reconfigurable y luego se utilizarán las herramientas más actuales disponibles para el diseño de contenidos a distancia para hacer transferencias de conocimientos sobre Redes Neuronales.

Palabras claves: reconfigurables, neurocomputadoras, FPNA, educación, distancia, implementación

I. INTRODUCCIÓN

Durante los últimos 50 años las últimas generaciones han visto como las computadoras han formado parte de la vida cotidiana. Muchas aplicaciones son visibles como ser cajeros automáticos, calculadoras, celulares, en otros casos se incluyen aplicaciones en cuanto instrumental médico, supervisión y seguridad, comunicaciones.

El desarrollo de las ciencias de la computación ha seguido la línea arquitectónica del matemático John Von Neumann, que en 1947 diseñó una estructura basada en un procesamiento secuencial de datos e instrucciones. Esta estructura sigue rigurosamente un programa secuencial almacenado en la memoria. La arquitectura de Von Neumann se basa en la lógica de procedimientos que comúnmente utilizamos, hallando soluciones

parciales a un problema, que luego son utilizadas para lograr la solución final.

Por el contrario, una visión del cerebro a distancias microscópicas no concuerda con estructuras tipo Von Neumann ni con programas almacenados, lo que sí existe es una computación masiva de unidades concurrentes y redundancias de tareas y conexiones proporcionales a la robustez. El cerebro está especialmente orientado al procesamiento de información sensorial compleja y ruidosa.

Los avances en la arquitectura de los dispositivos FPGAs así como en sus herramientas de diseño han llevado a mejoras significativas en el diseño de sistemas digitales basados en esta tecnología. Esto se debe a que las recientes arquitecturas cuentan con la habilidad para reconfigurar una porción del dispositivo mientras el resto permanece aun operando. Las metodologías y herramientas actuales de diseño están en su mayoría enfocadas a diseños estáticos, lo que limita la adopción de la tecnología de reconfiguración dinámica en el desarrollo e implementación de sistemas. Como una solución a la escasa utilización de diseños reconfigurables dinámicamente, en años recientes han surgido nuevas metodologías y herramientas de diseño a nivel de investigación, que soportan la característica de reconfiguración dinámica en sus diseños. Sin embargo el diseño de sistemas con estas herramientas sigue siendo complejo debido a que presenta algunas desventajas, entre ellas requerir alto conocimiento de la arquitectura del dispositivo, la especificación de regiones reconfigurables, y no se cuenta con un procedimiento de diseño específico. La implementación de estos algoritmos tendrá como finalidad la especialización y el perfeccionamiento para obtener conocimientos en forma óptima y con alta flexibilidad. El aporte de esta investigación en FPGA permitirá abrir un camino de investigación en el CeTAD pudiendo ser cumplimentado con cursos para afianzar conocimientos en el área. Ya

realizada la profundización de la investigación como los cursos complementarios, se generará una red de conocimiento y trabajo en conjunto para transferir tecnología y conocimientos

II. NEUROCOMPUTADORES Y CHIPS NEURONALES

Para realizar redes neuronales artificiales se hace uso de las tecnologías microelectrónicas, desde los emuladores (aceleradores) hardware, especialmente concebidos para la emulación de las redes neuronales, hasta los chips neuronales, más próximos a la realización fiel de la arquitectura de la red. La implementación hardware de las redes neuronales no resulta una cuestión anecdótica, pues el impacto tecnológico y económico de las redes neuronales está avanzando en implementaciones electrónicas ya que los grandes recursos computacionales necesarios no son suficientes.

Por neuroprocesador se entiende un dispositivo con capacidad de cálculo paralelo, diseñado para la implementación de redes neuronales artificiales. Puede ser de propósito general o específico, y puede realizarse como un chip neuronal o como una placa aceleradora dependiente de un computador host.

III. MODELO GENERAL DE NEURONA ARTIFICIAL

Se denomina procesador elemental o neurona a un dispositivo simple de cálculo que, a partir de un vector de entrada procedente del exterior o de otras neuronas, proporciona una única respuesta o salida. Una neurona artificial forma la unidad básica de una red neuronal artificial. Los elementos básicos de una red artificial son las entradas, el peso sináptico y la función de transferencia.

A. Entradas

Las entradas x de un nodo, (están indexadas y reciben la señal correspondiente), expresadas en forma vectorial como: $x = (x_1, x_2, \dots, x_n)$. Las variables de entrada y salida pueden ser binarias (digitales) o continuas (analógicas), dependiendo del modelo y aplicación.

B. Peso Sináptico

Cada señal de entrada pasa a través de una ganancia o peso, llamado peso sináptico o fortaleza de la conexión cuya función es análoga a la de la función sináptica de la neurona biológica. Los pesos pueden ser positivos (excitatorios), o negativos (inhibitorios) y se denotan por $w = (w_1, w_2, \dots, w_n)$. El peso sináptico w , define en este caso la intensidad de interacción entre la neurona presináptica y la postsináptica. Dada una entrada positiva (procedente de un sensor o simplemente la salida de otra neurona), si el peso es positivo tenderá a excitar a la

neurona postsináptica, si el peso es negativo tenderá a inhibirla. Así se habla de sinapsis excitadoras (de peso positivo) e inhibidoras (de peso negativo).

La entrada neta a cada unidad puede escribirse de la siguiente manera:

$$neta_j = \sum_{i=1}^n x_i w_i = XW \quad (1.1)$$

C. Función de Transferencia

Como tercer componente se tiene la función umbral o función de transferencia que se encarga de pasar a la salida las señales de entrada acumuladas y sumadas en el nodo sumatorio. La función de activación o de transferencia proporciona el estado de activación actual a partir del potencial postsináptico y del propio estado del activador anterior. Sin embargo, en muchos modelos de redes se considera que el estado actual de la neurona no depende de su estado anterior, sino únicamente del actual.

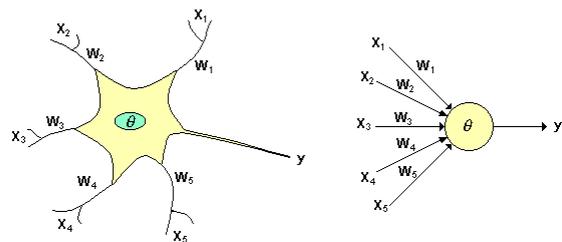


Figura 1: Similitudes entre una neurona biológica y una artificial.

La función de activación se suele considerar determinista, y en la mayor parte de los modelos es monótona creciente y continua, como se observa habitualmente en las neuronas biológicas.

IV. ARQUITECTURA DE REDES NEURONALES

Una definición de arquitectura es la topología, estructura o patrón de conexionado de una red neuronal. En una red neuronal los nodos se conectan por medio de sinapsis, la cual determina el comportamiento de la red. Las conexiones sinópticas son direccionales, es decir, la información solamente puede propagarse en un único sentido.

En general, las neuronas se suelen agrupar en unidades estructurales que denominaremos capas. Las neuronas de una capa pueden agruparse, a su vez, formando grupos neuronales (clusters). Dentro de un grupo, o de una capa si no existe este tipo de agrupación, las neuronas suelen ser del mismo tipo. Finalmente, el conjunto de una o más capas constituye la red neuronal.

Se distinguen tres tipos de capas: de entrada, de salida y ocultas. Una capa de entrada o sensorial está compuesta por neuronas que reciben datos o señales

procedentes del entorno (por ejemplo, proporcionados por sensores). Una capa de salida es aquella cuyas neuronas proporcionan la respuesta de la red neuronal (sus neuronas pueden estar conectadas a efectores). Una capa oculta es aquella que no tiene una conexión directa con el entorno, es decir, que no se conecta directamente ni a órganos sensores ni a efectores. Este tipo de capa proporciona a la red neuronal grados de libertad adicionales, gracias a los cuales puede encontrar representaciones internas correspondientes a determinados rasgos del entorno, proporcionando una mayor riqueza computacional.

Las conexiones entre las neuronas pueden ser excitatorias o inhibitorias: un peso sináptico negativo define una conexión inhibitoria, mientras que uno positivo determina una conexión excitatoria. Habitualmente, no se suele definir una conexión como de un tipo o de otro, sino que por medio del aprendizaje se obtiene un valor, el peso, que incluye signo y magnitud.

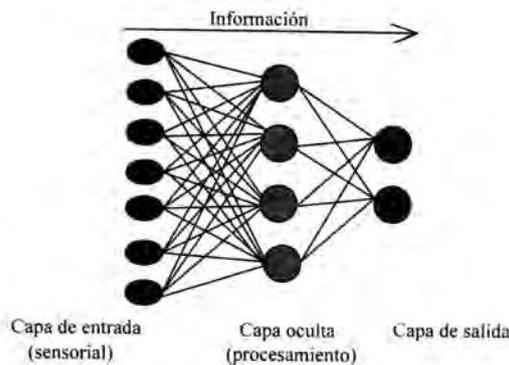


Figura 2: Arquitectura Unidireccional de tres capas: de entrada, oculta y de salida

V. IMPLEMENTACION DE UN MODULO DE RED NEURONAL PROGRAMABLE EN UNA FPGA (FPNN)

El primer tema del concepto del FPNA, *field programmable neural array*, es el desarrollo de una estructura neuronal que es fácil de mapear dentro del hardware digital, gracias a la topología simple y flexible. La estructura de un FPNA se basa en el principio de los FPGAs: funciones complejas implementadas por un set de recursos programables. La naturaleza y las relaciones de estos recursos de FPNA son derivados del proceso matemático que las FPNAs deben obtener.

Un Modulo FPNN (*field programmable neural network*) es un FPNA configurado, es decir un FPNA cuyos recursos han sido configurados de cierta manera, además se deben dar algunos parámetros para cada recurso de procesamiento. En otras palabras, la capa bajo el FPNN es un FPNA con una topología especificada en los recursos de la red neuronal. Esta FPNN está dada en un camino para especificar cuáles de estos recursos interactuarán para definir un comportamiento funcional.

Para la implementación de un FPNN se requiere un bloque predefinido que es simplemente ensamblando sobre una capa de una arquitectura de FPNA (el mapeo se hace de manera directa y paralela sobre la estructura neuronal en la FPGA).

Los recursos para poder implementar una FPNA son el conexionado y la activación. Cada uno de estos recursos corresponde a un bloque predefinido que cumple la función de recurso de procesamiento y protocolo de comunicación asincrónico y todos los bloques son ensamblados de manera acorde a un gráfico de FPNA. Esta implementación debe ser usada para cualquier FPNN derivado del FPNA: algunos elementos deben ser correctamente configurados dentro de cada bloque, tales como multiplexores o registradores. Tales FPNNs deben computar funciones complejas a pesar que su FPNA es simple. Además, este método de implementación es flexible y compatible con las exigencias del hardware. De una manera más general esta implementación muestra como el tiempo debe ser inherente en los cálculos de FPNN.

VI. CONCLUSIONES SOBRE FPNA

Los FPNA han sido redefinidos para poder armar las topologías de hardware simples con un complejo sistema de arquitectura de una red neuronal compleja gracias a los esquemas de procesamiento que crean numerosas conexiones virtuales con el uso de pocos enlaces del dispositivo, la aritmética y la estructura de la red neuronal. Este paradigma define el modelo neuronal cuyo poder de cómputo es similar a la red neuronal a pesar de la simplificada estructura que se encuentra bien emplazada por la implementación del hardware.

Tanto FPNA como FPNNs son ámbitos de trabajo para procesamiento de redes neuronales y una eficiente manera de adaptar una red neuronal a un hardware digital. La implementación de una red neuronal FPNA en un FPGA ha provisto de una alta eficiencia a las implementaciones basadas en FPGAs.

El inconveniente más importante aparece en el aprendizaje de un FPNN debido a que los recursos de neuronas se ven decrementados por las conexiones de los pesos.

VII. DISTITOS TIPOS DE EDUCACION

En la actualidad podemos distinguir nuevas modalidades del fenómeno educativo:

1. **Educación No Formal** representa el conjunto de procesos, medios e instituciones específica y diferenciadamente diseñados en función de objetivos explícitos de formación o de instrucción, que no están directamente dirigidos a la provisión de los grados propios del sistema educativo reglado.

2. **Educación Formal** comprende el sistema educativo altamente institucionalizado, cronológicamente graduado y jerárquicamente estructurado que se extiende

desde los primeros años del jardín de infantes hasta los estudios de pos grado.

3. **Educación Informal** es el proceso que dura toda la vida de la persona y es en dónde se adquieren y acumulan conocimientos, habilidades, actitudes y modos de discernimiento mediante las experiencias diarias y su relación con el medio ambiente.

La suma de las educaciones formal, no formal e informal debe abarcar la globalidad del universo de la educación, o dicho de otra manera, cualquier proceso que se incluya en el universo educativo debe poder incluirse en alguna de las tres clases de educación.

4. **Educación Presencial:** Es aquella en la cual coinciden tanto el educando como el educador en un mismo tiempo y espacio. Podría citarse como ejemplo de esta un Colegio Secundario en dónde asisten los alumnos y el profesor en un horario vespertino.

5. **Educación Semi Presencial:** Este tipo de modalidad contiene una cierta parte de educación presencial y una cierta parte a distancia. En cuanto a la parte presencial podemos decir que se realizan algunos encuentros entre educadores y educandos coincidiendo tiempo y espacio. En la parte a distancia, se realizan cursos utilizando herramientas tal cual se usan en la educación a distancia, dónde no coincide el espacio, pudiendo coincidir o no el tiempo.

6. **Educación a Distancia:** En esta modalidad el educador y el educando no coinciden en espacio, y opcionalmente pueden coincidir en tiempo. Se pueden citar como ejemplo cursos por correspondencia, universidades virtuales, y demás. Está muy a la vista que la educación a distancia hoy en nuestros días con la tecnología disponible como web 2.0, campus virtuales, videoconferencia, etc, han mejorado considerablemente la educación que se realizaba por correspondencia reduciendo de esta manera la distancia refiriéndose a la distancia entre el alumno y profesor que hoy en día existe físicamente, pero no de manera virtual.

VIII. EDUCACION A DISTANCIA

Las propuestas de educación a distancia se caracterizan por la utilización de una multiplicidad de recursos pedagógicos con el objeto de fortalecer conocimiento, independizando al alumno de los tiempos para el estudio.

El desarrollo actual de la tecnología favorece la creación y el enriquecimiento de las propuestas en la educación a distancia, surgiendo así un importante valor agregado al acceso y la utilización de información constantemente renovada.

Los nuevos desafíos que aparecen giran en torno a las investigaciones del conocimiento, comprensión y transferencia, y por las propias investigaciones realizadas por los programas en la modalidad. La psicología

cognitiva y sus derivaciones al campo de la didáctica han puesto énfasis en que las prácticas rutinarias raramente permitan desarrollar la capacidad de reflexión. Se trata de enseñar problemas existentes. En estos casos el reto de esta modalidad es la generación de materiales en los cuales las propuestas rompan los clásicos actos y forjen nuevos desafíos a los estudiantes.

Dicho de otra manera el desafío permanente es recordar el sentido político con el que nació la oferta, reconocer si los soportes tecnológicos que se están utilizando son los más adecuados para el desarrollo de los contenidos, identificar la propuesta de enseñanza y la concepción de aprendizaje que subyace y analizar de qué manera se consideran los desafíos de la distancia entre los alumnos y los docentes y de los alumnos entre sí.

La tarea de los tutores en la educación a distancia consiste en orientar y reorientar los procesos de comprensión y de transferencia diseñando actividades complementarias que favorecen el estudio de una perspectiva más amplia o integradora.

En la actualidad existen instituciones bimodales en cuanto al dictado de carreras y son aquellas que poseen los mismos departamentos académicos para modalidad presencial y para modalidad a distancia, creando así equipos interdisciplinarios que desarrollan y dirigen los cursos. Este tipo de modalidad descomprimen las aulas con una mejor atención al alumno. Se genera de esta manera una solución a la masividad de alumnos en los últimos tiempos.

La convivencia de las dos modalidades ayuda a superar la distancia entre docentes y alumnos, produciendo soluciones efectivas y llevando a las instituciones presenciales a gerencias cátedras, desarrollar nuevos contenidos, diseñar el aprendizaje, monitorear las conductas de los alumnos y generar docentes con nuevos roles

La Web 2.0 es la transición que se ha dado de aplicaciones tradicionales hacia aplicaciones que funcionan a través de la web enfocada al usuario final. Se trata de aplicaciones que generen colaboración y de servicios que reemplacen las aplicaciones de escritorio. Es una etapa que ha definido nuevos proyectos en Internet y está preocupándose por brindar mejores soluciones para el usuario final. Muchos aseguran que se ha reinventado lo que era Internet, otros hablan de burbujas e inversiones, pero la realidad es que la evolución natural del medio realmente ha propuesto cosas más interesantes.

El término de Web 2.0 proviene de una conferencia en la que se utilizaron un torbellino de ideas y en ese evento se hablaba del renacimiento y evolución de la web.

Entender la evolución que ha llegado con la Web 2.0 puede realizarse con ejemplos, con proyectos.

IX. IMPLEMENTACIÓN DE ESPACIOS DE ENSEÑANZA A DISTANCIA EN MICROELECTRÓNICA

Hasta el momento se ha logrado perfeccionamiento en el uso de herramientas informáticas de interés para el área educativa. Se han implementado los diseños de cátedras de microelectrónica. Con este fin, se presenta en la parte práctica del curso varias herramientas informáticas, que incorporan elementos interesantes como facilidades para la generación de aplicaciones multimediales, tutoriales, etc. Se trabajó el concepto de mediación desde el punto de vista epistemológico y se revisó el marco teórico y la historia de la educación a distancia. Asimismo, se revisaron los elementos didácticos y de comunicación que se entrelazan en una propuesta de enseñanza y cómo este tipo de propuestas se implementan en el inter-juego con la lógica de funcionamiento y el lenguaje de los entornos virtuales de enseñanza y aprendizaje (EVEAs). Se aprendió a construir los modelos que hay detrás de la lógica de funcionamiento de los EVEAs, en la parte práctica se trabaja el lenguaje, arquitectura y funcionamiento de estos entornos que dan marco a las propuestas de enseñanza mediadas por TICs.

Dada la amplitud del objeto de estudio, se abordó el análisis de los procesos cognitivos –habilidades y disposiciones, en la creación de recursos de simulación y el manejo de las redes informáticas, especialmente las herramientas de la llamada WEB 2.0 en franca expansión y cuyo uso en educación está siendo analizado.

La base de conocimientos adquiridos relativa a los medios digitales proporciona la oportunidad para su estudio en función de la naturaleza, expresión y modificación de los fenómenos cognitivos involucrados.



Figura 3: implementación de un curso utilizando Ardora®, herramienta que permite armar contenidos WEB 2.0

X. CONCLUSIONES Y TRABAJO A FUTURO

El aporte de esta investigación en FPGA permitió abrir un camino de investigación en el CeTAD, siendo este cumplimentado con cursos para afianzar conocimientos en el área. Realizadas la profundización de la investigación como los cursos complementarios se generará una red de conocimiento y trabajo en conjunto para transferir tecnología y conocimientos.

Como finalización e integración de las dos etapas de investigación sobre redes neuronales y especialización en educación a distancia se generará una red de conocimiento y trabajo conjunto a través de un plan de trabajo que se sustenta en los siguientes puntos:

- Mejora de la formación de recursos humanos respecto a la comprensión de conocimientos.
- Generación de herramientas para el desarrollo del recurso humano.
- Integrarse a redes de trabajo especializadas.

REFERENCIAS

- [1] L. J. Navarría, J.A. Rapallini, A.A. Quijano, "Diseño reconfigurables en filtros de baja frecuencia" XIV Workshop IBERCHIP IWS'2008, Puebla, México, Febrero de 2008
- [2] L. J. Navarría, J.A. Rapallini, A.A. Quijano, "Sistemas Reconfigurables" Agosto 2007, Trabajo Final, Facultad de Ingeniería UNLP.
- [3] David. M. Skapura, Building Neural Networks, New York: Addison Wesley Professional, 1996.
- [4] Redes Neuronales y Sistemas difusos: Martin del Brio, Bonifacio, Sanz Molina, Alfredo, 2da. Edicion Alfaomega Grupo Editor, 2002
- [5]"Neurocomputing". Robert Hecht-Nielsen. Addison-Wesley Publishing Company. 1989.
- [6] Burbules, N y Callister, T (h) (2001). Riesgos y promesas de las Nuevas Tecnologías de la Información. Buenos Aires: GRANICA - Educación.
- [7] Cabero, Bartolomé (Editor) (2000). Nuevas Tecnologías aplicadas a la Educación. Madrid: Editorial Síntesis.
- [8] Mena, Marta (1997). "Tensions and conflicting forces in Distance Education". En: ICDE: The New Learning Environments. A Global Perspective. Penn State University, June.
- [9] Moore, Michael; Kearsley, Greg (1996). Distance Education: a System view Wadsworth Publishing Company. USA

Kit de desarrollo educativo LPC 2400

Implementación de un kit de desarrollo basado en microcontrolador NXP.

Luis Antonini; Jorge Osio*; Jose Rapallini;

Centro de Técnicas Analógico – Digitales (CeTAD)

Facultad de Ingeniería – Universidad Nacional de La Plata

La Plata, Argentina

*Becario CIC – Comisión de Investigaciones Científicas de la Prov. de Bs. As.

luis_antonini@live.com.ar ; Jorge.osio@ing.unlp.edu.ar

Resumen— Los microcontroladores se encuentran presentes en la mayoría de los productos electrónicos que se fabrican y comercializan actualmente, cada vez son más utilizados con el objetivo de aumentar sustancialmente sus prestaciones, reducir su tamaño y costo. Es por esto que surge la necesidad de realizar este kit de desarrollo, su principal objetivo es la implementación de Sistemas Embebidos con la posibilidad verificar el sistema resultante.

Para la realización de este kit se utiliza un microcontrolador NXP de la familia LPC 2400, la misma otorga soporte a numerosas interfaces que son ideales para aplicaciones de comunicaciones.

El kit incluye una interfaz RS232, que se utiliza para programar el microcontrolador además de la finalidad que la aplicación le otorgue. Se proporcionan los requisitos de hardware para la implementación de un host USB con dos puertos. Cuenta con un conector SD de 4 bits, interfaz J-TAG y conector PS/2. Los pines no utilizados se encuentran accesibles.

Palabras Clave – Sistemas Embebidos, Placa de Desarrollo, Microcontrolador LPC2478, Kit Educativo .

I. INTRODUCCIÓN

Los microcontroladores LPC2400 de NXP son ideales para todo tipo de aplicaciones en el área de comunicaciones, dado que cuentan en forma integrada con numerosos controladores con los cuales se pueden implementar interfaces Ethernet, RS232, USB, entre otras. Por ello se eligió esta familia de microcontroladores para la realización de este kit de desarrollo.

El microcontrolador LPC2478 [1] es el que se utiliza para esta implementación dado que es el único de esta familia, que además, cuenta con interfaz para display gráfico para pantallas del tipo TFT y STN.

Este kit cuenta con los requerimientos de hardware necesarios para la implementación de un Host USB con dos conectores del tipo A de acuerdo a la especificación USB 2.0 [2, pp. 93-98], una interfaz RS232 la cual se puede utilizar para visualización y control desde una PC, una interfaz SD y un puerto PS/2 que puede ser utilizado para la implementación de un teclado del tipo de los utilizados en las PC's.

II. DESCRIPCIÓN DEL MICROCONTROLADOR LPC2478

El microcontrolador LPC2478 fue seleccionado para este proyecto por su alto nivel de integración, tiene un núcleo con arquitectura ARM7TDMI-S. Las instrucciones se ejecutan en forma secuencial con una velocidad máxima de 72 MHz.

Posee una memoria flash programable de 512 Kb con capacidad para programación en sistema ("In-System Programming), memoria SRAM de 98 Kb, controlador LCD y un controlador para memoria externa (EMC) que soporta RAM, ROM, flash y memorias dinámicas como SDRAM. En la figura 1 se muestra el diagrama en bloques del microcontrolador.

Este microcontrolador cuenta con las siguientes interfaces:

- 10/100 Ethernet MAC con interface MII/RMII.
- Dos puertos USB 2.0 full speed que pueden ser configurados individualmente como dispositivo, host o USB OTG.
- Cuatro interfaces RS232.
- Controlador CAN de dos canales.
- Controlador SPI.
- Dos controladores Synchronous Serial Ports (SSP).
- Tres interfaces I²C.
- Una interfaz Inter-IC Sound (I²S).
- Controlador SD/MMC.
- 160 puertos en entrada o salida para uso general.

elevar la frecuencia al máximo de 72 MHz. Asimismo se ubica en forma externa un cristal de 32 KHz para el bloque RTC.

A. La fuente de alimentación

Esta fuente de alimentación posee una entrada de tensión alterna de 9V con un requerimiento de corriente mínimo de 2A, sus salidas son de 5V y 3.3V. La primera tensión se utiliza en los puertos USB y en el conector PS/2. La tensión de 3.3V es utilizada por el microcontrolador y, además, por los diferentes bloques e interfaces.

La tensión alterna de entrada de 9V es rectificadora y filtrada para luego ingresar en un regulador switching el cual reduce esta tensión a 5V. La designación del regulador utilizado es PTN78060, perteneciente a la compañía Texas Instruments, el cual se puede observar en la figura 4.

Este regulador tiene una eficiencia mayor al 95% con una corriente máxima de salida de 3A [4, p.1]. Trabaja con una frecuencia switching de 550 KHz. Cuenta con un pin especial cuya función es apagar la fuente en caso que se ponga a un nivel de tensión bajo.



Figura 4. Regulador switching PTN78060.

Utilizando este pin, se implementó una lógica con flip-flop del tipo D y un pulsador con un filtro anti glitch con el objeto de apagar o encender toda la alimentación del kit mediante dicho pulsador.

Con los 5V obtenidos se ingresa a un regulador lineal de bajo “dropout”, LM1117, obteniendo finalmente en su salida la tensión de 3.3V-800mA [5, p.1], que el microcontrolador necesita para su funcionamiento.

La fuente cuenta en su salida con conectores dedicados de forma de poder suministrar alimentación a cualquier dispositivo que se quiera adicionar al kit de desarrollo.

Para indicar cuando la fuente recibe en su entrada tensión alterna se utiliza un led indicador de color amarillo y se utiliza

otro led de color verde para indicar cuando la fuente se encuentra encendida.

B. La interfaz USB

El microcontrolador cuenta en forma integrada con un controlador host USB de dos puertos. Dicho controlador adhiere a las especificaciones OHCI, tiene la particularidad de controlar en forma independiente la alimentación de ambos puertos, trabaja en full speed y cuenta con un led por puerto. En la figura 4 se muestra el diagrama en bloques de un puerto USB y en la figura 5 se muestra la implementación de uno de los puertos.

Suponiendo que se ha conectado un dispositivo el led tiene cuatro estados. Si se encuentra apagado el dispositivo no está configurado, al configurar correctamente el dispositivo el led se enciende. Cuando se transfieren datos el led parpadea y en caso de ocurrir algún tipo de error parpadea con una frecuencia mayor.

Las líneas de datos D+ y D- se diseñaron siguiendo las especificaciones y recomendaciones para trabajar en high speed [6, pp.1-2].

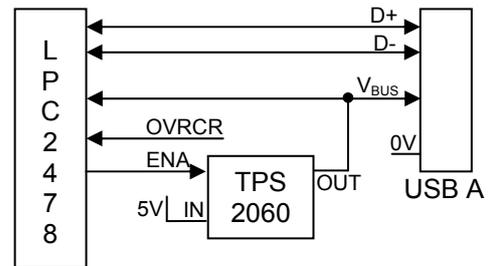


Figura 4. Diagrama en Bloques de un puerto USB.

La alimentación se activa o desactiva utilizando el circuito integrado TPS2060 de Texas Instruments [7]. Dicho integrado básicamente consiste en un switch digital controlado por un pin específico llamado “ENA” del controlador USB Host como se observa en figura 4. A su vez posee dos líneas que se realimentan al microcontrolador, una indica cuando el puerto posee alimentación y la otra línea indica la situación de sobre corriente (OVRCCR).

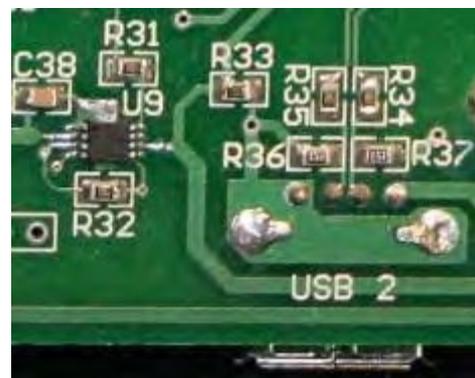


Figura 5. Detalle de uno de los dos puertos USB implementados.

C. La interfaz RS232

Esta interfaz utiliza el bloque UART0 del microcontrolador. Como ya se mencionó anteriormente, el objetivo de esta interfaz es programar el microcontrolador y poder visualizar y controlar el sistema desde una PC o darle la finalidad que la aplicación requiera.

Para programar el microcontrolador se debe utilizar la aplicación Flash Magic. Esto se logra colocando los jumpers “RST_E” y “ISP_E” que permiten a la aplicación controlar dichas líneas del microcontrolador. De esta forma se logra entrar al modo programación. En la Figura 6 se pueden ver los jumpers mencionados.

En este modo se puede grabar la nueva aplicación en la memoria del microcontrolador. Adicionalmente, se puede leer, borrar o setear dicha memoria.

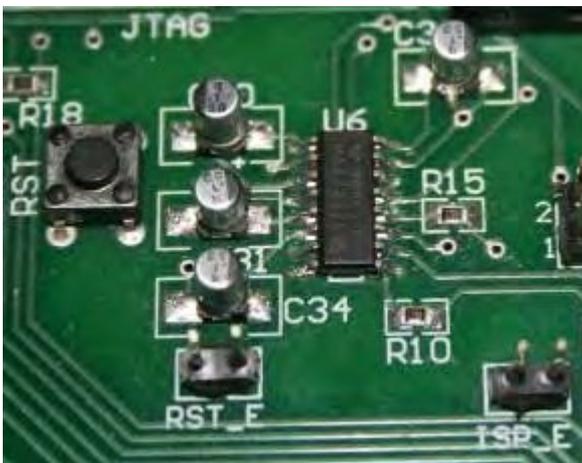


Figura 6. Detalle de los jumpers de programación y la interfaz RS232.

D. La interfaz SD

Las tarjetas SD o MMC pueden leerse o escribirse utilizando el protocolo SPI o el protocolo SD (modo de transferencia de 4 bit). Se implementa este último modo de transferencia con el fin de utilizar el bloque con que cuenta el microcontrolador. En la figura 7 se puede ver el diagrama en bloques de la interfaz.

La interfaz cuenta con las cuatro líneas de datos (D0 a D3) y la línea de comandos propia de la interfaz. El bloque denominado “Power Control” está formado por un transistor bipolar y su polarización, el cual se controla por la línea “ENA” del microcontrolador.

Este transistor polariza un MOSFET el cual trabaja en las zonas de corte o saturación, el resultado obtenido es el control de la alimentación de la tarjeta por un pin del microcontrolador.

La tensión de alimentación de la tarjeta se pasa por un filtro LC pasa bajos para reducir ruidos.

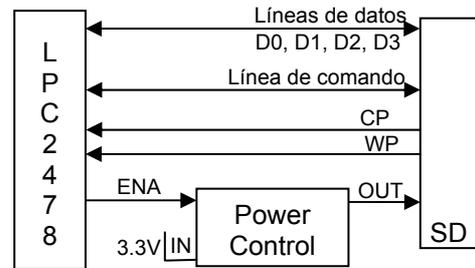


Figura 7. Diagrama en Bloques del puerto SD/MMC.

Se utiliza un conector de la compañía 3M. Dicho conector además de tener los contactos especificados, trae dos contactos adicionales para determinar cuándo se inserta una nueva tarjeta y si esta está protegida contra escritura. Estos contactos son los denominados “CP” y “WP” en el diagrama.

V. RESULTADOS OBTENIDOS Y APLICACIONES

Finalizada la etapa de armado del kit de desarrollo se procedió a realizar una implementación para chequear el correcto funcionamiento de cada uno de los bloques.

Dicha implementación consiste en el trabajo nombrado “Sistema Host USB para gestionar archivos entre dispositivos”. En este trabajo se implementan ambos puertos USB para acceder a dispositivos de almacenamiento masivo. Se utiliza la interfaz RS232 para programación, control y visualización desde la PC.

En dicho trabajo el kit de desarrollo no presentó defectos de diseño o fabricación. Se pudo programar correctamente el microcontrolador, acceder a los dispositivos USB y realizar todas las tareas implementadas.

Se debe aclarar que todos los módulos implementados en la placa funcionan correctamente, para la implementación de los demás módulos provistos por el microcontrolador se deberá agregar Hardware adicional.

Debido a las prestaciones del kit y a la amplia variedad de módulos disponibles en esta familia de microcontroladores, el “kit de desarrollo LPC2400” está orientado a la enseñanza de Sistemas Embebidos en cursos de postgrado, ya que la complejidad de las interfaces y las prestaciones escapan a los contenidos básicos de los cursos de grado.

Dentro de las aplicaciones más relevantes que conciernen a los Sistemas Embebidos este kit posibilita la implementación de las siguientes interfaces:

- **Interfaz Ethernet:** Se provee de un módulo Ethernet y de las librerías necesarias para implementar el stack TCP/IP. Dicho Stack soporta los protocolos IP, ICMP, UDP y TCP. Posibilitando la implementación de un web server.

- **Interfaz USB:** Se provee de un Módulo USB y de las librerías necesarias que permiten implementar USB 2.0 full-speed OTG/Device/OHCI plus PHY y DMA [8].
- **Bus CAN:** Se provee de 2 controladores CAN 2.0 y la librería necesaria para la configuración inicial.
- **Interfaz con Memorias:** Permite implementar la una interfaz con memorias externas SDRAM, SRAM y Flash [9-11].
- **Control de display Gráfico:** Se provee de un controlador y de librerías para posibilitar la configuración de paneles TFT y STN.
- **Sistemas Operativos Embebidos:** Se provee de soporte y librerías para la implementación de un Sistema operativo Linux embebido uCLinux y de varios Sistemas freertos.
- **BootLoader:** Se proveen las Librerías necesarias para implementar un bootloader por interfaces Ethernet [12], usb y RS-232.

VI. CONCLUSIONES

La principal conclusión, luego de haber diseñado este kit y la citada implementación, es la eficiencia en el diseño y la rápida fabricación que se logró gracias al soporte y la sencillez que esta familia de microcontroladores ofrece frente a la potencialidad de futuros desarrollos que se pueden obtener. En otras palabras, el microcontrolador provee toda la amplia variedad de módulos necesarios para la implementación de cualquier sistema Embebido, con los componentes mínimos indispensables se tiene implementados dos puertos USB, una SD y un puerto RS-232. Agregando HW adicional se puede implementar de manera rápida el resto de las interfaces.

La principal desventaja, es la escasa información disponible para el diseño del Esquemático y Layout del circuito impreso. Para lo cual se hace necesario realizar un estudio intensivo del microcontrolador y de las características del mismo. El manual

de la familia de microcontroladores solo cita que puertos utiliza cada bloque, pero no especifica cuáles son los requisitos de hardware.

Un aspecto sobresaliente son los reguladores switching de Texas Instruments, únicamente requieren un capacitor en la entrada otro a la salida y un resistor para determinar la tensión de salida. Con estos tres componentes se obtiene una fuente de alimentación de alta corriente, tensión regulable en un amplio rango y una eficiencia muy elevada.

VII. TRABAJO A FUTURO

Como trabajo a futuro se pretende aumentar las posibilidades de implementaciones con que este kit cuenta.

En una primera etapa se va a incorporar un teclado de tamaño reducido, se pretende que sea similar al de un celular actual, esto va a posibilitar el diseño de dispositivos versátiles y fáciles de transportar. Posteriormente se procederá a incorporar los requerimientos de hardware para dar soporte a una interfaz de display gráfico.

En la segunda y última etapa se desarrollará Hardware adjunto para la implementación de un Módulo Ethernet, un Bus Can y diferentes interfaces con memorias externas.

Todo esto posibilitará planificar cursos de postgrado orientados a la Enseñanza de Sistemas Embebidos abarcando todos los aspectos de dichos Sistemas.

REFERENCIAS

- [1] "Data sheet del producto LPC2478", http://www.nxp.com/documents/data_sheet/LPC2478.pdf, 29 de septiembre de 2010.
- [2] *Universal Serial Bus Specification*, Compaq, Hewlett-Packard, Intel, Lucent, Microsoft, NEC, Philips, 2000.
- [3] "UM10237 LPC24XX User Manual", http://www.nxp.com/documents/user_manual/UM10237.pdf, 26 de agosto de 2009.
- [4] *Datasheet PTN78060h*, Texas Instruments, Noviembre de 2004.
- [5] *Datasheet LM1117*, National Semiconductor, Junio de 2004.
- [6] *High-speed USB PCB Layout Recommendations*, Cypress, Noviembre 2002.
- [7] *Datasheet TPS2060*, Texas Instruments, Abril de 2007.
- [8] *NXP USB Host Lite*, NXP Semiconductors, Application Note AN10703, July 14, 2008.
- [9] *Using the LPC24xx EMC peripheral to drive SDRAM*, NXP Semiconductors, Application Note AN10771, December 1, 2008.
- [10] *LPC24XX external memory bus example*, NXP Semiconductors, Application Note AN10950, July 6, 2010.
- [11] *Flash based non-volatile storage*, NXP Semiconductors, Application Note AN10744, January 5, 2011.
- [12] *Ethernet Secondary ISP Bootloader*, NXP Semiconductors, Application Note AN10744, September 3, 2008.

Kit de desarrollo para la Enseñanza de Circuitos Digitales y Sistemas Embebidos

Diseño de un kit de desarrollo basado en la Familia MC9S08 de Freescale.

Adrian Gomez Asoia; Victor Goncebat; Jorge Osio*¹; Martin Sisti*²; Walter Aroztegui; Jose Rapallini;

Centro de Técnicas Analógico – Digitales (CeTAD)

Facultad de Ingeniería – Universidad Nacional de La Plata

La Plata, Argentina

*¹Becario CIC – Comisión de Investigaciones Científicas de la Prov. de Bs. As.

*²Becario UNLP – Facultad de Ingeniería de la Universidad Nacional de La Plata.

vgoncebat41@hotmail.com; Jorge.osio@ing.unlp.edu.ar; msisti2@gmail.com; walter.aroztegui@gmail.com; josrap@gmail.com

Resumen— Este trabajo presenta un nuevo kit de desarrollo de freescale, diseñado especialmente para usar con la metodología de enseñanza planificada e implementada en la Cátedra de Circuitos Digitales y Microprocesadores de la Facultad de Ingeniería de la UNLP. Dicha cátedra forma parte del grupo de materias del área de especialización de Sistemas Digitales y Computadores. Es por esto, que los contenidos de la materia forman un nexo entre los sistemas lógicos y digitales y la arquitectura de computadores. Básicamente, se plantea una metodología teórico práctica en donde se dan los contenidos teóricos necesarios, para luego aplicarlos en la práctica mediante herramientas de desarrollo como software para simulación, programación y debugging en Circuito de microcontroladores de 8 bits de la Familia JMXX de Freescale. Estas herramientas van acompañadas del nuevo kit de desarrollo MC9S08 y varios periféricos que permiten combinar el diseño de circuitos digitales con la programación de Microcontroladores cumpliendo con los objetivos de la materia de forma íntegra.

El kit está formado por 2 placas, una de ellas es el programador y debugger USBDM que permite programar y hacer debbugging en circuito de los programas realizado en el software codewarrior. La segunda placa, es la placa de desarrollo MC9S08, la cual permite programar cualquier microcontrolador de la familia MC9S08 posibilitando el acceso a todos los pines del mismo. Adicionalmente puede ser alimentada con un transformador externo entre 6,5 y 12V o mediante el puerto USB. También provee la posibilidad de programación en circuito mediante dicho puerto, prescindiendo del programador USBDM.

Palabras Clave – *Sistemas Embebidos, Circuitos Digitales, Microcontroladores, Enseñanza de Circuitos Digitales y Sistemas Embebidos, Kit Educativo MC9S08.*

I. INTRODUCCIÓN

Para una mejor descripción de la metodología de enseñanza y de la utilidad del kit MC9S08, se comienza por realizar una descripción del área dentro de la especialidad en donde se encuentra incluida la materia. Luego, se describe la metodología, en sí misma y los aportes que este nuevo kit brindará a la materia. Por último se realizará una descripción completa de las prestaciones del nuevo kit.

A. Área de Enseñanza

El área de enseñanza contempla la especialidad Digital y está compuesta por un grupo de materias que permiten recorrer el Diseño Digital desde los componentes básicos, hasta los Sistemas más complejos.

B. Objetivos y Metodología

En la sección "Objetivos y Contenidos de la Materia" se busca describir la importancia de introducir al alumno en el diseño digital acompañando los fundamentos teóricos con una fuerte parte práctica que le permite al alumnos desarrollar y ejercitar la capacidad de diseño y resolución de problemas.

La metodología presentada ha demostrado, durante varios años, cuan eficiente es aplicándola en el área de digitales y con el respaldo de un grupo docente fuertemente capacitado para dar soporte y ayudar al alumno a desarrollar la capacidad de razonamiento sobre los temas en cuestión.

C. Comparación entre el kit MC9S08 y el Kit evalQTY

Mediante la comparación con el kit evalQTY, utilizado en la enseñanza de Circuitos Digitales y Microprocesadores en años anteriores, se presenta la gran variedad de

posibilidades de desarrollo y diseño que aporta este nuevo kit.

D. Implementación del Kit MC9S08 y Aplicaciones

Por último se realizará una descripción del funcionamiento del nuevo kit, junto con las aplicaciones a desarrollar dentro de la Materia en la cual se va a utilizar. Dentro de las aplicaciones a desarrollar, se diferenciarán las aplicaciones de años anteriores con las nuevas aplicaciones potenciadas por las prestaciones del kit MC9S08.

II. ÁREA DE ENSEÑANZA

En la Figura 1 se muestra la distribución de las materias del Área, con “Programación, Algoritmos y Estructuras de datos” como primer materia. Dicha asignatura, se dicta en el cuarto semestre de la carrera de Ing. Electrónica y tiene como principal herramienta la programación en C.

Luego en el cuarto año (séptimo semestre) se desarrolla “Introducción a los sistemas Lógicos y Digitales” (ISLyD), donde se aborda en general la base de los Sistemas Digitales con algunos ejemplos en FPGA.

Más allá de estas dos materias, en el octavo semestre, se encuentra Circuitos digitales y Microprocesadores que contempla la descripción de un microprocesador y sus aplicaciones, además se presentan circuitos digitales basados en lo dictado en ISLyD con aplicaciones relacionadas a las demás especialidades de la Electrónica. A continuación se indican las materias que forman parte del Área Digitales:

- Programación, algoritmos y estructura de datos (PAyED)
- Introducción a los sistemas lógicos y digitales (ISLyD)
- Circuitos digitales y microprocesadores (CDM)
- Arquitectura I (Arq I)
- Arquitectura II (Arq II)
- Sistemas operativos y redes (SOyR)

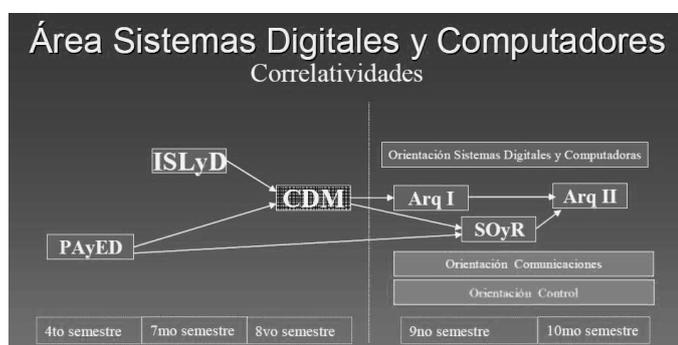


Figura 1. Distribución de las Materia del Área

III. OBJETIVOS

Los objetivos en relación a los contenidos de la materia son los siguientes:

1) *Comprensión del funcionamiento de un procesador. Estudio desde el punto de vista físico y lógico de los microprocesadores:*

a) Diagrama de bloques, Buses, Registros, Instrucciones, Modos de direccionamiento, Estructura algorítmica. (CPU) [5]

b) Periféricos de entrada/salida. Proceso de interrupción, Temporizadores, Comparadores y capturadores.(MCU) [6]

2) *Tipos y Selección de procesadores genéricos*

a) Estado del arte y criterios comparativos de procesadores [4]

3) *Conceptos de diseño digital con microprocesadores y microcontroladores [3] y [4]*

4) *Introducción al Diseño Digital de Alto Nivel de Complejidad:*

a) Codiseño Hardware/Software. Flujo de diseño. Herramientas EDA (electronic design automation) en diseño digital.ASIC y FPGA

5) *Utilización de procesadores genéricos:*

a) Programación en C [2]

b) Realización de experiencias concretas con elementos de entrada/salida:

- Caso de estudio MC9S08 [7]
- Aplicaciones con periféricos (Display, Teclado, control de motores, integrados con diferentes protocolos de comunicaciones).

IV. METODOLOGÍA DE ENSEÑANZA

La metodología de enseñanza tiene en cuenta cuatro factores principales para la instrucción del Alumno.

El primer factor consiste en hilvanar los temas vistos en la materia anterior (Introducción a los Sistemas Lógicos y Digitales) con los contenidos de la materia. Esto se logra por un lado, indicando de manera teórica como los elementos vistos anteriormente se relacionan para formar un Microprocesador y otros Sistemas digitales complejos. Por otro lado se integran los conocimientos vistos anteriormente en un Trabajo Práctico mediante simulación de circuitos.

Los dos Factores principales están muy estrechamente ligados y coordinados para lograr instruir al alumno de manera que pueda fijar los conocimientos teóricos mediante la aplicación práctica de los mismos.

Por último se puede considerar como factor complementario el hecho de incluir dentro de los Trabajos Prácticos aplicaciones que involucran temas y elementos específicos de otras especialidades de la electrónica, como son el área de comunicaciones y control.

A. Metodología Teórica

Las clases teóricas se dictan mediante filmas ilustrativas que permiten al alumno apreciar detalles de

Imágenes y gráficos de manera interactiva. Los temas teóricos están diagramados de tal manera que los alumnos puedan fijarlos mediante la correspondiente clase práctica, de manera casi simultánea [4] y [5].

B. Metodología Práctica

La metodología práctica está diagramada en dos módulos. Todos los Trabajos Prácticos se realizan en Computadora con diferentes herramientas. En cada clase los alumnos tienen una introducción a las prácticas y luego realizan parte de los ejercicios correspondientes al Trabajo práctico en cuestión.

Es importante destacar que los alumnos forman comisiones de tres para realizar los ejercicios prácticos, los cuales deben ser entregados antes de la siguiente clase práctica para la posterior corrección.

El primer módulo contiene una práctica 0 que consiste en la simulación de circuitos, mediante el software de la Figura 2, basados en los temas vistos en la materia previa [2].

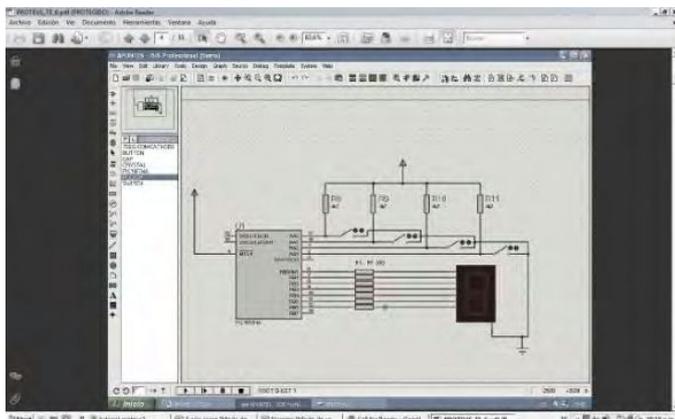


Figura 2. Software de Simulación de circuitos.

Luego se presenta una práctica que consiste en introducir al alumno en el código assembler y en las características de un microprocesador (en cuanto a registros, set de instrucciones, códigos de operación y modos de direccionamiento). En esta instancia el alumno comienza a utilizar el software Codewarrior, de la Figura 3, mediante la compilación y la simulación de código. Luego las siguientes prácticas de la primera parte de la materia consisten en la programación y simulación en assembler de ejercicios que requieren el manejo de datos, la conversión entre sistemas de numeración, implementación de operaciones y algoritmos matemáticos. Cabe aclarar que previo a cada programa deben realizar el diagrama de flujo describiendo el funcionamiento que deberá realizar el programa. Este tipo de ejercicios hace que el alumno desarrolle su capacidad de programar y de resolver problemas.

El Segundo Módulo consiste básicamente en la programación en Lenguaje C de todos los módulos

periféricos que permiten la interfaz con otros dispositivos. De esta manera se realiza el control de un Display, de un Teclado y de varios módulos expansores mediante protocolos como el serial asincrónico, el SPI, el I2C. y para el Control de un motor de continua el PWM.

Con la llegada del Kit MC9S08 se incluyen aplicaciones que involucran el puerto USB, permitiendo la implementación de un bootloader, un puerto com virtual y el envío de datos mediante este medio hacia la PC.

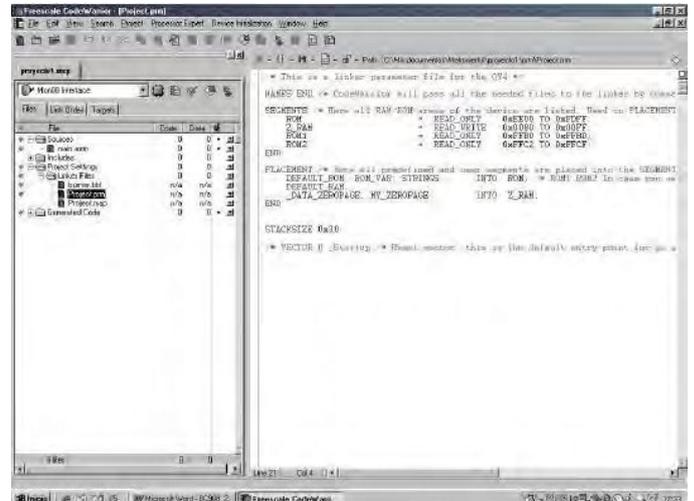


Figura 3. Software de Programación en C "Codewarrior" [2].

V. COMPARACIÓN ENTRE EL KIT MC9S08 Y EL KIT EVAL08QTY

A. Características del Kit EVAL08QTY

Los KIT's EVAL08, han sido diseñados para manejarse en idéntico entorno a los ICS08 de Motorola, son simuladores en circuito "en no tiempo real" y "Debugger / Emuladores en Tiempo Real" que permiten la confección, edición, compilado y debugging de programas bajo un mismo "entorno".

Este kit está fuertemente ligado al entorno "WinIDE" (Windows Integrated Development Environment) y permite realizar lo siguiente:

- Manejo total de registros del CPU, memoria RAM, Flash, y registros generales del MCU.
- Introducción de hasta 64 "Breakpoints" por soft, en cualquier posición del programa, también disparado por un valor de Acumulador, o por el Stack Pointer (SP) (solo en el modo ICS , NO DISPONIBLE en el modo IDS (Debugger en Tiempo Real)).

- Modalidades de ejecución "paso a paso", continuo, o "pasos multiples", con visualización de los estados reales de registros y memorias.
- En el modo "Debugger", puede correr en tiempo real desde RAM o desde Flash (en este caso solo se permite un solo "hardware" Breakpoint).
- Posibilidad de elegir entre "Modo Simulación", "Modo Emulación" y "Modo Emulación en Circuito en tiempo Real".
- Creación de "macros" para ejecución automática de programas.
- Armado de "carpetas" de proyecto con todos los archivos involucrados en el mismo.
- Visualización en pantalla de registros del CPU, ventana de memoria, variables elegidas por el usuario, etc.
- Verdadero nivel "simbólico" del programa bajo emulación (conserva nombres de variables y etiquetas, sin reemplazarlas por su verdadera posición).

Se debe aclarar que este kit también se puede programar en Codewarrior, pero no soporta todas las funcionalidades que dicho software provee.

B. Características del Kit MC9S08

Como se explicó anteriormente, este kit está formado por un programador llamado USBDM, el cual se conecta a la PC mediante el puerto USB, es 100% compatible con el Software Codewarrior para hacer programación, simulación y debugging en circuito. Adicionalmente, permite alimentar la placa MC9S08 con 5 o 3,3V para realizar el debugging de la aplicación o la programación.

Esta simple interfaz BDM permite programar y hacer debugging de las siguientes familias:

- HCS12 (incluyendo aquellos que no poseen SYNC (ej. 9S12DP256B))
- HCS08
- Coldfire V1 microcontrollers
- RS08

En la figura 4 Se muestra la Placa MC9S08 conectada al programador USBDM que se encuentra a la derecha de la misma. En dicha Figura se puede observar que la placa MC9S08 está formada por una placa base que contiene los componentes necesarios para proveer alimentación, un conector miniUSB para implementar aplicaciones USB y el modo bootloader, pulsadores de reset y el conector de programación BDM.

La placa base también posee 2 tiras de postes de 64 pines para poder conectar HW externo al microcontrolador, con la posibilidad de proveer VCC y GND.

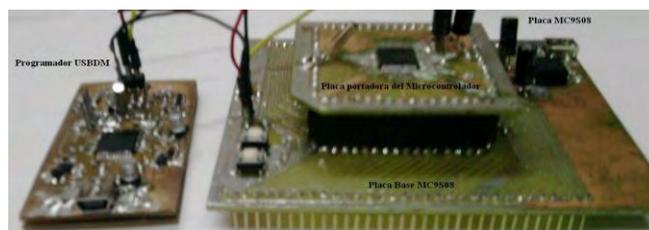


Figura 4. Kit de Desarrollo MC9S08.

Este kit fue especialmente diseñado para usar con el programador USBDM, pero también puede ser programado con el multilink y cualquier programador que utilice un método similar.

La placa MC9S08 también está formada por una placa más pequeña, la cual contiene el Microcontrolador a programar con los componentes necesarios para generar la frecuencia de trabajo y recibir alimentación. Esta placa contiene 4 zócalos que forman un cuadrado y mediante los cuales se conecta a la placa base.

Este diseño tan particular permite programar en un mismo kit cualquiera de los Microcontroladores de la Familia HCS08 con solo cambiar la placa portadora del Microcontrolador. Por otro lado se está analizando la factibilidad en la programación de la familia HCS12 y RS08.

C. Comparación entre kits

En la Tabla 1 se realiza la comparación entre los kits, en cuanto a prestaciones, posibilidades y tecnologías.

TABLA I. TABLA COMPARATIVA

Aspecto	Características de cada kit	
	Kit MC9S08	Kit eval08QTY
Microprocesador	Basado en el CPU HCS08 [7]	Basado en el CPU08 [8]
Frec. de bus	20 Mhz max. (40Mhz de CPU)	8 Mhz max.
Programación	Interfaz USB [11]	Interfaz Serie vía RS-232
Software	Codewarrior 100% compatible	WinIDE 100% compatible, Codewarrior parcialmente compatible para debug
Microcontrolador	Toda la familia HCS08	HC908QT/QY
Módulos implementables	Timer , PWM, CAD de 12bits, USB, SPI, I2C, SCI, USB, JTAG, etc.	Solo Timer, PWM y CAD
Consumo	Posibilidad de low power	-

Observando la tabla se puede analizar la potencialidad del nuevo kit, por un lado porque permite debugging en circuito mediante codewarrior sin restricciones, lo que posibilita hacer debugging en código Assembler y código C. Por otro lado, al trabajar con una tecnología más nueva, posibilita la

implementación de aplicaciones a más alta frecuencia y la realización de aplicaciones con interfaz USB.

Por último la otra gran ventaja es que permite programar toda una familia de Microcontroladores, con la gran variedad de módulos que esta incluye. El programador eval08QTY solo programa 2 Microcontroladores de baja gama.

VI. RESULTADOS OBTENIDOS Y APLICACIONES

Finalizada la etapa de armado del kit de desarrollo se realizaron implementaciones para chequear el correcto funcionamiento del kit. Las pruebas se hicieron con un Módulo que contiene el Microcontrolador de la familia MC9S08JM16.

Se debe resaltar que las pruebas se hicieron con aplicaciones, [10], en lenguaje C que utilizan prácticamente todos los periféricos disponibles en la cátedra de CDM.

A. Prueba del conversor AD

Se realizó una prueba básica configurando el conversor AD de 8 bits para que funcione en conversión continua y de esta manera mostrar el resultado de la conversión en uno de los puestos de 8 bits. A continuación se muestra la configuración del Módulo AD:

```
void init_ADC (void)
{
    ADCSC1 = 0x00; //Borra el Registro
    ADCSC1_ADSC = 1; //Conversiones Continuas
    APCTL1_ADPC1 = 1; //Deshabilita como I/O
    ADCCFG_MODE0 = 0; //Setea registro de 8 bits
    ADCCFG_MODE1 = 0;
    ADCSC1_ADCH = 00001; //Setea el canal 1 del ADC
}
```

B. Envío de datos mediante el expansor I2C al Display

El expansor es el integrado MCP23008, [12], que se maneja mediante el protocolo I2C utilizando solo 2 líneas, una de clock y una de datos. Este permite enviar o recibir datos vía este protocolo y mostrar los mismos en un puerto de 8 bits que contiene dicho integrado. El MCP23008 se puede configurar mediante registros y una serie de comandos que se guardan en dichos registros como se muestra la figura 5 [12]. Este ejemplo permite recibir datos desde un teclado de 4x4 mediante 4 pines de entrada del expansor y enviar la tecla presionada al display LCD mediante 4 pines de salida del expansor. El código necesario para la aplicación es el siguiente:

```
void main(void) {
    VPTB=0x00; /*se inicializa a 0 el puerto del expansor I2C*/
    while(transfer(dir,gpio,buffer,1)!=0); /*se transfiere el valor en el
    puerto virtual a la salida del expansor*/
    VPTB=0x00; /*se configuran todos los pines del puerto del expansor
    como salidas*/
    while(transfer(dir,iodr,buffer,1)!=0); /*se transfiere el valor en el
    puerto virtual a la salida del expansor*/
    espera(50000); /*tiempo de inicialización del LCD*/
    escribe(0x28,60); /*configura el LCD para comunicaciones de 4 bits*/
    escribe(0x0c,60); /*apaga la luz de fondo y el cursor del LCD*/
}
```

```
escribe(0x01,2000); /*borra la memoria del LCD*/
escribe(0x06,60); /*se usarán dos líneas de caracteres de 5x8*/

for(;;) { /*bucle infinito*/
    /*"i" se usa como contador de caracteres global de la cadena y "j"
    como contador dentro de un segmento de 16 caracteres dentro de la cadena*/
    while((j<8) && (cadena[i]!='\0')) { /*mientras no se llegue al final del
    mensaje ni de la primera línea*/
        VPTB_RS=1; /*se setea RS en el puerto del expansor*/
        while(transfer(dir,gpio,buffer,1)!=0); /*se transfiere el valor en el
        puerto virtual a la salida del expansor*/
        escribe(cadena[i],70); /*se escribe en la pantalla del display el caracter
        número i*/
        VPTB_RS=0; /*se borra RS en el puerto del expansor*/
        while(transfer(dir,gpio,buffer,1)!=0); /*se transfiere el valor en el
        puerto virtual a la salida del expansor*/
        i++;
        j++;
    }
    escribe(0xc0,60); /*se pasa a escribir a la segunda línea del display*/
    while((j<16) && (cadena[i]!='\0')) { /*mientras no se llegue al final del
    mensaje ni de la segunda línea*/
        VPTB_RS=1; /*se setea RS en el puerto del expansor*/
        while(transfer(dir,gpio,buffer,1)!=0); /*se transfiere el valor en el
        puerto virtual a la salida del expansor*/
        escribe(cadena[i],70); /*se escribe en la pantalla del display el caracter
        número i*/
        VPTB_RS=0; /*se borra RS en el puerto del expansor*/
        while(transfer(dir,gpio,buffer,1)!=0); /*se transfiere el valor en el
        puerto virtual a la salida del expansor*/
        i++;
        j++;
    }
    if(cadena[i]=='\0') { /*si se llevo al final de la cadena, se reinicia
    el contador global de caracteres*/
        i=0;
        for(j=0;j<20;j++){
            /*al escribir el mensaje completo o los 16 caracteres del display, se
            espera 1 seg, se reinicia el contador de caracteres dentro del segmento, se
            borra el display y se empieza a escribir en la primera línea*/
            espera(50000);
            escribe(0x01,2000);
            j=0;
        }
    }
}
```

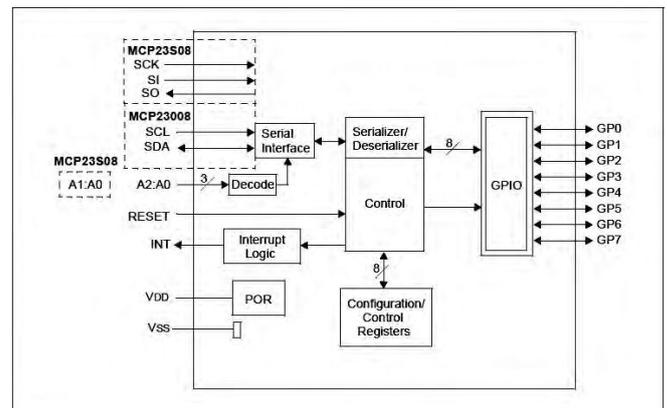


Figura 5. Diagrama en bloques del Expansor MCP23008.

C. Prueba del control de un motor de continua

El control del motor de corriente continua se realiza mediante un potenciómetro que se conecta a la entrada del canal 1 del conversor AD, [9], del Microcontrolador y la implementación de una señal PWM que se envía al motor

por medio de un puente H. La utilización del puente H permite no solo variar la velocidad del motor mediante el ancho de pulso del PWM, sino también invertir el sentido de giro del mismo.

A continuación se muestra el código de inicialización de los Módulos PWM y Conversor AD respectivamente, mediante la herramienta de codewarrior llamada processor expert.

```
void PWM1_Init(void)
{
  /*TSC: TOF=0,TOIE=0,TSTOP=1,TRST=1,??=0,PS2=0,PS1=0,PS0=0 */
  setReg8(TSC, 0x30);          /* Stop and reset counter */
  /*TSC1:CH1F=0,CH1IE=0,??=0,MS1A=0,ELS1B=0,ELS1A=0,TOV1=1,
  CH1MAX=0 */
  setReg8(TSC1, 0x02);        /* Set output signal level to high */
  /*TSC1:CH1F=0,CH1IE=0,??=0,MS1A=1,ELS1B=1,ELS1A=0,TOV1=0,
  CH1MAX=0 */
  setReg8(TSC1, 0x18);        /* Set up PWM mode */
  RatioStore = 0x00;          /* Store initial value of the ratio */
  setReg8(TMODH, 0xFF);      /* and to the period-modulo register */
  setReg8(TMODL, 0xFF);
  SetPV((byte)0x05);          /* Set prescaler register according to the
  selected high speed CPU mode */
  setReg8(TCH1H, 0x00);       /* Store initial value to the duty-compare
  register */
  setReg8(TCH1L, 0x00);       /* TSC: TSTOP=0 */
  clrReg8Bits(TSC, 0x20);     /* Run counter */
}
void AD1_Init(void)
{
  //La configuración del conversor se detalla en el inciso A.
}
```

D. Implementación de un bootloader

La Familia MC9S08JMXX tiene soporte para la implementación de un bootloader (Programación en circuito mediante el puerto USB) en la “nota de aplicación AN3561” de freescale [13]. Dicha nota no solo explica como implementar el bootloader y las características del mismo, sino también como instalar los drivers para que el software de programación funcione correctamente. Adicionalmente, se proveen todas las librerías necesarias para su implementación y varios ejemplos de prueba aplicados al JM60.

REFERENCIAS

- [1] Cazares Juan, Haro Diego, Hueso Jaime, Muriel Eduardo, Puebla Luis: Microcontroladores Motorola - Freescale Programación Familias y Sus Distintas Aplicaciones en La Industria, Ed. Alfaomega 2008.
- [2] Programación de Sistemas Embebidos en C, Gustavo Galeano, Ed Alfaomega, 2009
- [3] Microcontroller Technology : The 68HC11 and 68HC12, Peter Spasov Ed. Prentice Hall (5th Edition) 2004
- [4] D. A. Patterson, J. L. Hennessy: Estructura y diseño de computadores. Ed. Reverté, 2000
- [5] Jorge R. Osio, Walter Aróztegui, José Rapallini, ” Descripción General de un Microcontrolador – CPU”, Laboratorio CeTAD, Facultad de Ingeniería, UNLP, 2010
- [6] Jorge R. Osio, Walter Aróztegui, José Rapallini, ” Descripción General de un Microcontrolador – Módulos”, Laboratorio CeTAD, Facultad de Ingeniería, UNLP, 2010

VII. CONCLUSIONES

El diseño del kit MC9S08 ha sido exitoso en todos sentidos, por un lado las pruebas de Hardware demostraron que se puede utilizar con alimentación externa o alimentación provista por el programador USBDM. También, se realizaron aplicaciones que utilizan todos los periféricos utilizados en la cátedra de CDM con buenos resultados.

Por otro lado se logró incorporar la tecnología USB, lo cual es muy positivo, no solo por se está la interfaz universal por excelencia en todas las computadoras, sino también porque permite agregar contenidos a la materia sobre la implementación de nuevas tecnologías.

Por último, se puede afirmar que este kit abre un abanico de aplicaciones y soluciones que se podrán implementar en la cátedra de CDM, mediante la posibilidad de utilizar una amplia variedad de Dispositivos de toda la familia HCS08 y por si fuera poco, como se puede observar en la Figura 4, podrá ser fabricado y armado por los mismos alumnos al más bajo costo. Esto es importante si se tiene en cuenta que se trata de una universidad pública en donde muchos de los alumnos tienen bajos recursos.

VIII. TRABAJO A FUTURO

Como trabajo a futuro quedaría el armado de un Apunte de cátedra que incluya la explicación y funcionamiento de la tecnología USB. El armado de un manual completo del kit MC9S08 sobre su uso, las posibles configuraciones y la descripción de cada uno de los pines que poseen los conectores de placa Base.

También queda pendiente la inclusión de varias aplicaciones útiles que utilicen la interfaz USB con la PC.

- [7] Data sheet: MC9S08JMXX Microcontrolers, Rev. 5, 02/2008
- [8] Reference Manual: CPU Central Processor Unit Microprocesador, CPU08RM, Rev. 4, 02/2006.
- [9] J. Feddeler, Lucas Bill: ADC Definitions and Specifications, División de sistemas de Ingeniería, Austin, Texas, febrero de 2003.
- [10] Douglas H. Summerville: “Embedded Systems Interfacing for Engineers using the Freescale HCS08 Microcontroller II: Digital and Analog Hardware Interfacing”, State University of New York at Binghamton, Morgan y Claypool Publishers, 2009.
- [11] Mark Martinets: “Interrupt Handling Considerations When Modifying EEPROM on HC08 Microcontrollers”, Nota de aplicación, Motorola, agosto de 2002. Universal Serial Bus Specification, Compaq, Hewlett-Packard, Intel, Lucent, Microsoft, NEC, Philip.
- [12] Datasheet: MCP23008 – 8-bit IO Expander with Serial Interface, Microchip, 2005.
- [13] Patric Yang: Application Note: “AN3561 – USB Bootloader for the MC9S08JM60”, Freescale Semiconductor , Asia, Rev. 1 , 05/2008.

Fatiga en sistemas micro-electro mecánicos (MEMS) capacitivos

Hugo López Montenegro
Lab. Materiales
UNMdP
hmonteleoarn@fi.mdp.edu.ar

Leonardo Arnone
Lab. Componentes
UNMdP
leoarn@fi.mdp.edu.ar

Miguel Rabini
Lab. Componentes
UNMdP
mrabini@fi.mdp.edu.ar

Resumen—Los sistemas micro-electro mecánicos (MEMS) han sido investigados y aplicados en varias áreas de aplicación tecnológica. Hoy en día la producción de (MEMS) constituye una de las ramas de la industria de más rápido crecimiento.

Las aplicaciones de los MEMS en telecomunicaciones e instrumentación han atraído la atención en los últimos años principalmente por utilizar los procesos ya conocidos de fabricación de semiconductores. Un microsistema usual, capaz de actuar como sensor capacitivo, es el llamado ‘comb-drive’.

El campo de aplicación de estos dispositivos se está incrementando continuamente. Ya son parte esencial en sistemas críticos de seguridad, como por ejemplo, la industria automotriz o la aeronáutica, por tanto, estudiar la vida útil de los MEMS es de gran interés.

En este trabajo se detalla una técnica posible que puede ser utilizada para medir el avance de la fatiga en un MEMS capacitivo tipo ‘comb drive’.

Index Terms—MEMS, fatiga, fractura mecánica, comb drive.

I. INTRODUCCIÓN

La utilización de sistemas micro-electro mecánicos (MEMS) en dispositivos electrónicos ha ido creciendo rápidamente en los últimos años. Existe la posibilidad de realizar capacitores variables, micro interruptores, inductores, filtros, sensores, atenuadores, máquinas lineales y rotativas. Han despertado el interés de los profesionales de la ingeniería principalmente para su utilización en telecomunicaciones, bioingeniería, mecánica e instrumentación [1] especialmente por utilizar los procesos de fabricación de los semiconductores ya conocidos [2].

Para diseñar estos dispositivos se constituyen grupos de trabajo multidisciplinarios. Conocimiento en Ingeniería de los Materiales, Ingeniería Química, Ingeniería Mecánica e Ingeniería Eléctrica son fuertemente requeridos en las diversas etapas que involucran su diseño, fabricación y utilización final.

En la actualidad los vehículos incorporan microsensores de presión en el sistema de control electrónico del motor y acelerómetros en el airbag, algunas estimaciones apuntan a que en un futuro no muy lejano los sensores y la electrónica represente un 30% del valor del automóvil [3].

Nuevas aplicaciones potenciales en materia de gestión del motor, control de la calidad del aire y de los gases de escape, cajas de cambio, ABS, control de la dinámica del vehículo

y antideslizante, control de navegación adaptativo (ACC), airbag, detección de obstáculos, mejoras en la visibilidad, etc.

La inclusión de un computador en los vehículos, que permite ajustes automáticos de la radio, climatización, entretenimiento de los ocupantes etc., son otras áreas donde están presentes los MEMS.

El MEMS llamado ‘comb-drive’ es un dispositivo muy versátil que puede ser aplicado a sensores, atenuadores, filtros y moduladores [1] [4] [5]. El comb-drive toma su nombre por su similitud estructural con un par de peines enfrentados con sus dientes o dedos intercalados. Uno de los peines es fijo, y el otro móvil. Al aplicar una diferencia de potencial a los peines, el campo eléctrico produce el desplazamiento de la parte móvil.

En las aplicaciones donde los comb-drives operan como filtros, su estructura es modelada como un sistema mecánico de tipo masa-resorte-amortiguador. Utilizando comb-drives de geometrías variadas se pueden lograr filtros pasa bajos, pasa altos y pasa bandas.

Una de las ventajas de utilizar micro-mecanismos como filtros es la alta selectividad lograda. Esta característica es debido a las bajas pérdidas del sistema. Como resultado se pueden realizar dispositivos de comunicaciones más selectivos y así poder agrupar más canales de radio frecuencia (RF) en una misma banda [1].

Como el espectro de ondas electromagnético utilizado es limitado, la utilización de micro-mecanismos es una forma de aumentar la capacidad del canal dentro de la banda existente. Actualmente se están desarrollando varias estructuras de micro-mecanismos para ser utilizados en sistemas de radio comunicaciones [4] [5] [6] [7] [8].

II. LIMITACIÓN DE LOS DISPOSITIVOS MEMS

Los dispositivos MEMS son estructuras que no están debidamente caracterizadas en término de confiabilidad [9]. Muchos MEMS son diseñados para que tengan un largo tiempo de operación, aprovechando su fortaleza intrínseca y estabilidad. No obstante, el pequeño tamaño de estos dispositivos los hace sensible a las condiciones de operación.

Naturalmente los fabricantes de MEMS tratan de optimizar su performance, como consecuencia de ello, en muchos casos,

estos dispositivos se encuentran trabajando mecánicamente al límite de su resistencia a la fatiga. Se hace por lo tanto fundamental definir los límites operativos para que sean diseñados y aplicados inteligentemente. Por este motivo es de suma importancia caracterizar como se inicia una fisura y su posterior propagación.

No se puede aplicar directamente a los MEMS los conocimientos de los procesos de falla por fatiga a escala macroscópica; las pruebas de falla por fatiga deben ser hechas sobre los MEMS. Por tanto es muy importante la observación del crecimiento de una fisura y su dependencia temporal. Ciertos efectos de micro-estructura, ambiente y proceso de fabricación pueden ser muy significativos a nivel de micro-escala, aunque sean irrelevantes en macro-escala.

III. MÉTODO PARA MEDIR EL AVANCE DE UNA FISURA EN UN COMB-DRIVE CAPACITIVO

Los sensores y actuadores capacitivos son ampliamente usados en dispositivos MEMS. Un comb-drive es un actuador capacitivo que es operado por la fuerza electroestática. La capacidad del comb-drive es función de la forma y dimensión de sus electrodos.

Una posible forma de medir el incremento de una fisura, es midiendo la variación del desplazamiento de los dedos del comb-drive cuando se aplica la misma tensión de alimentación.

Una posibilidad de medir el desplazamiento es monitoreando los pequeños cambios de capacidad que ocurren entre los dedos del comb-drive. El problema que se presenta es que esta variación de capacidad es enmascarada por la gran capacidad parásita presente.

Una forma de medir estas capacidades es enviando una señal de relativa alta frecuencia a través de la capacidad formada por los dedos del comb-drive y medir su variación de impedancia. El problema con esta medición es que el cable coaxial que se conecta al MEMS para efectuar la medición posee una capacidad parásita del orden de los $100 \text{ pF}/\text{m}$. Además esta capacidad parásita no es constante y varía con la temperatura.

El método que se describe permite medir pequeñas variaciones de capacidad en presencia de grandes capacidades parásitas [2].

III-A. Medición de la capacidad de un comb-drive

La estructura de un comb-drive consiste en una estructura fija y otra móvil, ambas en forma de dedos para lograr una mayor capacitancia, como se ve en la Fig. 1. Al producirse el desplazamiento de la estructura móvil varía la capacidad del comb-drive, como indica la Ec. 1 [10] [11]:

$$C = 2n \frac{\epsilon(L - y)e}{g} \quad (1)$$

donde L es la altura del dedo del comb-drive, y es el desplazamiento, g es la separación entre los dedos superiores e inferiores y e es el espesor del dedo; ϵ es la constante dieléctrica, n es el número de dedos.

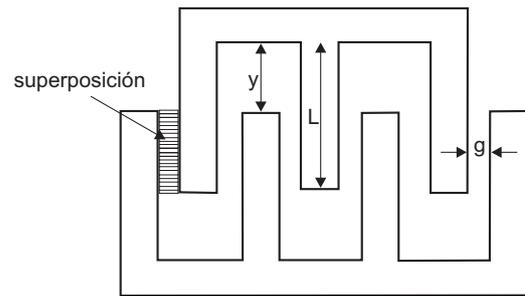


Figura 1. Parámetros para medir capacidad en un comb-drive

III-B. Estructura utilizada

En la Fig. 2 se ve la estructura del comb-drive utilizada en el ensayo. En uno de los brazos se genera una fisura mediante una muesca en forma de cuña, como se indica en la Fig. 3. El grado de avance de la misma se evalúa en función de la variación del desplazamiento total del comb-drive.

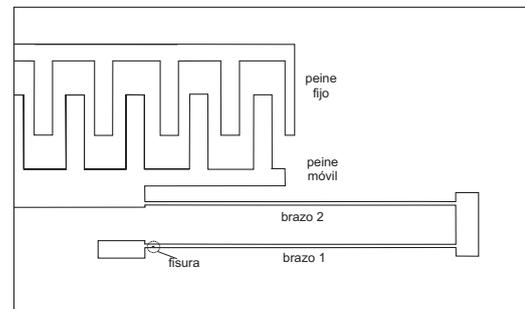


Figura 2. Estructura del Comb-drive simulado

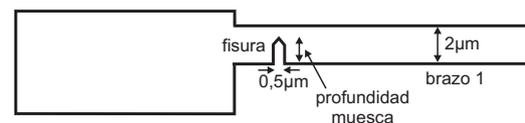


Figura 3. Fisura inducida

En esta estructura el ancho de los brazos es de $2 \mu\text{m}$ y se generaron cinco fisuras mediante muescas (Fig. 3), con $0,5 \mu\text{m}$, $1 \mu\text{m}$, $1,25 \mu\text{m}$, $1,5 \mu\text{m}$ y $1,75 \mu\text{m}$ de profundidades respectivamente.

Para simular las diferentes fisuras se utilizó el programa Comsol Multiphysics 3.5a. La Fig. 4 muestra la variación del desplazamiento del comb-drive en función de la tensión aplicada y la Fig. 5 la variación de su capacidad. Como se puede observar en la Fig. 4 para una muesca de $1,75 \mu\text{m}$ de profundidad, la máxima tensión que se le puede aplicar es de 550 V .

IV. CIRCUITO UTILIZADO EN EL ENSAYO

El circuito a utilizar en la medición se muestra en la Fig. 6, donde:

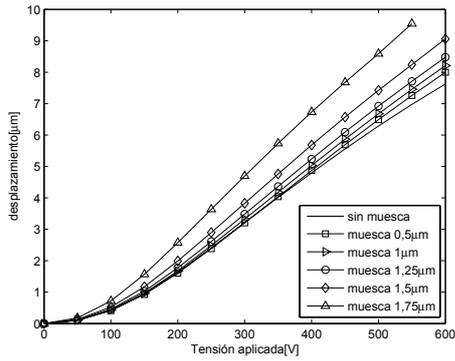


Figura 4. Desplazamiento del comb-drive en función de la tensión aplicada

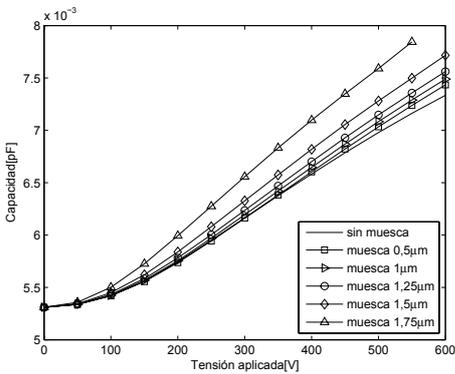


Figura 5. Capacidad del comb-drive en función de la tensión aplicada

$-V_{RF}$ es un generador de radio frecuencia de 100MHZ.

$-V_{comb-drive}$ es la tensión que se aplica al actuador para producir el movimiento de sus dedos, esta tensión se aplica a través del inductor L_3 que funciona como un choque de radio frecuencia.

$-C_{comb-drive}$ es la capacidad del comb-drive y es proporcional a la separación de sus dedos, como lo indica la Ec. (1).

$-C_{cable}$ es la capacidad parásita de los cables de conexión, su valor es alrededor de 170pF. Debido a que el valor de C_{cable} es de varios órdenes de magnitud mayor que la capacidad del actuador $C_{comb-drive}$, una forma de evitar su influencia es formar un circuito tanque paralelo introduciendo el inductor L_1 y la capacidad auxiliar C_1 de forma tal que el circuito tanque esté en resonancia a la frecuencia de la fuente V_{RF} :

$$f_{RF} = \frac{1}{2\pi\sqrt{L_1(C_1 + C_{cable})}} \quad (2)$$

Un circuito tanque similar se emplea para contrarrestar la capacidad parásita de las puntas de prueba que se aplican sobre la resistencia R_1 cuando se mide la señal modulada.

Si ahora en el circuito utilizado (Fig. 6), se eliminan los elementos que están en resonancia (Fig. 7), a la salida del

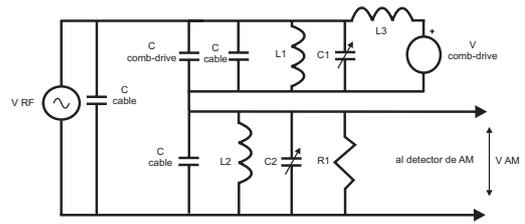


Figura 6. Circuito utilizado para medir la capacidad del comb-drive

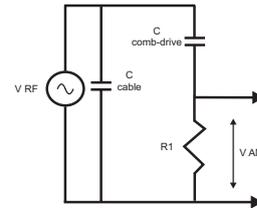


Figura 7. Circuito simplificado

modulador se tiene:

$$\frac{V_{AM}}{V_{RF}} = \frac{R_1}{R_1 - j\frac{1}{\omega_{RF}C_{comb-drive}}} \quad (3)$$

como $C_{comb-drive}$ es muy pequeña, se puede expresar:

$$\frac{V_{AM}}{V_{RF}} \simeq j\omega_{RF}R_1C_{comb-drive} \quad (4)$$

entonces:

$$\left| \frac{V_{AM}}{V_{RF}} \right| \simeq \omega_{RF}R_1C_{comb-drive} \quad (5)$$

En el plano temporal:

$$V_{AM}(t) = V_{RF}(t)\omega_{RF}R_1C_{comb-drive}(t) \quad (6)$$

de la Ec. (6) se ve que $V_{AM}(t)$ varía linealmente en función de $C_{comb-drive}(t)$ con:

$$C_{comb-drive}(t) = \hat{C}_{comb-drive}sen(\omega_m t) \quad (7)$$

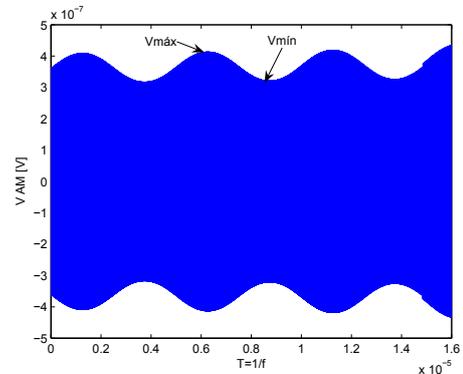


Figura 8. Señal de AM (V_{AM}) obtenida a la salida

Tabla I
CAPACIDAD DEL COMB-DRIVE ($\hat{C}_{comb-drive}$) EN FUNCIÓN DEL ÍNDICE DE MODULACIÓN

C [fF]	m	C [fF]	m
5,3	0,1236	6,6	0,1441
5,4	0,1256	6,7	0,1453
5,5	0,1275	6,8	0,1462
5,6	0,1292	6,9	0,1476
5,7	0,1309	7,0	0,1488
5,8	0,1323	7,1	0,1500
5,9	0,1339	7,2	0,1512
6,0	0,1353	7,3	0,1521
6,1	0,1371	7,4	0,1531
6,2	0,1386	7,5	0,1540
6,3	0,1396	7,6	0,1551
6,4	0,1409	7,7	0,1559
6,5	0,1428	7,8	0,1569

Por tanto, este esquema produce una señal de amplitud modulada (AM), cuya variación de amplitud es proporcional a la variación de capacidad del comb-drive y por lo tanto proporcional a la variación de separación de los dedos del actuador.

En la Fig. 8 se observa la salida obtenida cuando $V_{comb-drive}$ es una señal de baja frecuencia, donde el índice de de modulación m [12] está dado por la expresión:

$$m = \frac{V_{max} - V_{min}}{V_{max} + V_{min}} \quad (8)$$

de la Ec. (8) se observa que el índice de modulación m es proporcional a las variaciones de capacidad del comb-drive y por tanto a las variaciones en su desplazamiento. En la Tabla I muestran los índices de modulación m para diferentes capacidades del comb-drive.

Por lo expuesto, midiendo periódicamente el índice de modulación m en un MEMS comb-drive se puede obtener las variaciones de capacidad que se producen a medida que aumenta la fisura.

V. CONCLUSIONES

En este trabajo se propone un método que permite determinar en forma práctica y precisa el inicio de una fisura y su

posterior propagación midiendo las pequeñas variaciones de capacidad que se tienen en los dedos del comb-drive.

REFERENCIAS

- [1] D. L. R. Vidor, P. C. Godoy and I. Iturrioz, "Amplificadores y moduladores utilizando micromecanismos." *Asociación Argentina de Mecánica Computacional*, vol. XXV, pp 707-714 (2006).
- [2] W. M. van Spengen and T. H. Oosterkamp, "A sensitive electronic capacitance measurement system to measure comb-drive motion of surface micromachined MEMS devices." *Journal of Micromechanics and Microengineering*, vol.17 pp 828 (2007).
- [3] M. J. López Fernández, " Introducción a los sistemas microelectromecánicos MEMS" *XXIII Seminario de Ingeniería Hospitalaria, Sevilla, España.*, (2005).
- [4] J. Wang, Z. Ren and C. T. Nguyen, "Self-aligned 1.14 GHz vibrating radial-mode disk resonator." *Dig. of Tech. Papers, the 12th Int. Conf. on Solid-State Sensor & Actuator (Transducers'03)*, vol. 1, pp 947-950 (2003).
- [5] J. Wang, J. E. Butler, T. Feygelson and C. T. Nguyen, "1.51 GHz poly-diamond micromechanical disk resonator with impedance-mismatched isolating support." *Proceedings, 17th Int. IEEE Micro Electro Mechanical Systems Conf., Maastricht, The Netherland*, vol. 1, pp 641-644 (2004).
- [6] J. R. Clark, A. C. Wong and C. T. Nguyen, "Parallel-resonator HF Micromechanical Bandpass Filters." *Digest of Technical Papers, 1997 International Conference on Solid-State Sensors and Actuators, Chicago, Illinois*, vol. 1, pp 1161-1164 (1997).
- [7] K. Wang, A. C. Wong, W. T. Hsu and C. T. Nguyen, "Frequency-trimming and Q-factor enhancement of micromechanical resonators via localized filament annealing." *Digest of Technical Papers, 1997 International Conference on Solid-State Sensors and Actuators, Chicago, Illinois*, vol. 1, pp 109-112 (1997).
- [8] D. Joachim and L. Lin, "Characterization of selective Polysilicon deposition for MEMs resonator tuning." *IEEE/ASME Journal of Microelectromechanical Systems*, vol. 12, pp 193-200 (2003).
- [9] S. B. Brown, W. Van Arsdell and C. L. Muhlstein, "Materials reliability in MEMs devices." *1997 International Conference on Solid-State Sensors and Actuators, Chicago, Illinois.*, vol. 1, pp 16-19 (1997).
- [10] D.B. Seo and R. Shandas, "Design and simulation of a MEMS-Based Comb-drive Pressure Snsor for Pediatric Post-Operative Monitoring Applications." *Summer Bioengineering Conference, Sonesta Beach Resort in Key Biscayne, Florida*, vol. 1, pp 1239-1240 (2003).
- [11] G. Somlay, Z. Szucs, A. Poppe and M. Rencz, "Simulation of a comb drive for fracture lifetime measurements" *Proceeding of the COMSOL Users Conference, Grenoble.*, vol. 1, pp 1-5 (2007).
- [12] A. P. Malvino, " Principios de electrónica" *Ed McGraw-Hill, españa.*, pp 1003-1006 (1993).

Verificación de las Curvas de Paschen y la Ley de Peek en Microionizadores por Descarga Luminiscente

J. J. Ortiz, C. Nigri, C. Lasorsa, D. Rodriguez, P.

Perillo and N. Boggio

Departamento de Micro y Nanotecnología

Comisión Nacional de Energía Atómica

San Martín, Argentina

jjortiz@cnea.gov.ar

Guillermo P. Ortiz

Dto. Física Facultad de Cs. Exactas, Naturales

y Agrimensura

Corrientes, Argentina

gortiz@exa.unne.edu.ar

En este trabajo analizamos el sistema de ionización por descarga luminiscente para su utilización como fuente de iones en un equipo de identificación de compuestos químicos tipo IMS. Se realizaron modelos de descarga corona implementados con tecnología MEMS (Sistemas Micro-electro Mecánicos). Se propone que en la escala micrométrica es posible mejorar rendimientos, confiabilidad y demandas operativas. Así se redujo la tensión de la fuente de alimentación a menos de 1kV.

Generación de iones, movilidad, ionización, descarga glow

I. INTRODUCCION

La espectrometría de movilidad iónica (IMS) es una técnica analítica usada para separar e identificar moléculas ionizadas en fase gaseosa, basada en la medición del tiempo de vuelo de estas partículas arrastradas por un gas que a su vez son movidas por un campo eléctrico. El desarrollo de equipos del tipo IMS para detección in-situ han generado gran interés en especial en aplicaciones militares, de seguridad y ambientales [1]. Una solución alternativa a la determinación del tiempo de vuelo para la identificación de un analito es la detección por flujo cruzado (cross flow) con el cual las partículas ionizadas son desviadas con un campo transversal a la dirección de un flujo de gas de arrastre. Si bien esta propuesta ya ha sido planteada hace un tiempo atrás, existen problemas aun no resueltos que son propios de la escala de tamaños empleada para el diseño de tales dispositivos. En este trabajo investigamos si las leyes macroscópicas de las descargas luminiscentes (glow discharge) permiten determinar las tensiones de trabajo requeridas en la producción de iones para la escala micrométrica.

II. DISEÑO EXPERIMENTAL

La descarga luminiscente se obtiene aplicando una diferencia de potencial entre un par de electrodos metálicos. Se estudian dos configuraciones. La primera de estas es una geometría de platos paralelos y la segunda es de punta y plato. Se utiliza una fuente variable y pulsada a través de un módulo de control electrónico [2], esta fuente entrega una señal del tipo cuadrada entre 0V y la tensión deseada, pudiendo regularse su duración y frecuencia para evitar el deterioro del microdispositivo. La descarga es producida en una burbuja de vidrio con nitrógeno en condiciones normales de presión y temperatura. La Fig. 1 muestra un esquema del control electrónico y la burbuja de vidrio con el arreglo de ionizadores contruídos con diferentes distancias entre electrodos [3], [4]. Los microelectrodos y los pads de contacto se fabricaron en cobre sobre un sustrato de boroflow. Primeramente se aplica una capa de titanio y cobre por el método de sputtering, luego se transfiere el patrón con la geometría deseada mediante un proceso de fotolitografía. Después de revelado ese patrón se realiza una electrodeposición de cobre empleando una cuba electrolítica que permite engrosar el espesor de la capa metálica inicial. Se elimina la capa de fotoresina y finalmente a través de un proceso de ataque químico se elimina la capa inicial de titanio-cobre. Con esto el microdispositivo esta listo para los ensayos [5].

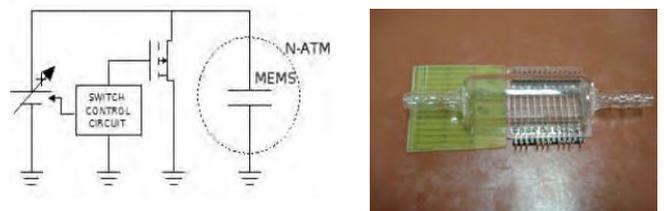


Figure 1. A la izquierda se muestra un esquema de control electrónico de descarga y a la derecha la burbuja de vidrio y los ionizadores utilizados en el ensayo.

III. MODELO FISICO -ANALITICO

Se ha empleado el software CoventorWare 2010 para simular y diseñar el proceso de fabricación del ionizador. El prototipo se elaboró en la sala limpia de microfabricación de CNEA. Básicamente existen dos modelos teóricos para diseñar y calcular sistemas de ionización por descarga eléctrica, la ley de Paschen [1], y la ley de Peek [2]. Las curvas de Paschen determinan la tensión de ruptura en función de la distancia de separación para un dieléctrico ubicado entre dos electrodos de placas paralelas[6], también llamado potencial de ignición. El dieléctrico suele ser un gas, por lo que dicho potencial se estudia en función del producto de la presión y la distancia entre electrodos. En la parte izquierda de la Fig. 2 se muestra la geometría de dos platos paralelos fabricados en cobre y a su lado la descarga eléctrica producida entre esos electrodos.

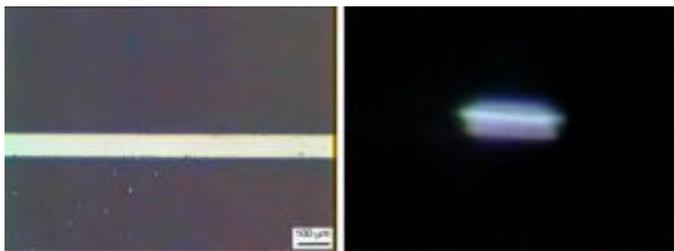


Figure 2. La parte izquierda muestra una fotografía obtenida por microscopía electrónica de los microelectrodos en la configuración de platos paralelos. Parte derecha muestra la descarga producida en el microdispositivo.

Cuando la configuración corresponde a electrodos de punta y plato, se aplica la Ley de Peek. En la parte izquierda de la Fig. 3 se muestra la geometría de punta y plato del ionizador fabricado en cobre y a la derecha la descarga luminiscente producida desde las puntas a los platos. Cada punta tiene una altura de 50 micrones.



Figure 3. Parte izquierda se muestra una fotografía obtenida por microscopía electrónica de los microelectrodos en la configuración de punta y plato. Parte derecha muestra la descarga producida en el microdispositivo.

Las ecuaciones (1) y (2) determinan las curvas de Paschen para un gas, y predicen el voltaje de ruptura del dieléctrico [3].

$$V_p = B \cdot (p \cdot d) / C + \ln(p \cdot d) \quad (1)$$

$$C = \ln(A \cdot (\ln(1 + 1/\delta))) \quad (2)$$

“Vd” voltaje de ruptura, “p” presión atmosférica, “d” distancia entre electrodos, “A” y “B” son constantes propias del gas.

La ley de Peek es una fórmula empírica que establece la tensión de ruptura para una configuración punta-plato; esta concentra y amplifica la intensidad del campo eléctrico. Cuando el campo eléctrico supera la tensión crítica soportada por el gas comienza la descarga luminiscente[4].

Las ecuaciones (3) y (4) son conocidas como la ley de Peek

$$V_e = m \cdot v \cdot \delta \cdot r \cdot \ln(S/r) \cdot G \cdot v \quad (3)$$

$$G \cdot v = 30 \cdot (1 + 0.301/\sqrt{r \cdot \delta}) \quad (4)$$

“Ve” es la tensión crítica, “mv” es el factor de irregularidades de superficie, “r” radio de la punta, “S” es la distancia entre platos, “δ” factor de densidad del gas a 25°C and 760 mm Hg (es igual a uno)[7][8].

IV. RESULTADOS

Se realizan los ensayos aplicando las tensiones de prueba hasta obtener el valor de la tensión de comienzo de la descarga eléctrica. Esto se determina visualmente a través de la observación del microionizador con la ayuda de un microscopio óptico. En la Fig. 4 mostramos la tensión de disrupción versus la distancia reducida pd. Se indican en línea continua la curva teórica de la fórmula (1) y en cruces los datos experimentales obtenidos del ensayo con los microdispositivos. En la Fig. 5 se muestra en línea continua la curva que predice la ley de Peek y en cruces los datos experimentales. Estos datos experimentales representan el valor de descarga luminiscente obtenido para cada ionizador en función de la distancia entre electrodos.

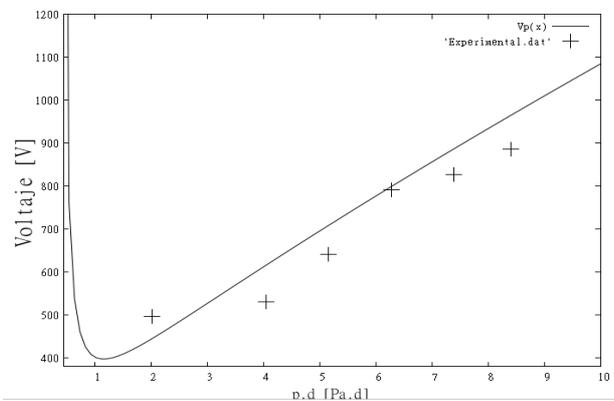


Figure 4. Se puede apreciar en línea continua la curva teórica de Paschen y con cruces se ven los datos experimentales para la configuración de electrodos de placas paralelas.

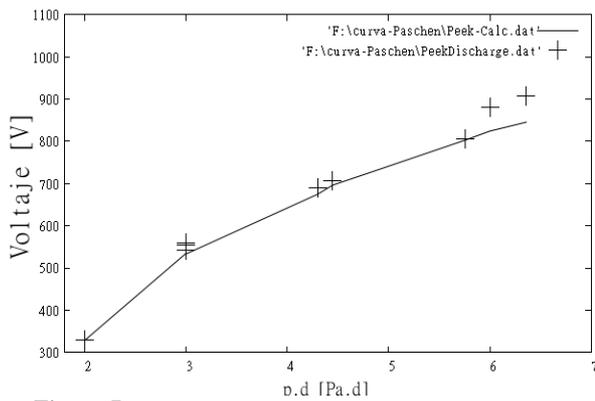


Figure 5. Se aprecia en línea continua la curva teórica dada por la ley de Peek y con cruces los datos experimentales para la configuración de punta y plato.

- [8] P. Carazzetti, Ph Renaud, H. R. Shea, "Experimental study of electrical breakdown in MEMS divises scale gaps", Society of Photo-Optical Instrumentation Engineers, 2008.

V. CONCLUSIONES

El potencial de disrupción aumenta con la distancia reducida en el regimen de descarga corona solo a partir de un valor critico. Por debajo de ese valor la teoría establece que se produce descarga del tipo Townsend, pero no ha sido apreciada en forma visual ni a través de instrumentos. Nuestros experimentos muestras que los valores explorados de distancias y geometrias son apropiados para el regimen de descarga luminiscente.

Este trabajo comprobó que las leyes de Peek y Paschen se verifican para la microescala y proporcionan información sumamente importante para el diseño de microdispositivos de descarga corona, ya que entregan una noción clara a cerca del comienzo de la descarga luminiscente, siendo esto fundamental para establecer la tensión inicial y de trabajo del sistema, así también como la determinación de la fuente eléctrica adecuada.

REFERENCIAS

- [1] G. A. Eiceman, Ion Mobility Spectrometry, New Mexico State, USA. ISBN 0-203-61617-0 (OEBFormat), 2005.
- [2] Y. An, Development of a short pulse corona discharge ionization source for ion mobility spectrometry. Review of Scientific Instruments, 76, 2005
- [3] Friedrich Paschen, "Ueber die zum Funkenubergang in Luft, Wasserstoff und Kohlensaure bei verschiedenen Drucken erforderliche Potentialdifferenz", Analen der Physik IEEE Trans. Electron Devices, Vol. ED-29, pp.48-56, 1982.
- [4] F. W. Peek. "Dielectric Phenomena in High Voltage Engineering", McGraw-Hill.
- [5] R.G. Longwitz, "Study of gas Ionization in a glow discharge and development of a micro gas ionizer for gas detection and analysis",
- [6] Thesis N° 2919, Institut de Microelectronique et Microsystemes. Lausanne, EPFL, 2004.
- [7] KTakahito Ono, Dong Young Sim and Masayoshi Esashi, "Micro-discharge and electric breakdown in a micro-gap", J Microeng. 10 (2000) 445-451.

Desplazador de fase reflectivo con tecnología MEMS

Larosa, Facundo S. , Fuentes, Leandro A.
 Grupo SyCE
 Universidad Tecnológica Nacional
 Facultad Regional Haedo
 Haedo, Argentina
 flarosa@frh.utn.edu.ar
 lfuentes@frh.utn.edu.ar

Lell, Julián
 Grupo MEMS
 Comisión Nacional de Energía Atómica
 San Martín, Argentina
 lell@cnea.gov.ar

Este trabajo trata sobre el diseño conceptual, analítico y la simulación de un desplazador de fase reflectivo para fases de 90°, 180°, 270° y 360°. Este tipo de desplazadores tienen gran aplicación en el campo de los arreglos de antenas en fase para el uso de radares, sistemas de comunicaciones, etc.

Keywords: Desplazador de fase, phase shifters, phased array antennas, MEMS, simulación EM.

I. INTRODUCCIÓN

Los arreglos de antenas en fase (phased array antennas) son conjuntos de elementos irradiantes, cuya combinación permite obtener un lóbulo de radiación orientable a través de un sistema de control electrónico. De esta manera, se evita la solución tradicional de rotar la antena mecánicamente, salvando los problemas asociados: mantenimiento del sistema mecánico, rozamiento, relativa lentitud debido a la inercia del objeto rotante, etc.

Para lograr lo anterior (ver figura 1) se utilizan entre otros componentes los desplazadores de fase. Éstos introducen un retardo de fase en la señal colocada a su entrada de forma tal que una vez irradiadas, las ondas provenientes de los diferentes elementos irradiantes interfieran constructiva o destructivamente en ciertas direcciones, conformando así un patrón de radiación determinado.

Este tipo de arreglos cobran especial importancia en sistemas de radares para uso civil y militar, sistemas de comunicaciones para la aeronavegación, sistemas satelitales de comunicación, etc.

En el presente trabajo se planteó la meta de construir un desplazador de fase para uso en la frecuencia de 8.25 GHz, con variaciones posibles de 90°, 180°, 270° y 360°. El mismo fue implementado utilizando tecnología MEMS, con componentes diseñados previamente: líneas de transmisión CPW, acoplador direccional [1] y switches de RF.

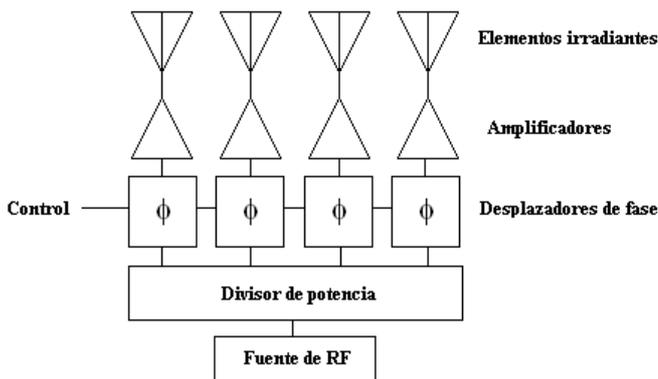


Figura 1. Esquema en bloques de arreglo de antenas en fase

II. TEORÍA BÁSICA

A partir de la matriz de dispersión (“scattering”) [2] del acoplador direccional ideal buscamos hallar la transferencia para obtener el desfase de la señal de entrada (V_1) respecto de la salida (V_4):

$$[S] = -\frac{1}{\sqrt{2}} \begin{bmatrix} 0 & j & 1 & 0 \\ j & 0 & 0 & 1 \\ 1 & 0 & 0 & j \\ 0 & 1 & j & 0 \end{bmatrix} \rightarrow \begin{cases} V_1^- = -j/\sqrt{2} V_2^+ - j/\sqrt{2} V_3^+ (1) \\ V_2^- = -j/\sqrt{2} V_1^+ - j/\sqrt{2} V_4^+ (2) \\ V_3^- = -j/\sqrt{2} V_1^+ - j/\sqrt{2} V_4^+ (3) \\ V_4^- = -j/\sqrt{2} V_2^+ - j/\sqrt{2} V_3^+ (4) \end{cases}$$

Donde V_i^+ y V_i^- son las amplitudes de las ondas de tensión incidentes y reflejadas del puerto i -ésimo respectivamente.

De (2) y la definición del coeficiente de reflexión en los puertos 2 y 3 (Γ_1 y Γ_2 respectivamente) :

$$\begin{cases} V_2^- = -j/\sqrt{2} V_1^+ - j/\sqrt{2} V_4^+ (2) \\ V_2^+ = \Gamma_1 V_2^- \end{cases} \rightarrow V_2^+ = \frac{-j\Gamma_1}{\sqrt{2}} V_1^+ - \frac{\Gamma_1}{\sqrt{2}} V_4^+ (2')$$

De igual forma con (3):

$$\begin{cases} V_3^- = -j/\sqrt{2} V_1^+ - j/\sqrt{2} V_4^+ (3) \\ V_3^+ = \Gamma_2 V_3^- \end{cases} \rightarrow V_3^+ = \frac{-\Gamma_2}{\sqrt{2}} V_1^+ - \frac{j\Gamma_2}{\sqrt{2}} V_4^+ (3')$$

Reemplazando 2' y 3' en 4:

$$\begin{cases} V_4^- = \frac{-1}{\sqrt{2}} V_2^+ - \frac{j}{\sqrt{2}} V_3^+ (4) \\ V_2^+ = \frac{-j\Gamma_1}{\sqrt{2}} V_1^+ - \frac{\Gamma_1}{\sqrt{2}} V_4^+ (2') \\ V_3^+ = \frac{-\Gamma_2}{\sqrt{2}} V_1^+ - \frac{j\Gamma_2}{\sqrt{2}} V_4^+ (3') \end{cases}$$

Llegamos a:

$$V_4^- = -\frac{1}{\sqrt{2}} \left(\frac{-j\Gamma_1}{\sqrt{2}} V_1^+ - \frac{\Gamma_1}{\sqrt{2}} V_4^+ \right) - \frac{j}{\sqrt{2}} \left(\frac{-\Gamma_2}{\sqrt{2}} V_1^+ - \frac{j\Gamma_2}{\sqrt{2}} V_4^+ \right) (5)$$

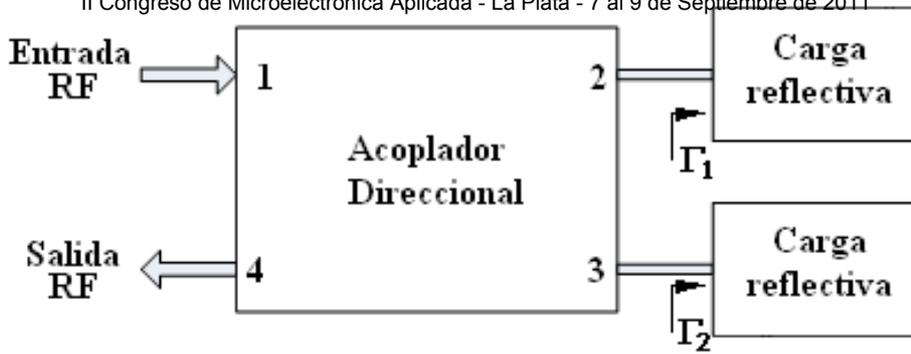


Figura 2. Esquema en bloques del acoplador de topología reflectiva

Igualmente, haciendo el mismo análisis para V_1^- , se llega a (6):

$$\begin{cases} V_4^- = j \frac{\Gamma_1 + \Gamma_2}{2} V_1^+ + \frac{\Gamma_1 - \Gamma_2}{2} V_4^+ & (5) \\ V_1^- = \frac{\Gamma_2 - \Gamma_1}{2} V_1^+ + j \frac{\Gamma_1 + \Gamma_2}{2} V_4^+ & (6) \end{cases}$$

Ecuaciones que equivalen a la matriz de scattering del desplazador de fase tomando como entrada el puerto 1 y como salida al puerto 4. A partir de ellas podemos sacar dos conclusiones fundamentales para el diseño del mismo suponiendo que las cargas son iguales. La primera es que el coeficiente de reflexión a la entrada y salida valdrá cero, la segunda, es que el desfase total entre entrada y salida estará dado por:

$$\begin{cases} V_4^- = j \Gamma V_1^+ & (5') \\ V_1^- = j \Gamma V_4^+ & (6') \end{cases}$$

donde se ha hecho $\Gamma_2 = \Gamma_1 = \Gamma$.

Se observa que de esta manera la red se comporta de forma simétrica siendo los puertos 1 y 4 intercambiables y resultando que el desfase total entre ellos será:

$$\begin{aligned} \arg\left(\frac{V_4^-}{V_1^+}\right) &= \arg\left(j \frac{\Gamma_1 + \Gamma_2}{2}\right) \\ &= \arg(j\Gamma) = \frac{\pi}{2} + \arg(\Gamma) & (7) \end{aligned}$$

III. DISEÑO PRELIMINAR DE LAS CARGAS REFLECTIVAS

Como se ha visto en la sección anterior, el desplazamiento de fase en un desplazador de topología reflectiva ideal depende solamente de la fase del coeficiente de reflexión de la carga. Para este proyecto, las cargas reflectivas se implementaron con dos componentes: líneas de transmisión CPW y switches MEMS. Los switches poseen dos estados: NO ACTUADO (idealmente permite el paso de la señal de microondas sin introducirle atenuación o corrimiento de fase) y ACTUADO (idealmente deriva la señal de microondas a masa actuando como un cortocircuito). Las líneas de transmisión introducen un retardo de fase

colocan en cascada con estas últimas para variar la longitud eléctrica del conjunto.

Como primera aproximación se llevó a cabo una simulación en base a modelos matemáticos cerrados de las líneas de transmisión y a los archivos s2p de los switches MEMS medidos en sus estados ACTUADO y NO ACTUADO.

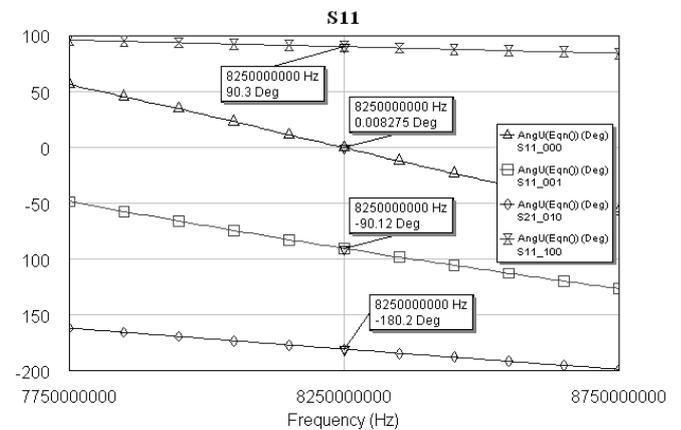


Figura 3. Fase de S11 (coeficiente de reflexión) de la carga reflectiva

TABLA I. DENOMINACIÓN DE LOS ESTADOS

Configuración	Desfase	Denominación
0-0-0 Los tres switches se encuentran desactivados (línea larga)	360°	$\phi(4)$
0-0-1 El switch mas lejano al puerto está activado (línea mediana-larga)	270°	$\phi(3)$
0-1-0 El switch del centro está activado (línea mediana-corta)	180°	$\phi(2)$
1-0-0 El switch mas cercano al puerto está activado (línea corta)	90°	$\phi(1)$

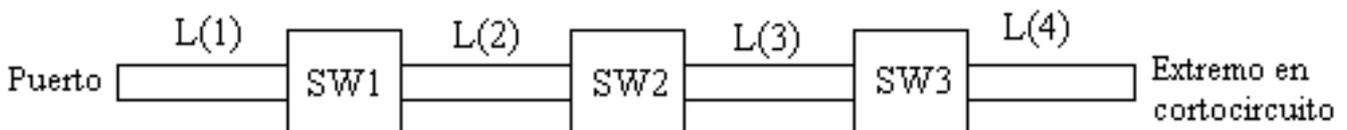


Figura 4. Esquema de la topología de líneas y switches

proporcional a su longitud mientras que los switches se

IV. CONSIDERACIONES PRÁCTICAS Y SIMULACIÓN

Idealmente, si $L(1) = L(2) = L(3) = L(4) = \lambda/8$ (donde λ es la longitud de onda en las líneas de transmisión), el dispositivo funcionaría entregando los desfases de 360° , 270° , 180° y 90° para las configuraciones 000, 001, 010 y 100 respectivamente. Debido a que los tramos $L(n)$ poseen condiciones de borde diferentes (debido a sus distintas ubicaciones en la línea), las longitudes de los mismos no serán necesariamente iguales para los desfases buscados. Sumado a esto, las variaciones de la longitud de los tramos $L(2)$, $L(3)$ y $L(4)$ modifican los valores de $\varphi(1)$ (idealmente no deberían hacerlo, debido al desacople brindado por $SW(n)$), las variaciones en $L(3)$ y $L(4)$ modifican los valores de $\varphi(2)$, y las variaciones en $L(4)$ modifican los valores de $\varphi(3)$.

Se establece como hipótesis que $\varphi(n)$ son funciones de $L(n)$, y se aproxima dicha dependencia funcional usando una aproximación por serie de Taylor recortada a partir de los términos de segundo orden ($\varphi(4)=360$, $\varphi(3)=270$, $\varphi(2)=180$, $\varphi(1)=90$).

Por lo tanto, tendremos que:

$$\begin{aligned} \varphi(n) = & n \cdot \frac{\pi}{2} + \frac{\partial\varphi(n)}{\partial L(1)} \Delta L(1) + \frac{1}{2} \frac{\partial^2\varphi(n)}{\partial L(1)^2} \Delta L(1)^2 + \\ & \frac{\partial\varphi(n)}{\partial L(2)} \Delta L(2) + \frac{1}{2} \frac{\partial^2\varphi(n)}{\partial L(2)^2} \Delta L(2)^2 + \\ & \frac{\partial\varphi(n)}{\partial L(3)} \Delta L(3) + \frac{1}{2} \frac{\partial^2\varphi(n)}{\partial L(3)^2} \Delta L(3)^2 + \\ & \frac{\partial\varphi(n)}{\partial L(4)} \Delta L(4) + \frac{1}{2} \frac{\partial^2\varphi(n)}{\partial L(4)^2} \Delta L(4)^2 \quad (8) \end{aligned}$$

con $n=1,2,3,4$.

La aproximación de la derivada primera para cada una de las funciones de fase se puede obtener realizando dos simulaciones computacionales variando solo una de las cuatro longitudes. De esta forma:

$$\frac{d\varphi(n)}{dL(m)} \approx \frac{\varphi(n)_b - \varphi(n)_a}{L(m)_b - L(m)_a} \quad (9)$$

con $n=1,2,3,4$ $m=1,2,3,4$

Se obtienen un total de 16 coeficientes, que indican la variación de fase para cada configuración según la variación de cada una de las cuatro longitudes.

Ahora, considerando una longitud intermedia entre $L(1)_a$ y $L(1)_b$, llamémosle $L(1)_c$, se pueden obtener aproximaciones para las derivadas segundas de las funciones de fase:

$$\frac{d\varphi'(n)}{dL(m)} \approx \frac{\varphi(n)_c - \varphi(n)_a}{L(m)_c - L(m)_a} \quad (10)$$

$$\frac{d\varphi''(n)}{dL(m)} \approx \frac{\varphi(n)_b - \varphi(n)_c}{L(m)_b - L(m)_c} \quad (11)$$

$$\frac{d^2\varphi(n)}{dL(m)^2} \approx \frac{\frac{d\varphi(n)''}{dL(m)} - \frac{d\varphi(n)'}{dL(m)}}{L(m)_b - L(m)_a} \quad (12)$$

De esta forma, realizando un total de 12 simulaciones numéricas, se obtendrán los parámetros $\varphi(n)$ $d\varphi(n)/dL(m)$ y $d^2\varphi(n)/dL(m)^2$, a partir de los cuales se pueden obtener los valores de $\Delta L(m)$ usando (8). Los valores de $L(m)$ son mejorados entonces con los corrimientos $\Delta L(m)$, y luego es posible realizar una nueva simulación numérica para comprobar la mejora en los valores de los desfases buscados.

Partiendo de cálculos teóricos para los valores de $L(1)$, $L(2)$, $L(3)$ y $L(4)$, fue posible llegar a desfases de 90.1° , 179.5° , 271.1° y 358.7° luego de 36 simulaciones numéricas, proceso que demoró un total de 3 horas en una PC con procesador Athlon 64 Quad Core y 8 Gb de memoria RAM, utilizando el software Ansoft HFSS v.11. Los cálculos para las aproximaciones de derivadas primeras y segundas se realizaron en MatLab, utilizando notación matricial compacta.

Los resultados obtenidos no podrían haber sido alcanzados con las funciones de optimización propias del software debido a la cantidad de parámetros involucrados y al acoplamiento funcional entre ellos. Procesos de barrido indiscriminado del espacio de estados implican simulaciones de varios días de extensión, consumiendo los recursos computacionales en forma completa.

Los valores de longitud finales de las líneas resultaron:

- $L(1) = 100$ micrones
- $L(2) = 1135$ micrones
- $L(3) = 488$ micrones
- $L(4) = 902$ micrones

Se adjuntan los gráficos resultantes de las simulaciones electromagnéticas para las cifras de módulo S_{11} (pérdidas por retorno), módulo S_{21} (pérdidas de inserción) y fase de S_{21} (desplazamiento de fase).

V. CONCLUSIÓN

En el presente trabajo se desarrolló la teoría de un desplazador de fase de cuatro cuadrantes para su uso en un arreglo de antenas en fase. La topología seleccionada es la de un acoplador direccional con cargas reflectivas, las cuales fueron implementadas con tramos de línea y switches MEMS. Su complejo ajuste fue realizado gracias a simulaciones numéricas computacionalmente que resultan óptimas frente a los otros métodos disponibles.

Los desplazadores de fase fueron enviados para su construcción al FBK-RST (Fondazione Bruno Kessler – IRST, Trento, Italia). Se espera su arribo al país para su medición, caracterización y modelado.

REFERENCIAS

- [1] Larosa, F.S., Fuentes L.A., Bonaparte, J.J., Acoplador Direccional de Banda X con Acoplamiento Capacitivo, Libro de Memorias, uEA 2010, pp 7-12
- [2] David M. Pozar, "Microwave Engineering", Third Edition, Wiley & Sons, pp 174-183, p 313

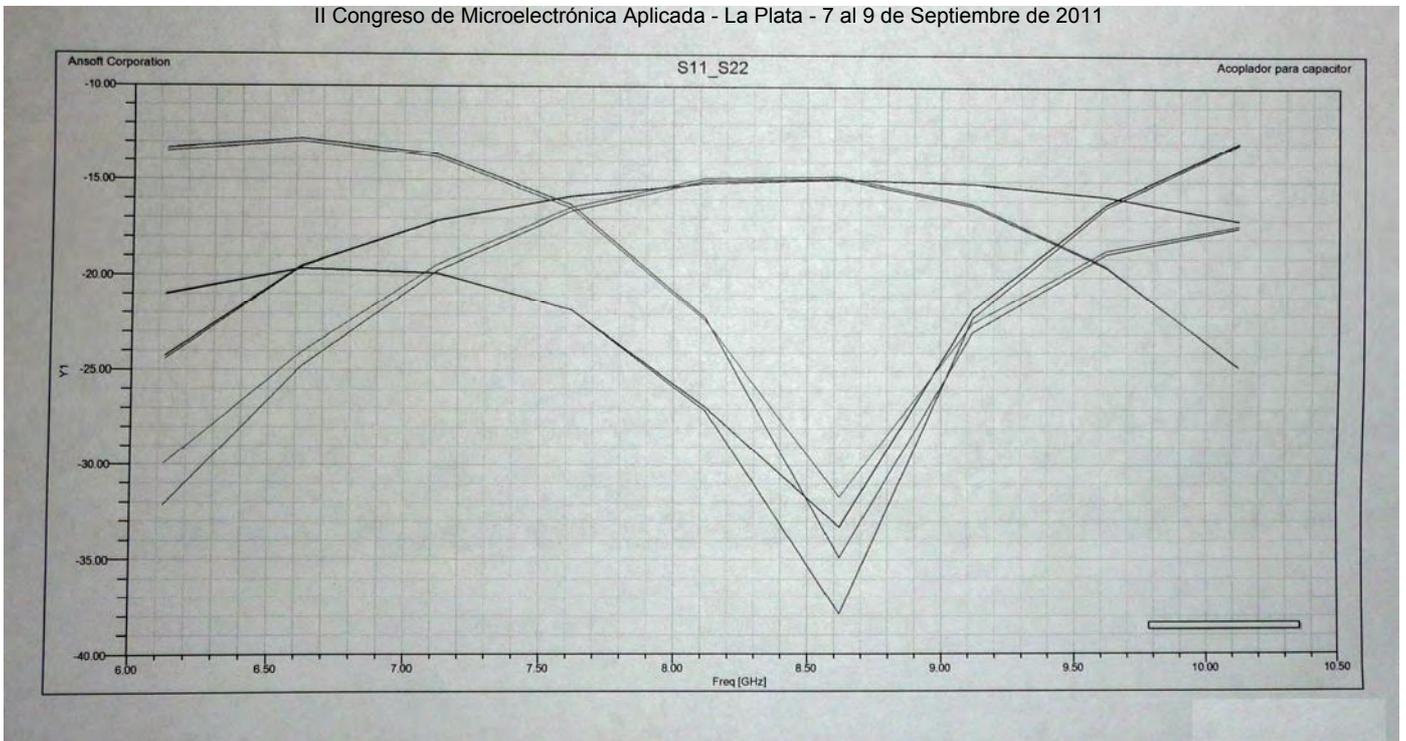


Figura 5. Módulo de S11 y S22 (pérdidas por retorno) para los diferentes estados del desplazador

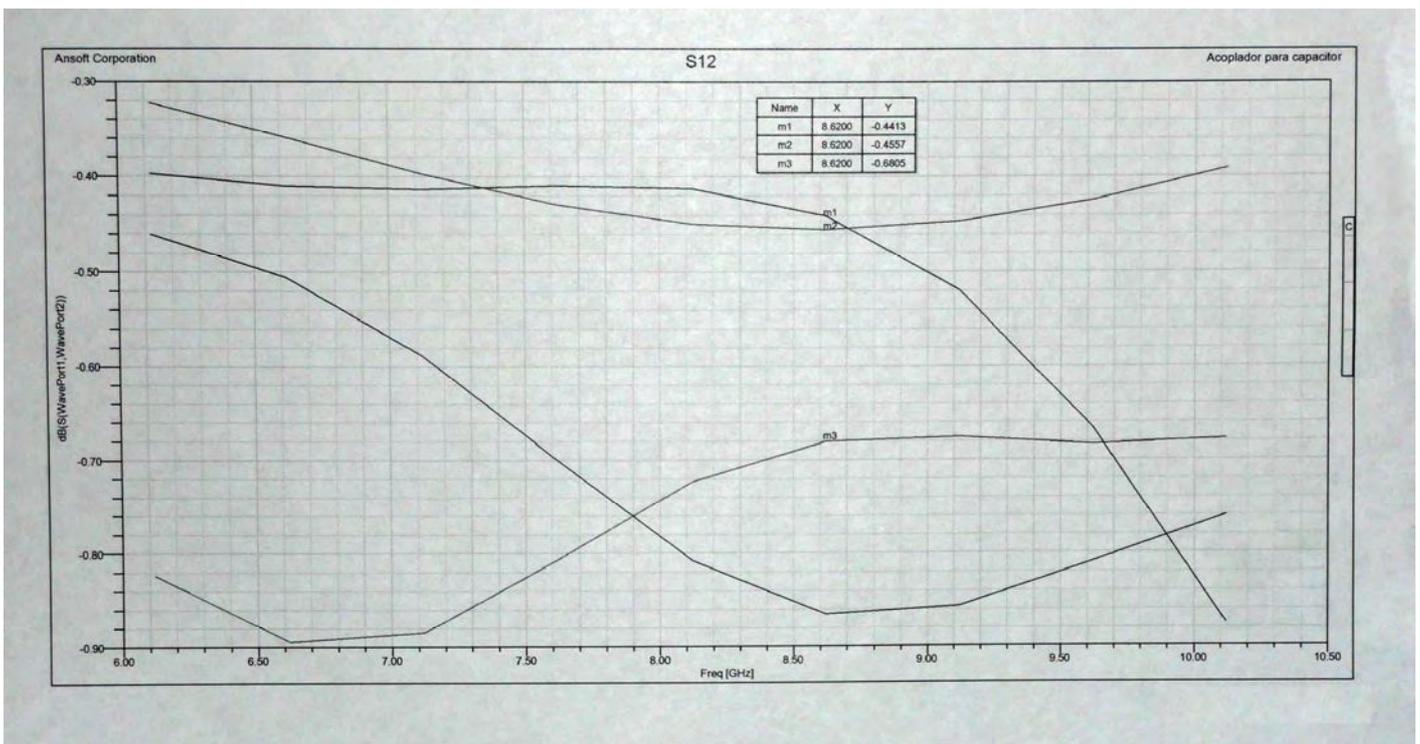


Figura 6. Módulo de S12 (pérdidas por inserción) para los diferentes estados del desplazador

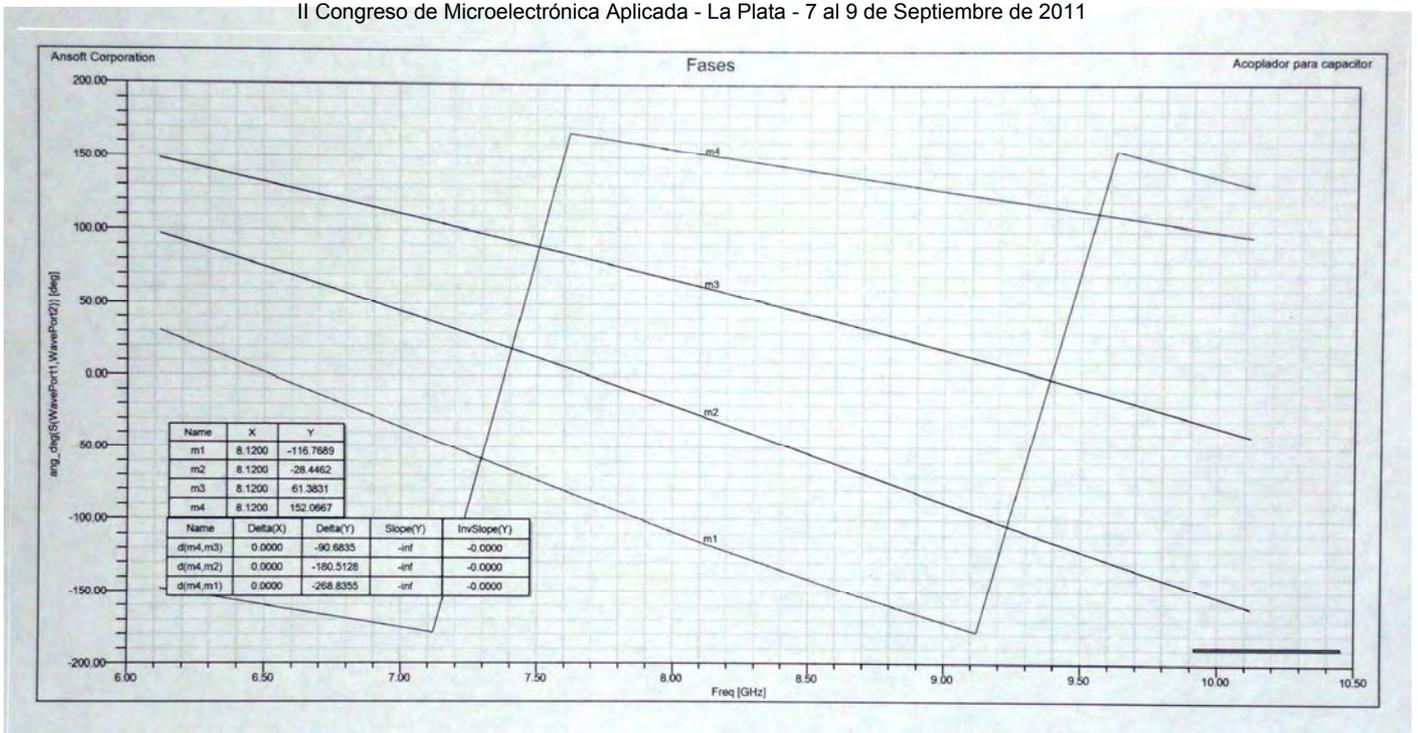


Figura 7. Fases de S21 para los diferentes estados del desplazador

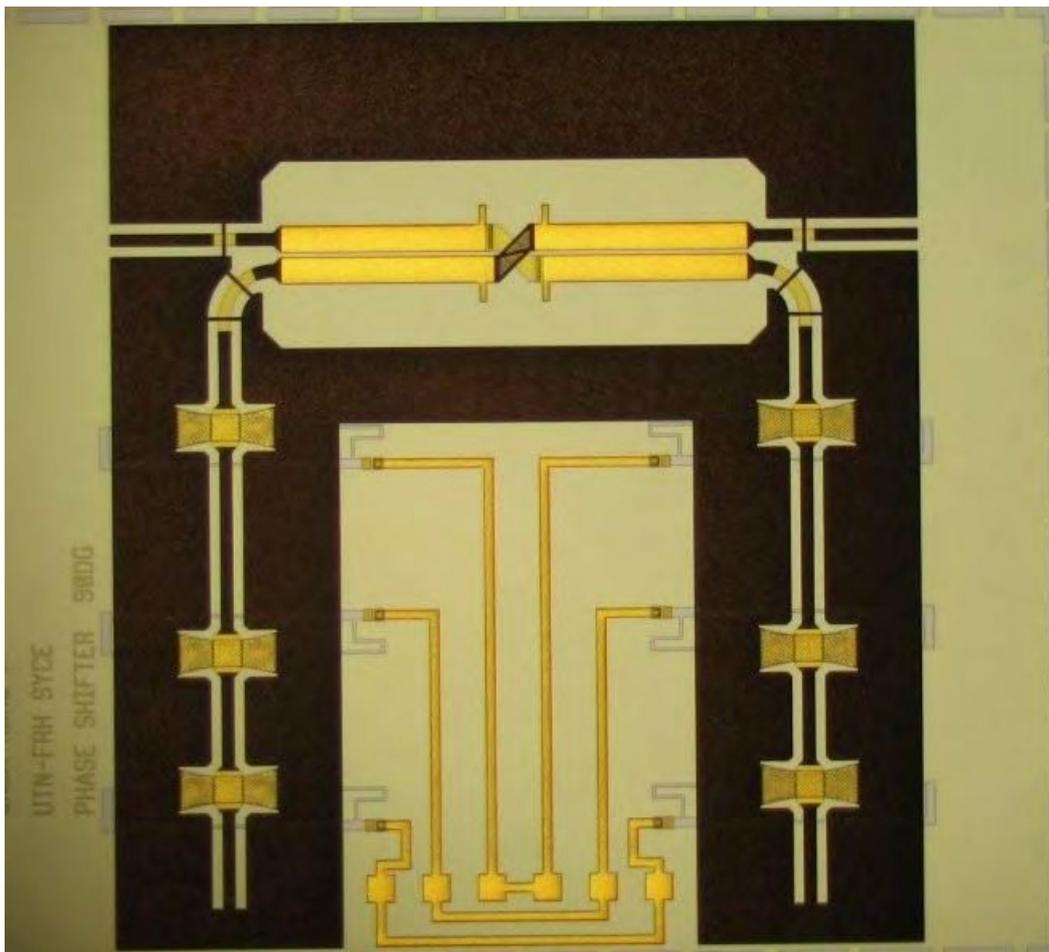


Figura 8. Vista superior del desplazador de fase en una etapa intermedia del proceso de fabricación

Diseño y fabricación de microinductor planar para microválvula activa para el tratamiento de glaucoma utilizando tecnología MEMS

M.C. Pérez^{1,2}, F.L. Sasseti^{1,2} y F.A. Guarnieri^{1,2}

¹ Cimec, Intec (UNL-Conicet) PTLC, Santa Fe, Argentina

² Facultad de Ingeniería, UNER, Oro Verde, Argentina

Abstract—This paper presents the modeling, design and characterization of planar microinductor, to be used in telemetry systems that supply energy to miniaturized implants. First, a model for the electrical characteristics of planar coils will be discussed. Parasitic electrical effects that may become important at AC-frequencies of several MHz are evaluated. The fabrication process and electrical characterization of planar microcoils will be described. Different configurations of planar microinductor were made with the use of micromachining technologies such as thin film deposition, standard photolithography processes and electroplating. With this technology small coils are relatively easy to fabricate reproducibly. The parameters and performance of fabricated inductor will be evaluated by electrical measurements. Measurements show a good agreement between calculated and measured values.

Palabras claves— Microinductor planar, microválvula para glaucoma, MEMs, microfabricación, electroplateado.

I. INTRODUCCIÓN

El glaucoma es un grupo de patologías asociadas al daño progresivo del nervio óptico conduciendo a la ceguera. Una característica frecuente de este grupo de patologías es el aumento de la presión intraocular debida al aumento de la resistencia hidráulica en los drenajes del humor acuoso de la cámara anterior del ojo a los tejidos periféricos. En los pacientes con glaucoma el objetivo es reducir la presión intraocular, como primera opción con fármacos, intervenciones quirúrgicas para aumentar el drenaje y como última opción se implantan válvulas. Las válvulas comerciales permiten regular la presión en rangos pequeños de presión, presentando problemas de hipotonía ocular en el post-operatorio temprano e hipertensión ocular pasado los seis meses del implante. Con el desarrollo de nuevos materiales y tecnologías de microfabricación es posible desarrollar implantes activos que permitan contemplar la variabilidad de cada paciente [1].

En esta aplicación el uso de una batería no siempre es posible o conveniente a causa de su tamaño y limitaciones de vida útil. Una alternativa es la transmisión de energía a través de un acoplamiento inductivo entre dos bobinas, una bobina transmisora y una bobina receptora implantada en el cuerpo humano. La bobina receptora para este tipo de

aplicación debe ser de un tamaño muy pequeño y una alta eficiencia en la transferencia de energía.

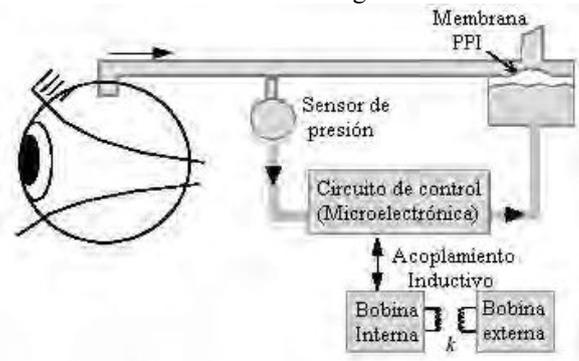


Fig. 1 Microválvula para glaucoma

El pequeño tamaño de la bobina receptora podría dar lugar a la necesidad de un campo magnético denso, con el fin de transferir una cantidad suficiente de energía. Sin embargo, como el campo induce corrientes de Foucault en un material conductor, esto provoca calentamiento por resistencia o una activación de los nervios. Se ha informado de que este calentamiento puede causar daño a los tejidos humanos. Así que, en general, los campos magnéticos de alta intensidad no son deseables. Con el fin de ser capaces de transferir energía suficiente con una intensidad de campo magnético adecuada, el diseño de la bobina receptora debe ser optimizado [2].

En este artículo se presenta el diseño, fabricación y caracterización de un microinductor planar para la transferencia de energía en una microválvula inalámbrica para el control de la presión intraocular. Se utiliza un modelo eléctrico para el diseño y análisis de un microinductor planar que evalúa los efectos parásitos de la microbobina, los cuales se vuelven importantes al trabajar a altas frecuencias. Se presenta el proceso de fabricación y caracterización de bobinas de cobre depositadas en un sustrato aislante de vidrio, utilizando técnicas microfabricación y electrodeposición para mejorar la eficiencia y el factor de calidad. Con estas tecnologías las bobinas pequeñas son relativamente fáciles de fabricar de forma reproducible.

II. MODELO ELÉCTRICO

A. Generalidades

En esta sección se discute un modelo eléctrico de las características intrínsecas de una microbobina plana. Esto permite comprender la influencia de los efectos parásitos permitiendo optimizar el diseño de la bobina para maximizar la transferencia de energía. El circuito eléctrico equivalente simplificado de la microbobina se muestra en la Figura 2.

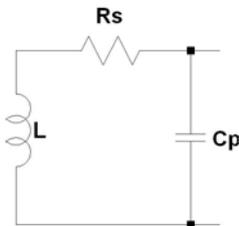
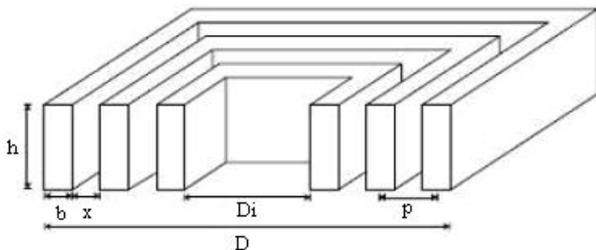


Fig. 2 Modelo eléctrico de la microbobina

Debido a las imperfecciones en los conductores, las bobinas tienen una resistencia en serie R_s . Esta resistencia disipa la energía en forma de calor reduciendo la eficiencia de la microbobina. La energía disipada es directamente influenciada por la resistencia en serie, que depende de los factores geométricos (ver Figura 3) y de la frecuencia. La energía recibida depende principalmente de la autoinducción, que también depende de las dimensiones de la bobina [3].



- D: Diámetro de la bobina
- Di: Diámetro interno de la bobina
- b: Ancho de la espira
- h: Altura de la espira
- x: Distancia entre espiras adyacentes
- p: Pitch ($p=x+b$)
- N: Número de vueltas ($N=(D-D_i)/2p$)
- alfa: Relación diámetros (D_i/D)

Fig. 3 Factores geométricos de la microbobina

A. Autoinductancia

La autoinductancia de una bobina se define como la relación del flujo magnético generado por unidad de corriente que circula a través de ella. Por otra parte, se define como dos veces la energía almacenada en el campo magnético dividido por el cuadrado de la corriente.

La autoinductancia es un parámetro que depende de los factores geométricos de la misma, principalmente de su longitud total y en menor medida de su área de sección transversal. Para bajas frecuencias, la autoinductancia en bobinas cuadradas con $N > 10$ se puede determinar como

$$L = \frac{\mu N^2 A}{l} \quad (1)$$

donde μ es la permeabilidad del aire [3].

B. Resistencia serie

La resistencia serie de una bobina puede ser dividida en dos partes, una independiente y la otra dependiente de la frecuencia. La parte independiente de la frecuencia es la resistencia en DC debida a la resistividad del material ρ ($\rho_{Cu} = 1,667 \Omega m$), la cual depende de sus dimensiones geométricas, [2,3]

$$R_s = \frac{\rho l}{A} \quad (2)$$

En corriente continua los portadores de carga se distribuyen uniformemente a través de la sección transversal del conductor. Cuando aumenta la frecuencia, el campo magnético aumenta en el centro del alambre, aumentando también su impedancia. Como resultado, disminuye la densidad de corriente en el centro del conductor y aumenta en los bordes. Este efecto es llamado *skin effect*. La profundidad en la cual la densidad de corriente disminuye a $1/e$ (37%) respecto a la superficie se conoce como *skin depth*, la cual es función de la frecuencia, la permeabilidad y la conductividad del medio. El resultado de este efecto es una disminución del área efectiva de sección transversal del conductor. La *skin depth* se determina como

$$\delta = \sqrt{\frac{2}{\omega \mu \sigma}} \quad (3)$$

donde ω es la frecuencia angular.

Este efecto se vuelve importante cuando la profundidad es pequeña comparada con el diámetro del alambre, y la resistencia serie debe ser corregida debido a la redistribución de corriente en el conductor [4].

$$R_s = \frac{\rho l}{A} \left(1 + \frac{1}{2} \left(\frac{D}{\delta} \right)^2 \right) \quad (4)$$

C. Capacidad parásita

La capacidad parásita está dada por la capacidad entre espiras que para un inductor cuadrado esta dado por

$$C_p = \frac{\epsilon \cdot A}{h} \tag{5}$$

donde ϵ es la permitividad del material. [3]

D. Frecuencia de resonancia y factor de calidad

La transmisión de energía se realiza a través de un acoplamiento inductivo entre la bobina transmisora y la bobina receptora implantada en el cuerpo. El trasmisor envía energía al receptor a través de un campo magnético alterno con una frecuencia fija. De esta forma, cuando sometemos a la bobina receptora a este campo externo, ésta oscila a la frecuencia de resonancia intrínseca ω_i

$$\omega_i = \frac{1}{\sqrt{L \cdot C_p}} \tag{6}$$

La bobina receptora solo captará la energía magnética de dicha frecuencia, mientras que se atenuarán las frecuencias no deseadas, por lo que es muy importante que ambas bobinas estén perfectamente sintonizadas a la misma frecuencia.

El factor de calidad Q mide la eficiencia de la bobina receptora y se obtiene del diagrama de respuesta en frecuencia como la relación entre la frecuencia de resonancia y el ancho de banda del sistema. En función de los parámetros eléctricos del modelo, el factor de calidad intrínseco de la bobina se puede determinar a partir de su frecuencia de resonancia como [2, 3, 4]

$$Q = \frac{\omega_i}{\Delta \omega} \tag{8}$$

III. MICROFABRICACIÓN

En los sistemas de telemetría el mayor requerimiento es la alta transferencia de energía. Esto significa que la bobina receptora debe tener una alta eficiencia Q, una alta autoinductancia y una baja resistencia en serie y capacidad. Al disminuir el tamaño de la bobina aumentamos el Q, pero disminuimos su inductancia. Este efecto se puede compensar con bobinas de un alto número de vueltas, pero esto aumenta tanto la resistencia serie como la capacidad parásita. Es por eso que se utilizan materiales de muy baja resistividad como el cobre. Una forma de

mejorar la eficiencia de una microbobina sin afectar el valor de autoinductancia es aumentando el espesor h de las espiras. Esto mantiene el valor de L, disminuyendo la resistencia serie. Las técnicas de fabricación que se utilizan para microbobinas son la deposición de película fina y el electroplateado. En el caso de esta última es posible fabricar estructuras de mayor espesor [5].

En la Figura 5 se presentan las distintas etapas de la fabricación de las microbobinas que se implementaron en el Laboratorio del Centro Atómico Constituyentes (CNEA PAE 2004).

Se fabricaron bobinas de cobre sobre sustratos de vidrio. La primera etapa en la fabricación es la limpieza del sustrato antes del depósito de las capas de metales en el proceso de sputtering. El proceso de sputtering realizado para el depósito del film de adhesión se realiza en dos etapas 1) Depósito de capa de titanio realizada con un magnetrón de radio frecuencia con una potencia de 100[W] durante 6 minutos en vacío $3 \cdot 10^{-3}$. Resultado: 6,6 nm a 10,2 nm. 2) Depósito de lámina de cobre con DC a 150[W] durante 20 minutos en vacío $3 \cdot 10^{-3}$. Resultado: 100nm a 200 nm de espesor. Equipo ATC Orion. 3) La fotolitografía se realiza utilizando fotoresina positiva AZ 9260. En primer lugar se deposita una película de 8um de espesor con un spinner a 3500 rpm. La exposición de la misma se realiza en un alineador de máscara EVG 620 con las máscaras diseñadas en el software L-Edit y fabricadas en films de transparencias. El proceso litográfico finaliza con la remoción de la fotoresina no revelada.

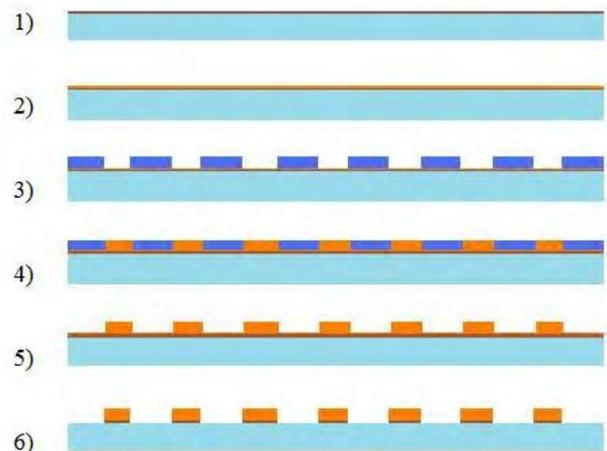


Fig. 5 Etapas del proceso de fabricación. 1) Depósito de capa de adhesión (ti). 2) Depósito de capa de cobre. 3) Fitolitografía. 4) Electroplateado. 5) Remoción de fotoresina. 6) Remoción de capa de adhesión.

4) El proceso de electrodeposición de metales se realiza en una celda electroquímica utilizando una solución acuosa

de sulfato de cobre 0.1 Se utiliza un ánodo de cobre y se coloca el sustrato y el molde construido con la fotoresina al potencial más negativo (cátodo). Para el proceso, se utiliza una densidad de corriente constante de 6 uA/mm² utilizando una fuente de corriente Keithley. El espesor del depósito de cobre depende del tiempo de electroplateado. 5) La fotoresina se remueve con acetona. 6) Por último se remueve el film de Cobre con una solución de ácido acético y la capa de adhesión de titanio con una solución de ácido fluorhídrico. La limpieza final se realiza con agua desionizada.

Las mediciones de los parámetros eléctricos de las microbobinas se realizaron con un Multímetro digital UT70A.

IV. RESULTADOS

Se fabricaron 3 bobinas cuadradas con iguales parámetros constructivos, variando su tamaño y número de vueltas como se muestra en la Tabla 1.

Tabla 1 Parámetros constructivos de las microbobinas

Parámetro constructivo	Bobina Pequeña	Bobina Intermedia	Bobina Grande
b (µm)	100	100	100
h (µm)	6.5	6.5	6.5
p (µm)	200	200	200
D (mm)	11	12	14
Di (mm)	2	2	2
N	22	25	30

Los resultados obtenidos del modelo eléctrico y experimentalmente se muestran en las Tablas 2 y 3

Tabla 2 Parámetros eléctricos obtenidos en el modelo eléctrico.

Parámetro eléctrico	Bobina Pequeña	Bobina Intermedia	Bobina Grande
R (ohm)	15.49	18.53	25.42
L (µH)	3.16	4.10	6.51

Tabla 3 Parámetros eléctricos obtenidos en las mediciones.

Parámetro eléctrico	Bobina Pequeña	Bobina Intermedia	Bobina Grande
R (ohm)	15.3	18.7	23.8
L (µH)	4	5	8

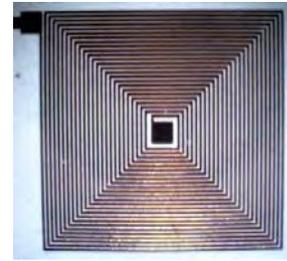


Fig. 6 Microbobina fabricada

En la Figura 6 se muestran las imágenes al microscopio de las microbobinas fabricadas.

V. CONCLUSIONES

En el siguiente trabajo se realiza el diseño y fabricación de un microinductor planar para una microválvula inalámbrica para el control de la presión intraocular. El modelo eléctrico utilizado permite contemplar los efectos parásitos de la bobina. Se fabricaron y caracterizaron distintos tamaños de inductores. En todos los casos los resultados del modelo fueron comparables con los obtenidos en las mediciones, por lo que es posible caracterizar con muy buena exactitud los parámetros eléctricos de la microbobina a través del modelo eléctrico.

RECONOCIEMIENTOS

Los autores agradecen al Consejo Nacional de Investigaciones Científicas y Técnicas (CONICET) y al Laboratorio del Centro Atómico Constituyentes (CNEA).

REFERENCIAS

1. Sasseti F.L., Guarnieri F.A., Interacción Fluido Estructura en una Microválvula para el Control de la Presión Intraocular - Volumen XXVIII. Number 25. Numerical Methods for Simulations and Analysis in Bioengineering (B). 2009.
2. Pérez M.C., Reta J.M., Guarnieri F.A., Diseño y Simulación de un Microinductor Planar para un Sensor Telemétrico de Presión Intraocular - Volume XXVIII. Number 25. Numerical Methods for Simulations and Analysis in Bioengineering (B). 2009.
3. Neagu, C.R., Jansen, H.V., Smith, A., Cardeniers, J.G.E. and Elwenspck, M.C., Characterization of a planar microcoil for implantable microsystems. Sensor and Actuators a physical, 62:599–611, 1997.
4. Lee, Y., Sorrells, P., 2004. MicroID™ 13.56 MHz RFID System Design Guide. Http://www.microchip.com
5. Puers, R., Vandevoorde, G. and De Bruyker, D, Electrodeposited copper inductors for intraocular pressure telemetry. J. Micromech. Microeng, 10:124-129, 2000.

Medición y análisis estadístico para la caracterización de RF-MEMS.

Juan Bonaparte

Departamento de micro y nanotecnología
Centro Atómico Constituyentes, CNEA
Buenos Aires, Argentina

Guillermo Sentoni

Laboratorio de caracterización de microdispositivos
UNSAM
San Martín, Argentina

Gustavo Merletti

Departamento de micro y nanotecnología
Centro Atómico Constituyentes, CNEA
Buenos Aires, Argentina

Abstract— En este trabajo muestra la metodología empleada en la medición y caracterización de micro llaves MEMS para microondas, desarrollada en el laboratorio de caracterización de microdispositivos de la UNSAM.

Keywords: RF-MEMS; VNA; calibración Solt; Probe station; MicroLab.

I. INTRODUCCIÓN

Los dispositivos MEMS para radiofrecuencia son elementos de conmutación de dos puertos del tipo shunt[1] provistos de una membrana móvil intercalada en una línea de transmisión tipo “coplanar waveguide”. El elemento móvil provoca, al ser actuado por una tensión aplicada externa, un bloqueo de la señal de entrada impidiendo que esta alcance el puerto de salida.

Durante la etapa de diseño de los RF-MEMS switches se elaboraron 6 modelos distintos de llaves para trabajar en el rango de 7 a 10 GHz. El diseño estuvo a cargo de investigadores del departamento de micro y nanotecnología del Centro Atómico Constituyentes y fabricados en FBK-IRTS de Trento, Italia, mediante un proceso planar de 7 mascaradas fotolitográficas. Una vez fabricados los dispositivos fueron caracterizados en el Laboratorio de caracterización de microdispositivos de la UNSAM donde inmediatamente surgió la necesidad de desarrollar métodos estadísticos para el manejo de grandes cantidades de datos. Tales métodos serán expuestos en el presente trabajo.

El comportamiento de los RF-MEMS switches se describe mediante la utilización de los parámetros complejos S para redes de dos puertos. Dada la simetría y pasividad de las microllaves la red puede ser descripta de forma satisfactoria solamente con los parámetros de reflexión, S11, y el de transmisión directa, S21. Debido a que los switches presentan dos estados, ON y OFF, existirán dos juegos de parámetros de reflexión y de transmisión directa. Este último parámetro aporta la mayor información del comportamiento del dispositivo por lo recibirá la mayor atención en el desarrollo del presente trabajo.

II. FASE EXPERIMENTAL

A. Descripción del instrumental y protocolos de medida.

Las mediciones de los micro interruptores MEMS se realizó en las instalaciones del MicroLab mediante un sistema de caracterización “on wafer” compuesto por un analizador vectorial de redes de dos puertos Agilent E8363B y una estación de prueba Süss PM8 dotado de sondas puntas modelo |Z|probe GSG500. Todo el sistema se calibró mediante un sustrato de calibración, (Süss CSR4) mediante la técnica SOLT[2] a fin de minimizar los errores sistemáticos. El instrumental fue configurado para realizar barridos entre 1GHz y 40GHz. La actuación de las microllaves se realizó utilizando una fuente de tensión programable Keithley modelo 2400.

B. Análisis de los datos

Los datos de los parámetros de transmisión directa para los estados ON y OFF medidos fueron analizados en dos etapas. La primera es la selección de los dispositivos que se encuentran operativos. Dicha selección se realizó mediante la utilización un filtro tipo pasa no-pasa utilizando como referencia la respuesta de un modelo simple a constantes concentradas que se consideró como límite inferior del comportamiento de los dispositivos. El modelo a constantes concentradas es un simple circuito resonante serie RLC cuya frecuencia de resonancia se ajustó a los requerimientos del diseño de cada uno de los dispositivos diseñados.

La segunda parte corresponde al análisis estadístico de las muestras válidas, determinándose la media del comportamiento de los dispositivos y los alejamientos a la media de cada uno de los switches. Finalmente se desarrolló una medida estadística que permitió la comparación de distintos dispositivos y estudiar las dispersiones de las medidas respecto de la media en función de la posición de los dispositivos dentro de a oblea. Las dispersiones observadas concuerdan con lo esperado obteniéndose dispersiones mayores en los bordes de las obleas medidas y manteniéndose próximas a la media en la región central de las obleas.

- [1]. J. B. Muldavin and G. M. Rebeiz, "High isolation MEMS shunt switches—Part 1: Modeling," IEEE Trans. Microwave Theory Tech., vol. 48, pp. 1045–1052, June 1999.
- [2]. R. B. Marks, "A multiline method of network analyzer calibration," IEEE Trans. Microwave Theory Tech., vol. 39, pp. 1205–1215, July 1991.

Patrocinan



TELECOM



Nokia Siemens Networks



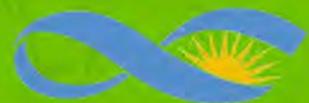
Electrocomponentes S.A.



Auspician



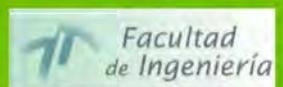
IEEE



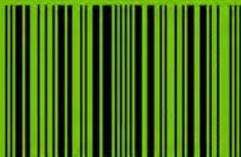
CONICET



FACULTAD DE INFORMÁTICA | UNLP



ISBN 978-950-34-0749-3



9 789503 407493



Cámara de Informática y Comunicaciones de la República Argentina

